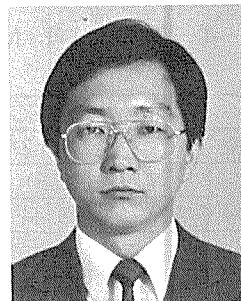


통신산업

디지털신호처리

기술 동향(II)



조 위 덕
전자부품종합기술연구소
통신기기연구팀장/공박

5. 여러가지 통신용 디지털신호처리기술들

현재 디지털 신호처리기 제조 전문회사들로는 표 4에서와 같이 Analog Devices, AT&T, Motorola, NEC, SGS-Thomson, Star-Semiconductor, Texas Instruments, Zilog, Zoran, DSP Group Semiconductor 등 여러 회사들이 있다. 초기에 Texas Instruments 및 Motorola 위주의 시장판도가 이제는 Analog Devices의 RISC형 디지털 신호처리기 출시로 디지털 신호처리기 시장도 새로운 구조와 특정용도에 맞는 특정응용제품 전용 시스템 Chipset 형태로 변모되었다. 본장에서는 각 디지털 신호처리기 제조 회사의 주요 디지털 신호처리기의 클럭 주파수, 최대 소모전력, 주요 특성 등을 정리하여 설명한다.

(1) Texas Instruments사 (TI)

16 비트 고정 소수점 프로세서 로는 TMS320C1x, TMS320

<표 4> 주요 일반 디지털 신호처리기들

제 조 회 사	칩 명 칭	형 태
Analog Devices	ADSP-2100 Family	16 비트 fxp
	ADSP-21020	32 비트 flp
	ADSP-2106x	32 비트 flp
AT&T	DSP16x	16 비트 fxp
	DSP32C/3210	32 비트 flp
Motorola	DSP56156/166	16 비트 fxp
	DSP56001, 2, 4	24 비트 fxp
	DSP96002	32 비트 flp
NEC	μ PD77C25	16 비트 fxp
	μ PD77017	24 비트 fxp
	μ PD77220	32 비트 flp
SGS-Thomson	ST18 family	16 비트 fxp
Star-Semiconductor	SPRDC-1x00 family	24 비트 멀티 프로세서
Texas Instruments	TMS320C1x	16 비트 fxp
	TMS320C2x	16 비트 fxp
	TMS320C3x	32 비트 flp
	TMS320C4x	32 비트 flp
	TMS320C5x	16 비트 fxp
	TMS320C80	32 비트 멀티 프로세서
Zilog	Z89Cxx	16 비트 fxp
Zoran	ZR38000	16 비트 fxp
DSP Group Semiconductor	Oak/Pine 코아	16 비트 fxp

[출처 : EDN]

* 주 : fxp : 고정소수점 디지털 신호처리기
flp : 부동소수점 디지털 신호처리기

C2x. TMS320C5x 시리즈가 있으며, 32 비트 부동 소수점 프로세서로는 TMS320C3x, TMS320C40 등이 있다 <표 5 참조>.

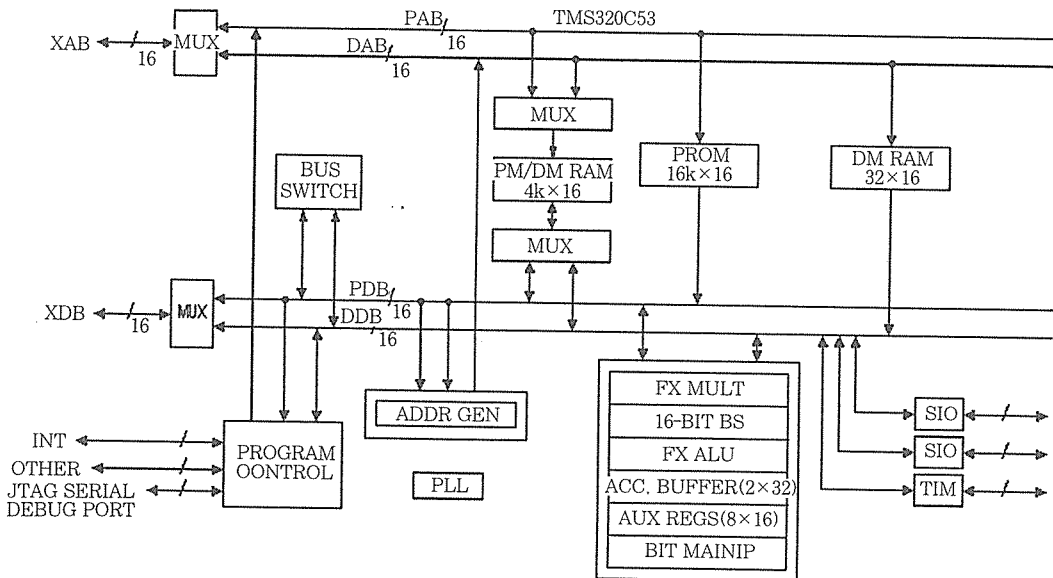
TI에서 '82년에 개발한 TMS320C10은 비록 몇 가지 제한적 기능이지는 하였지만, 마이크로 콘트롤러나 마이크로프로세서의 계산특성을 해결한 새로운 프로세서 개념이었다. 이후 CMOS 반도체 기술발달에 힘입어 보다 많은 RAM, ROM 및 주변 드라이버나 인터페이스가 보강된 디지털 신호 처리기를 제시하였다. TI의 16비트 고정 소수점 프로세서들중 가장 최근의 것으로는 TMS 320C53을 들 수 있다. 그림 6에서와 같이 TMS 320C53은 Accumulator 및 레지스터 중심의 16 비트 고정 소수점 디지털 신호처리기이다.

즉 레지스터가 붙은 고정자리의 MAC(Multiplier Accumulator)회로, 32비트 Product 레지스터를 사용하는 16x16 곱셈기 등이 있다. 따라서 TI의 C5x 디지털 신호처리기는 C2x 디지털 신호처리기보다 대략 두배의 성능속도를 가진다. 또한 IDLE1(CPU Down), IDLE2 (CPU, Peripheral Down), IDLE3(외부접속 핀까지 Down : "HOLD")의 다양한 Power Down 모드가 제공된다. Addressing 모드로는 Direct, Indirect, Immediate, Dedicated Register, Memory Mapped Register가 있으며, Circular Buffer Addressing의 자동 동작이 가능하다. 특수한 명령으로는 Block Repeat, Square /Accumulate, Block Move 등

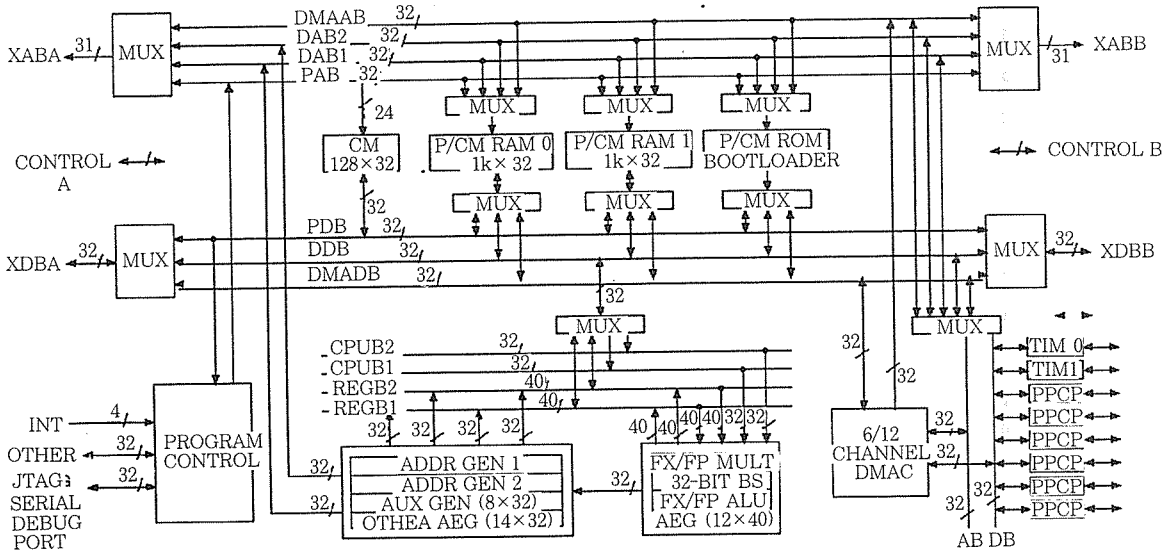
이 있다.

TI가 '91년에 개발한 32 비트 부동 소수점 프로세서인 TMS320C40은 그림 7과 같은 구조로 되어 있다. 여기서는 데이터와 프로그램을 Fetch하는 버스가 분리되어 있고, FPU(Floating Point Processing Unit) 곱셈기, ALU 및 Barrel Shifter가 동시에 병렬 처리되도록 구성되어 있어 복잡한 수학적 계산을 대단히 고속으로 처리한다. 또한 고속 Loop 동작을 위해 128 워드의 Cache가 있고, 자동 코드제어 방식으로 명령어 Fetch 부담이 최소화되어 있다. 그리고 고속 네트워크 통신 처리를 위해 6개의 독립된 통신 포트가 있다. Addressing 모드로는 레지스터, Dir Ect, Indirect, Immediate, PC Relative 등이 있으

<그림 6> TMS320C5x의 주요 내부구조



<그림 7> TMS320C4x의 내부구조



며, Post Index, Post Displacement 등의 처리도 가능하다. C40은 TI의 40 비트 확장된 부동 소수점 형식(Extended Floating Point Format)을 지원하며, 최고 8비트 Exponent+부호비트+

31비트 Fraction의 Extended Precision 부동 소수점 처리가 가능하다.

TI는 고속의 영상처리 전용목적 으로 보다 향상된 멀티미디어 비디오 프로세서(MVP : Multi-

edia Video Processor)인 TMS320C80을 발표하였다. 그림 8에 보여진 바와 같이 C80은 4개의 디지털 신호처리기, 1개의 32비트 RISC CPU, 고속의 Crossbar Memory(50Kbytes), 그리고 비

<그림 8> TMS320C80의 내부구조

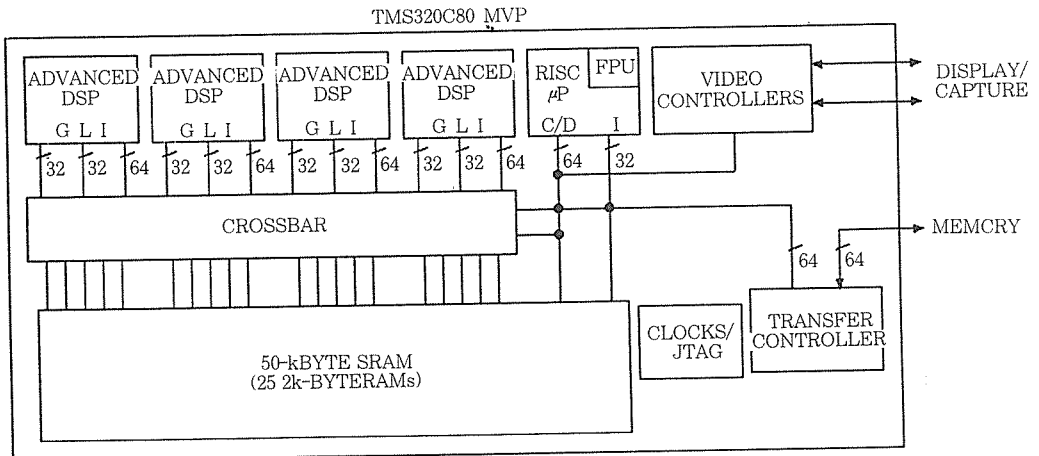


표 5. Texas Instruments사의 DSP Processor들

IC명	clock (MHz)	최대소모전력 (mA, 5volt)	Pin수, 패키지	가격 (1K base)	주요특성
16bit fxp					
TMS320C10	25.6	34.4	68 pin, PLCC	4	288-byte RAM, 3K byte ROM, 16bit PIO port
TMS320C14	25.6	50	44 pin, PLCC	8.40	512 byte RAM, 8K byte ROM/EPROM, 16 I/O line 1 SIO port, 2 timers, 1 baud-rate generator
TMS320C16	35 25.6	100 65(3.3V)	64 pin, QFP	6.30 6.30	512K byte RAM, 16K byte ROM
TMS320C17	20 14.4	300 22.7(3.3V)	44 pin, CLCC 44 pin, PLCC	5.30 5.30 (10K base)	512K byte RAM, 16K byte ROM/EPROM/OTP 2 SIO ports, 8/16 bit asynchronous coprocessor port
TMS320C28	40	185(Run) 100(Idle)	68 pin, PLCC 80 pin, QFP	12.60	2544 byte RAM blocks, 64K byte data RAM 16K byte program ROM, 133 instructions, power-down
TMS320C53	40 57 80	100/10 " "	132 pin, PQFP 100 pin, TQFP	37 42 51	8K byte prog/data RAM, 32K byte ROM, 2 serial ports single cycle MPY, parallel ALU/MPY/logic 8-level PC stack
32 bit flp					
TMS320C31	27 33 40	260 325 390	132 pin, PQFP	38.30 38 41.80	4-stage pipeline, 32bit barrel shifter/ALU 256 byte program cache, 16K byte ROM 24bit address space, 두 개 16bit TIMER
TMS320C40	40 50 60 80	680 850 1020 1360	325 pin, PGA	178.20 198 - -	512byte program cache, Boot-loader ROM 12 channel DMA controller, 8-bit comm port 2x4K byte dual access RAM blocks

디오 콘트롤러 블럭과 50Kbyte SRAM을 포함하고 있어서, 2 BOPS(Billion Operation Per Sec)의 성능을 나타낸다. 각각의 5개 내부 프로세서들은 독립적으로 동시 동작이 되어 50MHz 사이클 Rate에서 400Mbyte/sec Peak Off Chip Transfer Rate가 가능하다. 이때의 최대 소모전력은 7.5W나 사용된다. 패키지는 305핀 CPGA이며 10Kbase로 구매시 400불 정도의 가격이다.

(2) Analog Devices 社 (ADI)

ADI의 16비트 고정 소수점 디지털 신호처리기로는 ADSP-2100 Family가 있고, 32 비트 부동 소수점 디지털 신호처리기로는 ADSP-21020과 SHARC로 명명된 ADSP-2106x 시리즈가 있다 <표 6 참조>.

초기 ADI의 ADSP-2100은 On Chip Memory가 없는 16비트 Math-Processor였으나, 현재에는 24비트 명령어 워드, 2K x 14비트 프로그램 RAM, 8K x 24

비트 프로그램 ROM을 갖는 33 MIPS(Mega Instruction Per Sec)급 프로세서로 발전되었다. 16비트 고정 소수점 디지털 신호처리기 중 가장 최신의 것은 ADSP-2171로서 ADSP-2100 Family구조를 가지는데, ADI 디지털 신호처리기의 특징은 그림 9에서와 같이 명령어 복호화와 처리속도를 최적화하였고, 데이터와 프로그램 메모리를 분리시킨 개선된 Havard Architecture를 갖는다. 따라서 MAC가 단일 사이클로 병렬처리되고 외부 메모리

인터페이스가 보다 효율적으로 짧은 시간에 Read/Write가 이뤄진다. ADSP-2171에는 두개의 Address Generator가 있으며, Zerooverhead Looping, Circular Modulo Addressing, Bit Reversed Addressing 등이 가능하다.

최근에 발표된 ADI의 새로운 32비트 부동 소수점 디지털 신호 처리기인 SHARC ADSP-2106x 시리즈는 120 MFLOPS(Million Floating Point Operations Per Sec)로 최대성능을 발

휘하는데, ADSP-21020의 개선된 구조를 가진다 <그림 10 참조>.

SHARC에서는 512Kbyte On Chip Memory가 이중 포트(Dual Port) RAM 형태로 구성되어 있으며, 독립된 I/O 컨트롤러 동작이 가능하도록 연결되어 있다. 또한 내부적으로 데이터 연결에 병목을 제거하기 위해 내부 또는 외부 메모리 Read/Write, 주변장치들과의 I/O와 내부 데이터 및 명령어 Fetch가 쉽게 연결 처리 되도록 Corssbar 블록이 있다. 그리고 여러 디지털 신호처리

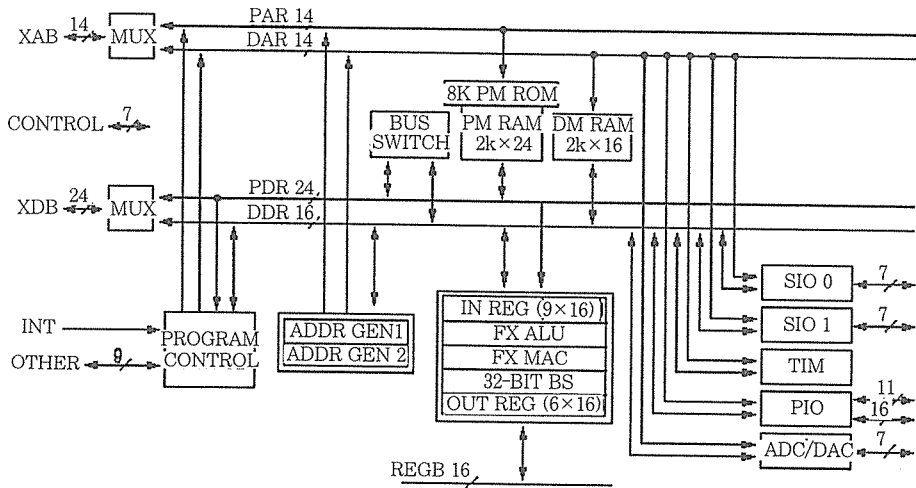
기들이 병렬처리를 위해 연결될 수 있도록 디지털 신호처리기 접속 포트가 별도로 갖추어져 있다.

SHARC의 I/O 컨트롤러는 특히 데이터 이동 접속의 효율성을 최대화시키기 위한 것으로 내부 프로세서의 실행과 병렬로 I/O 데이터 전달을 동시에 처리할 수 있다. 이 컨트롤러는 10개의 DMA 채널을 관리 제어하며, 내부 메모리와 외부 주변장치, Host, 직렬 및 링크 포트(Link Port) 등 간의 데이터 전송을 처리한다.

표 6. Analog Devices사의 DSP Processor들의 비교

IC명	clock (MHz)	Mode	최대소모전력 (mA, 5V시)	Pin수, 패키지	가격 (1K base)	주요특성
16 bit fxp						
ADSP-2100	13.8	Run	70	68 pin, PLCC	9.9	No on-chip memory, 14-bit addressing, 24-bit buse
ADSP-2101	20	Run Idle	70 14.4	80 pin, PQFP 68 Pin, PLCC	31	24 x 24 bit Programmable RAM/ROM, 2 SIO, timer 1024 x 16 bit data RAM
ADSP-2103	10	Run Idle	13 4	68 pin, PLCC	31	3.3 Volt, 2K x 24 bit program RAM, 2 SIO, timer 1024 x 16 bit data RAM
ADSP-21msp5x	13	Run Idle	54 13.4	100 pin PGFP 144 pin PGA	45	2K x 24 bit programmable RAM/ROM, 2 SIO, timer 1K x 16 bit data RAM, Power-down mode
ADSP-2171	33	Run	N/S	128 lead TQFP/PQFT	62	2K x 14 bit data RAM, 4K x 24 bit Program RAM 8K x 24 bit program ROM, host interface, 3 power-down modes, 1-cycle external memory R/W 8 simultaneous circular buffers
32 bit flp						
ADSP-21020	33	Run Idle	500 150	223 pin PGA	159	48-bit instruction, 32/40-bit data words 80 bit MAC accumulator, 3-stage pipeline, 32 x 48 instruction cache, Module bit reversed address
(SHARC) ADSP-21060 (512Kbytes)	33.40	Run Idle	720 50	240 pin PQFP	296	48-bit instruction, 32/40 bit IEEE floating-point words I/O controller, Host/parallel port 6 comm ports, 2 serial ports
ADSP-21062 (256Kbyte)	33.40	Run Idle	680 50	240 pin PQFP	196	120 - Mflops peak performance parallel ALU/MAC 0.46 msec 1K complex FFT processing

<그림 9> ADSP-2100 family의 내부구조



<그림 10> ADSP-2106x 시리즈의 내부구조

