

수렴성빔 전자회절법을 이용한 SiO₂/Si 계면 부위의 격자 변형량 측정

김 공 호 · *우 현 정 · *최 두 진

Measurements of Lattice Strain in Si/SiO₂ Interface Using Convergent Beam Electron Diffraction

Gyeong Ho Kim, *Hyun Jeong Wu and *Doo Jin Choi
(Received April 27, 1995)

ABSTRACT

The oxidation of silicon wafers is an essential step in the fabrication of semiconductor devices. It is known to induce degradation of electrical properties and lattice strain of Si substrate from thermal oxidation process due to charged interface and thermal expansion mismatch from thermally grown SiO₂ film. In this study, convergent beam electron diffraction technique is employed to directly measure the lattice strains in Si(100) and 4°-off Si(100) substrates with thermally grown oxide layer at 1200°C for three hours. The ratios of {773}-{973}/{773}-{953} Higher Order Laue Zone lines were used at [012] zone axis orientation. Lattice parameters of the Si substrate as a function of distance from the interface were determined from the computer simulation of diffraction patterns. Correction value for the accelerating voltage was 0.2kV for the kinematic simulation of the [012] HOLZ patterns. The change in the lattice strain profile before and after removal of oxide films revealed the magnitudes of intrinsic strain and thermal strain components. It was shown that 4°-off Si(100) had much lower intrinsic strain as surface steps provide effective sinks for the free Si atoms produced during thermal oxidation. Thermal strain in the Si substrate was in compression very close to the interface and high concentration of Si interstitials appeared to modify the thermal expansion coefficient of Si.

Key Words : Lattice strain, Convergent beam electron diffraction, Thermal oxidation, Intrinsic strain, Thermal strain, Computer simulation

서 론

고밀도 집적회로의 제작 공정중 하나인 열 산화 공정

은 실리콘 단결정 기판에 비정질 SiO₂ 막을 형성시킨다. 따라서 많은 연구가 열 산화 거동에 관하여 보고된다 (Deal and Grove, 1965; Tiller, 1980). 열 산화 공정중 불완전한 산화 반응으로 자유 실리콘 원자들이 기

한국과학기술연구원 세라믹스 연구부, *연세대학교 세라믹 공학과
Division of Ceramics, Korea Institute of Science and Technology, P.O. Box 131, Chungrang-ri, Seoul, Korea
*Department of Ceramic Engineering, Yonsei University, Sudaemoon-gu, 120-749, Seoul, Korea

판으로 확산하여 침입형 원자로 존재하게 되고, 이로 인한 고유응력이 발생하는 것으로 알려져 있다. 열 산화로 형성된 SiO_2 와 기판의 계면에는 계면 전하로 인한 누설 전류가 발생하는 등 전기적 특성의 저하도 일어난다.

열 산화 과정에서 생성되는 침입형 실리콘 원자들은 기판 표면 부위에 산화 적층결함(OSF; Oxidation-induced Stacking Fault)을 유발한다(Lim *et al.*, 1981; Hu, 1974). 적층결함은 실리콘의 {111}면에 존재하며, 여분의 {111}면에 석출하게 되어 주위의 기지에 격자 변형을 준다. 즉, 산화 공정중 과포화된 침입형 실리콘 원자들이 적층결함을 형성하게 된다. 이와 같은 적층결함의 밀도는 계면에서 멀어짐에 따라 감소한다. 산화 공정에서 발생하는 침입형 실리콘 원자와 산화 적층결함은 서로 밀접한 연관 관계를 가지므로, 산화 적층결함의 양을 줄이기 위한 여러 방법들이 적용된다. 예를 들면, 고온 열처리, 비활성 분위기에서의 열처리, HCl 분위기를 사용한 산화법 또는 주 결정 방위에서 낮은 각도로 벗어난 기판(저탈각 기판)을 사용하는 방법 등이 활용된다. 저탈각 기판의 사용법은 우수한 산화 거동과 공정의 간편성의 장점이 있으므로 많은 연구가 진행되고 있다(Sugita *et al.*, 1971).

저탈각 기판을 이용한 경우에 관찰되는 산화 적층결함의 감소는 과잉의 자유 실리콘 원자들이 표면에 존재하는 스텝에 포획됨으로써 기판 내부로의 확산을 막고 스텝의 성장으로 기여를 하는 것으로 설명된다. (100) 기판에서 [010] 또는 [011] 방향으로 $2\sim 10^\circ$ 기울여 제작된 저탈각 기판을 사용하면, 스텝의 밀도가 각도와 함께 증가되며 적층결함이 감소됨이 보고되고 있다. 표면의 스텝은 실리콘의 원자 구조에 의해 생성되고 이탈 방향 및 이탈 각도에 따라 밀도가 달라진다.

저탈각 기판이 사용되는 경우, 열 산화 공정중 발생하는 산화 적층결함의 수를 줄일 수 있으며 침입형 실리콘 원자의 양을 직접적으로 측정할 수 있는 분석법이 필요하게 된다. 침입형 실리콘 원자는 그 주위에 격자 변형을 야기시키므로 미소 영역에서의 격자 상수 측정법은 저탈각 기판의 열 산화 공정을 평가하는데 응용될 수 있다.

실리콘 기판의 격자상수 측정은 기판과 SiO_2 성장층간의 열팽창 계수 차이로 생성되는 열 응력의 크기까지 분석할 수 있다는 장점을 가진다. 직접적인 격자상수 측정법은 산화 적층결함이 관찰되지 않는 영역에서의 전기적 특성을 예측할 수 있고 잔류응력 등의 분포에 관한 중

요한 정보를 제공하게 된다. 투과전자현미경 분석법 중에서 미소 영역의 결정학적 정보를 분석하는 방법을 수렴성빔 전자회절법(CBED; Convergent Beam Electron Diffraction)이라 하며, 다이나믹 회절을 통해 나타나는 고차 Laue선 (HOLZ; Higher Order Laue Zone Lines)으로 결정의 대칭성, 격자상수 또는 가속전압을 정확하게 측정할 수 있다(Tomokiyo, 1992). 특히, 전자 탐침의 크기가 50nm 이하로 작은 부위의 분석에 뛰어난 기법이다. 고차 Laue선의 위치로부터 격자상수를 결정하기 위해서는 전산 모사로 얻어지는 이론적 회절 도형과 실험에서 구한 회절 도형이 가장 근접하게 되는 격자 상수를 찾는다(Eades, 1992). 대부분의 전산 모사는 키네마틱 이론을 바탕으로 계산이 수행되므로 다이나믹 회절을 통해 형성되는 실제 회절 도형의 모사에 오차를 가지게 되므로 전자의 가속전압을 보정하여 오차를 줄여야 한다. 가속전압의 보정치 결정은 수렴성빔 전자회절법을 이용한 격자상수 측정의 첫 단계가 되며 정대축 방향, 고차 Laue선 그리고 시료를 구성하는 원소에 따라 달라진다.

본 연구에서는 수렴성빔 전자회절법을 이용한 실리콘 기판의 격자 상수 측정으로 저탈각 기판에서 열 산화 과정 중 발생하는 격자 변형량을 직접 계산하고, 격자 변형량을 구성하는 고유 변형량과 열적 변형량을 분리 측정하여 실리콘 기판의 전기적 및 구조적 특성에 미치는 열 산화 공정의 영향을 밝히는 것을 목적으로 한다.

재료 및 방법

비저항 $5\sim 8$ ohm-cm의 보론 첨가 p-형(100) 실리콘 기판과 11 ohm-cm인 p-형의 4° -off(100) 기판이 사용되었다. $2\text{cm} \times 2\text{cm}$ 의 크기로 절단한 시편을 세척하여 유기물 및 자연 산화막을 제거하였다. 세척된 시편은 석영관로에 장입하여 $1200 \pm 3^\circ\text{C}$ 의 온도로 유지하고 산소를 유속 50sccm으로 흘러 3시간 동안 산화시켰다.

산화 적층결함의 관찰을 위해 시료는 선택식각 되었으며, 산화된 시료를 HF에 1분간 담가 산화막을 제거한 후 선택 식각액에 넣어 2분간 교반 시키며 식각하였다. 사용된 용액은 0.75M 크롬산 용액과 HF를 1:2의 비율로 혼합하여 제조되었다.

격자 변형량 측정을 위한 단면 TEM시료의 제작은 다음과 같다. 산화막이 존재하는 시료, HF 부식으로 산화

막이 제거된 시료 그리고 산화 공정을 거치지 않은 표준 실리콘 기판이 TEM 관찰을 위하여 제조되었다. 시료를 3mm×10mm 크기로 절단한 후, 세척하여, M-bond 610(Measurements Group, Inc., Rayleigh, NC) 에폭시로 두 산화 표면이 마주 보도록 접착시켰다.

170°C에서 2시간 동안 열 경화시킨 후, 저속 다이아몬드 절단기로 접착된 시료를 300 μ m 두께로 절단하여 기계적 연마로 약 30 μ m 까지 연마하였다. 연마된 시편은 구리 그리드에 접합시킨 후 이온 빔 밀링으로 최종 연마하였다. 6kV 아르곤 이온 빔을 18°의 각도로 양면 밀링을 하였다.

Philips CM30 투과전자현미경을 100kV의 가속전압 하에서 사용하였으며, [012] 정대축 회절도형을 약 50 nm 크기의 전자 탐침으로 기록하였다. 산화막/기판 계면으로 부터 거리에 따라 각각의 회절 도형들을 얻고 표준 시료에서도 [012] 회절 도형을 얻어 가속전압의 보정치 결정에 사용하였다.

결과 및 고찰

열 산화 공정으로 발생하는 침입형 실리콘 원자들은 (111)면에 석출하여 적층 결함을 형성하게 되며, 그 예가 Fig. 1이다. 투과전자현미경으로 열 산화된 시편을 관찰하면 적층 결함의 밀도가 작아 적층 결함 부위를 직접 관찰하기 어렵다. 그러나, 실리콘 기판의 격자 변형량 측정을 통해 침입형 실리콘 원자의 양을 유추해 낼 수 있다. Fig. 2는 단면 TEM 시료의 명시야 상으로 약 0.3 μ m의 두께로 성장된 SiO₂층을 보여준다. 기판 내부에 검은 점들은 수렴성빔 회절도형이 얻어진 미소 영역들이다. 실리콘 기판은 [012] 정대축으로 정렬되어 있으며, 그 회절 도형이 Fig. 3(b)에 주어져 있다.

[012] 정대축 도형이 사용된 이유는, 첫째로, 키네마틱 이론에 의한 전산 모사는 저 대칭성을 가지는 정대축에서 오차가 적어지기 때문이다(Lin *et al.*, 1989; Jones *et al.*, 1977). [012] 도형은 오직 한 개의 거울 대칭면을 가지고 있다. 두 번째 이유로는, [012] 정대축 정렬시 계면에 평행하게 그리고 작은 각도로 시료를 기울임에 따라 두께 편차에 의한 영향을 최소화시킬 수 있기 때문이다. 대각 수렴성빔 회절법(LACBED; Large Angle Convergent Beam Electron Diffraction)으로 계면 부위를 관찰하면 Fig. 3(a)와 같이 계면 부위의

영상과 HOLZ 회절 도형이 중첩되어 보여 지므로, 영상과 회절 도형간의 공간적 관계를 알 수 있다. 예를 들어, Fig. 3(a)의 삼각형 부위는 Fig. 3(b)와 같이 [012] 회절 도형에 표시된 삼각형과 일치하므로, [012] 정대축의 거울 대칭면이 산화막/기판의 계면과 평행한 것을 유추해 낼 수 있다. 따라서 거울 대칭면과 평행한 방향에서의 HOLZ선 위치 변화는 계면에 평행하게 존재하는 격자 변형량을 반영하게 된다. 반면에 거울 대칭면에 수직하게 HOLZ선 위치 변화를 측정하면, 계면에 수직한 방향으로의 격자 변형량을 결정할 수 있다.

HOLZ선 위치는 측정 오차를 줄이기 위하여 몇 개의 HOLZ선이 교차하는 점간 거리의 비로 측정된다. 100kV에서 얻어진 실리콘 [012] 정대축의 HOLZ도형에서는 Fig. 4에 표시된 것과 같이, 길이 a, b, c 및 d를 분석에 사용하였다. a/b의 비는 계면과 평행 방향으로, 그리고 c/d의 값은 계면에 수직인 방향의 격자상수 측정에 사용되어 질 수 있다.

표준 시편에서 얻어진 [012] HOLZ도형을 이용하여 a/b값과 c/d값을 측정하고, 가속전압을 변수로 하되 격자상수(0.54309nm)를 고정시켜 전산모사된 회절도형과 비교한 결과는 다음과 같다. a/b의 값은 가속전압이 100.2kV일 때 가장 가깝게 일치되며, c/d는 100.4 kV의 가속전압이 최적 값으로 결정되었다. 따라서 가속전압 보정치는 사용되는 특성의 HOLZ선 및 정대축 방향에 따라 좌우됨을 알 수 있다. 표준시료로 부터 가속전압 보정치를 구한 후, 이 값을 고정시키고 격자 상수를 변수로 입력하여, 격자상수 변화에 따른 a/b 및 c/d 값의 변화를 구할 수 있었다. 그리고 이것을 바탕으로 열 산화된 시료로부터의 HOLZ도형 해석에 이용하였다.

열 산화 공정을 거친 실리콘 기판의 격자 변형량을 측정한 결과가 Fig. 5에 보여진다. 4°의 저탈각(100) 기판과(100) 기판이 비교되어 있다. 산화막 제거 전과 제거 후의 값도 비교 측정되었다. 저탈각의 영향을 보면, 산화막의 유무에 관계없이 낮은 격자 변형량을 가진다. 이와 같은 결과는 산화 공정중 자유 실리콘 원자들이 표면의 스텝 부위에 흡수된다는 가설을 입증하는 것이며, 저탈각 기판의 우수한 전기적 특성과 소수의 산화 적층 결함이 존재하는 이유도 설명하여 준다.

열 산화된 실리콘 기판의 격자 변형은 두 가지 인자에 의해 결정된다. 첫 번째 인자는 고유 변형량이며, 실리콘과 SiO₂간의 밀도 차이 그리고 침입형 실리콘 원자의

격자 침투량에 의하여 발생된다. 두 번째 인자로는 기판과 산화막간의 열팽창 계수 차이로 인한 열적 변형량으로 산화 온도에서 상온으로 냉각 도중 도입된다. 열적 변형량은 산화막을 제거하기 전과 제거한 후의 실리콘 기판의 격자상수 변화로서 유추할 수 있다. 따라서, 고유 변형량도 독립적으로 측정될 수 있다. 이와 같은 원리를 바탕으로 (100) 실리콘 기판에 산화 피막이 증착되어 있을 경우와 화학적 식각으로 제거한 후의 격자 변형량 변화를 Fig. 6에 비교하였다. 산화 막이 성장되어 있는 경우, 실리콘 기판의 변형량은 계면에서 최대 2.4×10^{-3} 이며 $2.5 \mu\text{m}$ 거리까지 완만하게 감소하는 경향을 보인다. 산화막이 제거되면, 계면에서의 변형량은 3.15×10^{-3} 으로 커지고 또한 급격한 감소를 보여 계면에서 $1.0 \mu\text{m}$ 위치에서 사라진다. 고유 변형량의 급격한 감소는 침입형 실리콘 원자들이 계면 부위에 집중적으로 분포되어 있음을 시사한다. 또한 4° 의 저탈각 기판에서는 최대 고유 변형량이 약 1.75×10^{-3} 으로 침입형 실리콘 원자의 양이 약 절반 정도임을 유추할 수 있다.

열적 변형량의 변화를 보면, 계면 부위에서는 실리콘 기판이 압축 변형을 받고 있고 계면에서 $0.4 \mu\text{m}$ 위치에서부터 인장으로 바뀌는 것을 보여준다. 이와 같은 관찰은 다음의 이유에서 주목 할 만하다. 즉, 실리콘의 열팽창 계수가 SiO_2 의 값 보다 5 배 정도 크므로 이론적으로 실리콘 기판이 인장 변형을 받아야 하기 때문이다. 따라서 Fig. 6이 의미하는 실리콘 기판의 열적 변형량은 침입형 실리콘 원자로 과포화된 계면 부위의 열팽창 계수가 SiO_2 의 열팽창 계수보다 작아졌음을 의미한다. 실제로 Fig. 6에서 고유 변형량이 계면에서 멀어짐에 따라 감소하며 동시에 열적 변형량도 인장값으로 가까워진다. 따라서 본 연구를 통해 실리콘의 열적 산화로 전기적 특성은 물론 기판의 물리적 성질도 변화하게 된다는 중요한 결론을 맺을 수 있다.

결 론

수렴성분 전자회절법을 이용하여 (100) 실리콘 단결정 기판의 열산화 공정이 기판의 제반 특성에 미치는 영향을 분석하였다. [012] 정대축에서 얻어진 HOLZ도형으로부터 산화막 계면 부위의 격자상수 변화를 측정하여 고유 변형량과 열적 변형량을 구하였다. 4° 의 저탈각 기판의 경우 계면 부위의 최대 변형량은 1.75×10^{-3} 으로 표면에

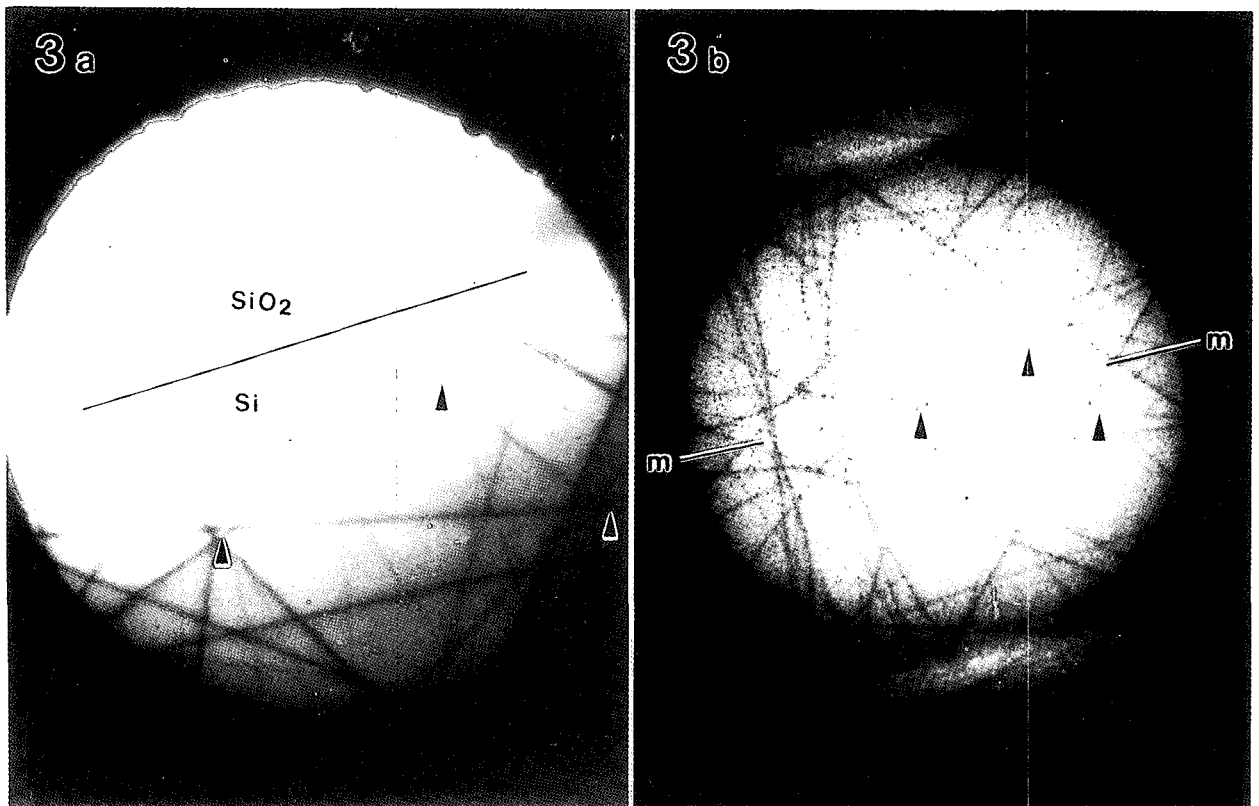
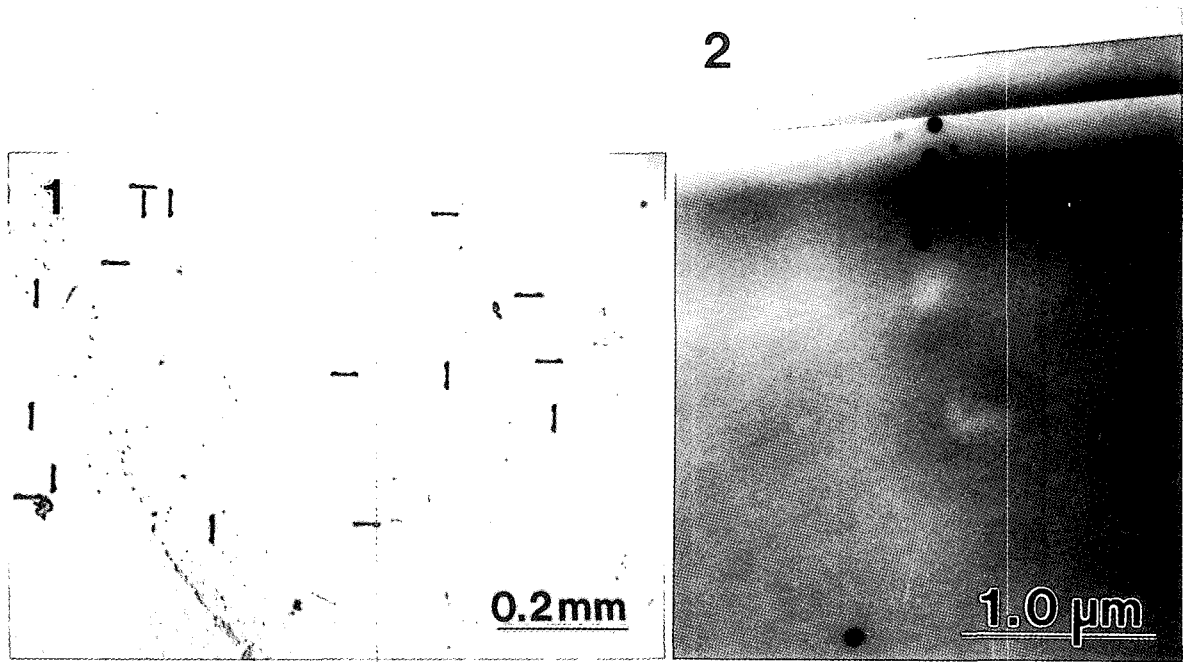
존재하는 스텝이 침입형 실리콘 원자들의 기판내 확산을 효과적으로 감소시켰음을 밝혔다. 특히 계면 부위의 침입형 실리콘 원자들은 기판의 열팽창 계수를 변화시켜 기판은 잔류 압축응력을 가지고 있었다. 본 연구를 통해 실리콘의 산화 반응으로 고유 변형과 열적 변형이 생성되고 이로 인해 전기적 특성 및 실리콘 기판의 물리적 성질도 변화함을 알 수 있었다.

참 고 문 헌

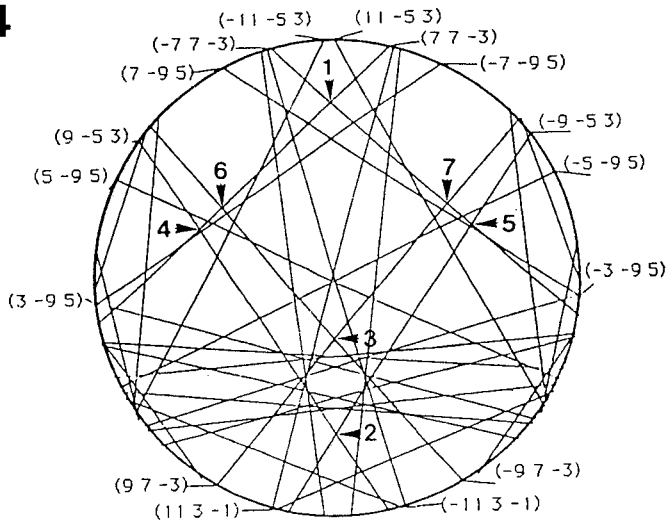
- Deal, B.E. and Grove, A.S., 1965. General Relationship for the Thermal Oxidation of Silicon., J. Appl. Phys., 36:3770-3785
- Eades, J.A., 1992. A REVIEW : HOLZ lines and Lattice Parameter Determination, Acta Microscopica, 1:15-25
- Hu, S.M., 1974. Formation of Stacking Faults and Enhanced Diffusion in the Oxidation of Silicon, J. Appl. Phys., 45:1567-1578
- Jones, P.M., Rackham, G.M. and Steeds, J.W., 1977. High Order Laue Zone Effects in Electron Diffraction and their use in Lattice Parameter Determination, Proc. Roy. Soc. A 354:197-222
- Lim, A.M., Dutton, R.W., Antoniadis, D.A. and Tiller, W.A., 1981. The Growth of Oxidation Stacking Faults and the Point Defect Generation at Si-SiO₂ interface during Thermal Oxidation of Silicon, J. Electrochem. Soc., 128, 1121-1135
- Lin, Y.P., Bird, D.M. and Vincent, R., 1989. Error and Correction Term for HOLZ line Simulations, Ultramicroscopy 27:233-240
- Sugita, Y., Gato, T. and Tamura, M., 1971. Effect of Crystal Orientation on the Stacking Fault Formation in Thermally Oxidized Silicon, J. Appl. Phys., 42:5847-5861
- Tiller, W.A., 1980. On the Kinetics of the Thermal Oxidation of Silicon, I, II, J. Electrochem. Soc., 127:619-632
- Tomokiyo, Y., 1992. Application of Convergent Beam Electron Diffraction to Extract Quantitative Information in Materials Science, J. Electron Microsc., 41:403-415

FIGURE LEGENDS

- Fig. 1.** Distribution of oxidation-induced stacking faults on {111} planes revealed by selective etching of oxidized [100] silicon
- Fig. 2.** Bright-field TEM image of interface region showing amorphous SiO₂ film grown on Si(100) substrate and areas of analysis
- Fig. 3.** Relationship between HOLZ lines in [012] zone axis orientation and Si/SiO₂ interface, (a) LACBED pattern showing interfacial region and superimposed [012] pattern, and (b) [012] HOLZ pattern with a mirror plane parallel to the interface
- Fig. 4.** Indexed HOLZ lines and their intersection points used to determine the lattice parameter of silicon
- Fig. 5.** Variation of lattice strains in the silicon substrate as a function of distance from the SiO₂/Si interface
- Fig. 6.** Intrinsic and thermal lattice strain profile in silicon introduced by the thermal oxidation process at 1200°C for 3 hours



4



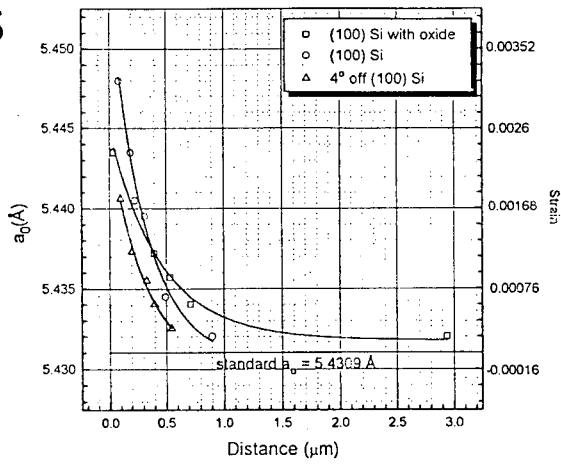
$\bar{12}$: a

$\bar{13}$: b

$\bar{45}$: c

$\bar{67}$: d

5



6

