

RTCVD에 의한 다결정 Si_{1-x}Ge_x 박막 증착

김재중 · 이승호 · 소명기
강원대학교 공과대학 재료공학과

Deposition of Poly-Si_{1-x}Ge_x Thin Film by RTCVD

Jae Jung Kim, Seoung Ho Lee and Myoung Gi So

Department of Materials Engineering, Kang Won National University

초 록 Oxidized Si wafer 위에 반응가스로 SiH₄과 GeH₄을 사용하여 RTCVD(rapid thermal chemical vapor deposition)법으로 증착온도 450~550°C에서 다결정 Si_{1-x}Ge_x 박막을 증착하였다. 증착된 Si_{1-x}Ge_x박막은 증착온도와 GeH₄/SiH₄ 입력비 변화에 따른 Ge몰분율 변화와 증착속도에 대해 고찰하였으며, XRD와 AFM(atomic force microscopy)등을 이용하여 결정상과 표면거칠기 등을 조사하였다. 실험결과, 다결정 Si_{1-x}Ge_x 박막은 32~37 Kcal/mole의 활성화에너지 값을 가졌으며 증착속도는 증착온도와 입력비 증가에 따라 증가하였다. 또한 조성분석으로부터 입력비 감소와 증착온도 증가에 따라 Ge몰분율이 감소함을 알 수 있었다. 증착된 Si_{1-x}Ge_x박막은 450, 475°C에서 입력비가 0.05일때 비정질 형태로 존재하였으며 그 이외의 실험영역에서는 다결정 형태로 존재하였다.

기존의 다결정 Si 증착온도(600°C 이상)와 비교하여 GeH₄을 첨가함으로써 비교적 낮은 온도(550°C 이하) 영역에서 다결정 Si_{1-x}Ge_x박막을 얻을 수 있었다. 또한 증착층의 표면거칠기를 측정한 결과, 증착온도와 입력비가 증가함에 따라 표면 거칠기(R_r)가 증가함을 알 수 있었다.

Abstract The poly-Si_{1-x}Ge_x thin films were deposited on oxidized Si wafer by RTCVD(rapid thermal chemical vapor deposition) using SiH₄ and GeH₄ at 450~550°C.

The variation of Ge mole fraction and the deposition rate of Si_{1-x}Ge_x thin film were studied as a function of the deposition temperature and the GeH₄/SiH₄ input ratio, and the crystal phase and the surface roughness were studied by XRD and AFM(atomic force microscopy), respectively. The experimental results showed that the activation energy for the deposition of poly-Si_{1-x}Ge_x was about 32~37 Kcal/mol and the deposition rate of Si_{1-x}Ge_x thin films was increased with increasing the deposition temperature and the input ratio. From the analysis of composition, it was known that the Ge mole fraction within the poly-Si_{1-x}Ge_x thin film was decreased with decreasing the input ratio and increasing the deposition temperature. As-deposited Si_{1-x}Ge_x thin films were polycrystalline over the entire experimental range. But those were amorphous at the deposition temperature of 450, 475°C and the input ratio of 0.05. By adding the GeH₄, poly-Si_{1-x}Ge_x thin film were deposited at relatively lower deposition temperatures(≤550°C) than those of conventional poly-Si(>600°C). From surface roughness measurement of poly-Si_{1-x}Ge_x, it was found that the surface roughness(R_r) increased with increasing the deposition temperature and input ratio.

1. 서 론

현재 다결정 Si은 대면적의 고해상도를 갖는 액정 디스플레이(liquid crystal display: LCD)와 3차원적 IC의 수직적층 부품으로 응용하기 위해 많은 연구가 진행되고 있다^{1~2)}.

그러나 이와같은 다결정 Si은 600°C 이상의 고온공정과 장시간의 공정으로 보고되고 있는데, 저가의 유리기판을 사용하여 대면적의 LCD 개발이 요구되는 현재에 있어서는 저온 및 단시간의 공정이 필수이며 고온 및 장시간의 공정은 cost에 있어서 커다란 제약을 받고

있다. 그러므로 현재 다결정 Si의 대응으로 대두된 것이 다결정 Si_{1-x}Ge_x이다³⁾.

Si_{1-x}Ge_x은 Si gas source에 GeH₄을 첨가함으로써 Si에 비해 melting point가 낮고 증착, 결정화, 성장, dopant activation등의 공정온도를 Si의 공정온도보다 낮은 온도에서 실시할 수 있으며 특히 TFT를 550°C 이하의 온도에서 제작할 수 있다고 보고되고 있다⁴⁾.

그러나 기존의 Si_{1-x}Ge_x 증착에 대한 연구는 주로 Si 위에 Si_{1-x}Ge_x의 heteroepitaxy에 대해 많은 연구가 되어있으며 다결정 Si_{1-x}Ge_x에 대해서는 많은 연구가 되어 있지 않은 실정이다. 최근에 몇몇 연구자들이 as-deposited 다결정 Si_{1-x}Ge_x박막을 기존의 MOS transistor의 전극재료로 사용된 다결정 Si의 대체용으로 그리고 Si내의 shallow junction을 형성하는 diffusion source등으로 사용하려고 시도하고 있다⁵⁻⁶⁾.

이와같은 다결정 Si_{1-x}Ge_x박막은 Si gas source의 종류(Si₂H₆, SiH₄, SiH₂Cl₂)와 증착방법(LPCVD⁷⁾, UHVCVD⁸⁾, RTCVD⁹⁾에 따라 증착속도와 증착된 막의 성질에 차이를 보이고 있고 증착변수(증착온도, input ratio등)에 따라 Si_{1-x}Ge_x막 내의 Ge몰분율이 변화하며 이로 인해 증착속도에 영향을 미치는 것으로 보고되고 있다⁹⁻¹¹⁾.

국내에서도 다결정 Si_{1-x}Ge_x박막에 대한 연구는 MBE¹²⁾를 이용하여 연구되고 있으나 single wafer process에 이용되고 급속열처리가 가능한 RTCVD법을 이용한 다결정 Si_{1-x}Ge_x박막에 대한 연구는 보고되고 있지 않다.

따라서 본 연구에서는 RTCVD법을 이용하여 저온영역(550°C이하)에서 다결정 Si_{1-x}Ge_x박막을 직접증착 하고자하며 증착변수에 따른 다결정 Si_{1-x}Ge_x막 내의 Ge몰분율 변화와 Ge몰분율이 증착속도에 미치는 영향 및 다결정 Si_{1-x}Ge_x박막의 표면거칠기 등에 대해 살펴보고자 한다.

2. 실험 방법

2-1. 다결정 Si_{1-x}Ge_x 증착

본 실험에서는 p-type (100) Si 웨이퍼 위에 열산화법으로 증착된 산화막의 두께가 1000 Å인 oxidized Si wafer를 20×60mm 크기로 절단하여 시편으로 사용하였다. 시편을

cleaning한 후 N₂로 건조시켜 RTCVD반응관에 장입시켰다. 반응가스로 5%SiH₄(95%Ar)과 3%GeH₄(97%H₂)을 사용하여 Si_{1-x}Ge_x박막을 증착하기전에 buffer layer로 Si를 550°C에서 10nm이하로 증착한 후 in-situ로 증착온도 450-550°C, GeH₄/SiH₄ input ratio 0.05-0.3 (SiH₄:100sccm, GeH₄:8.15-48.8sccm)인 조건에서 Si_{1-x}Ge_x박막을 증착하였다. 또한 Si_{1-x}Ge_x과 증착속도를 비교해 보기 위해 증착온도 525-575°C인 조건에서 다결정 Si를 증착하였다. 이때 모든 실험은 증착압력을 3torr로 고정하여 행하였다.

2-2. 다결정 Si_{1-x}Ge_x 박막의 분석방법

증착된 Si_{1-x}Ge_x막의 두께측정은 α-step을 이용하였으며 Si_{1-x}Ge_x 두께는 1800~2100 Å이었다. α-step 측정을 위한 step은 질산과 불산이 혼합된 etching 용액에 wet etching하여 제조하였다. 증착된 Si_{1-x}Ge_x의 성분분석과 Ge 몰분율은 XRD, AES, RBS분석을 통하여 알아보았다.

AES 분석시 Auger electron spectrum의 입사 전자 운동에너지는 5KeV이고 빔전류는 0.0247 μA이었다. RBS 분석은 H⁺2 빔에너지가 2.42MeV이고 조사되는 빔과 시편의 각도는 60°이었으며 이때 빔전류는 20nA인 조건에서 행하였다. XRD에 의한 Ge 조성은 Vegard rule에¹³⁾ 적용하여 계산하였다. 또한 결정상 분석을 위한 X-선회절 측정은 (111), (220), (311)면이 측정되는 2θ의 범위인 25~60°로 하였으며 타겟은 1.542 Å의 파장을 갖는 Cu Kα를 사용하였다.

표면 morphology와 표면거칠기를 측정하기 위해 AFM(atomic force microscopy) 분석을 실시하였으며 이때 X축 및 Y축의 주사면적은 4,000 Å×4,000 Å 이었고 X, Y방향과 Z방향(깊이방향)의 분해능은 각각 10 Å 범위였다. 또한 표면거칠기는 다음 식을 근거로 한 software에 의하여 측정되었다¹⁴⁾.

$$R^2 = \frac{1}{L} \int f(x)dx$$

x : 주사선 L상의 좌표

f(x) : 평균높이에 대한 표면높이의 x에 따른 변화

L : 주사시작 위치와 주사종료 위치간의 길이

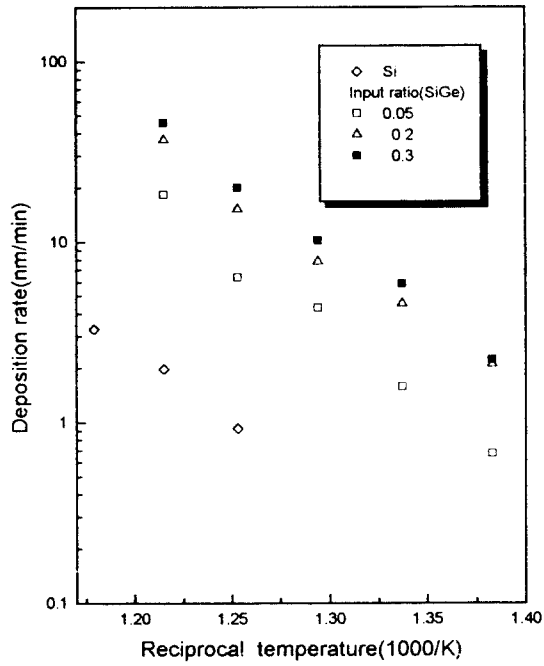


Fig. 1. Deposition rate of $\text{Si}_{1-x}\text{Ge}_x$ thin films and Si as a function of deposition temperature. (deposition temperature: 450~550°C)

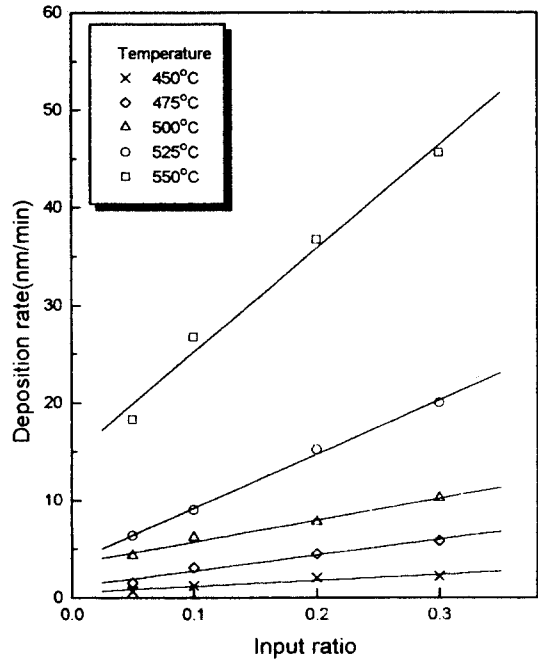


Fig. 2. Deposition rate of $\text{Si}_{1-x}\text{Ge}_x$ thin films as a function of $\text{GeH}_4/\text{SiH}_4$ input ratio. ($\text{GeH}_4/\text{SiH}_4$ input ratio: 0.05~0.3)

3. 실험결과 및 고찰

3-1. 증착온도와 입력비가 증착속도에 미치는 영향

Fig. 1에 증착온도 변화에 따른 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 증착속도 변화를 나타내었다.

$\text{Si}_{1-x}\text{Ge}_x$ 의 증착속도는 450, 475°C에서 0.67~5.83nm/min, 500~550°C에서 6.37~45.6nm/min으로 증착온도가 증가함에 따라 증착속도는 증가하였으며 Si의 증착속도는 0.93~3.24nm/min으로 낮은 증착속도를 보였다.

또한 Si과 $\text{Si}_{1-x}\text{Ge}_x$ 박막 증착에 대한 활성화 에너지 (activation energy) 값을 구해본 결과 Si은 32.6 Kcal/mole 이었으며, $\text{Si}_{1-x}\text{Ge}_x$ 에서는 input ratio가 0.05, 0.2, 0.3일때 각각 36.9, 33.9, 32.7 Kcal/mole의 값을 나타내었다.

이상에서 살펴본 바와같이 Si의 증착온도보다 저온에서 $\text{Si}_{1-x}\text{Ge}_x$ 의 증착속도가 증가하였는데 이에 대해 Gu등은¹⁰⁾ SiH_4 에 GeH_4 이 첨가됨으로서 hydrogen의 탈착속도를 증가시켜 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 증착속도를 증가시킨다고 보고

하였다. 따라서 본 실험에서도 GeH_4 의 첨가로 인해 hydrogen의 탈착속도 증가와 반응물들의 흡착가능성이 증가하여 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 증착속도가 증가한 것으로 사료된다.

Fig 2는 RTCVD에 의해 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 $\text{GeH}_4/\text{SiH}_4$ input ratio에 따른 증착속도의 변화를 나타내었다. 그림에서 보는바와 같이 input ratio가 증가함에 따라 모든 온도 영역에서 증착속도가 증가함을 알 수 있었다.

3-2. SiGe박막의 성분분석

증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 성분과 증착온도에 따른 Ge 몰분율의 변화를 알아보기위해 AES, RBS, XRD 분석을 행하였다. 이때 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 증착조건은 증착온도 475, 525, 550°C, $\text{GeH}_4/\text{SiH}_4$ input ratio를 0.3으로 하였다.

Fig. 3에 증착온도 475°C, input ratio 0.3일 때 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 AES spectrum을 나타내었다. 박막의 성분이 silicon(92eV, LVV)과 germanium(1149eV, LMM)으로 이루어진 것으로 보아 증착된 막이 $\text{Si}_{1-x}\text{Ge}_x$ 박막임을 확인할 수 있었다.

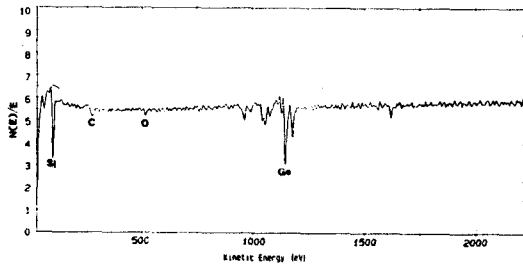


Fig. 3. AES spectrum for deposited $\text{Si}_{1-x}\text{Ge}_x$ films. ($\text{GeH}_4/\text{SiH}_4$ input ratio: 0.3, deposition temperature: 475°C)

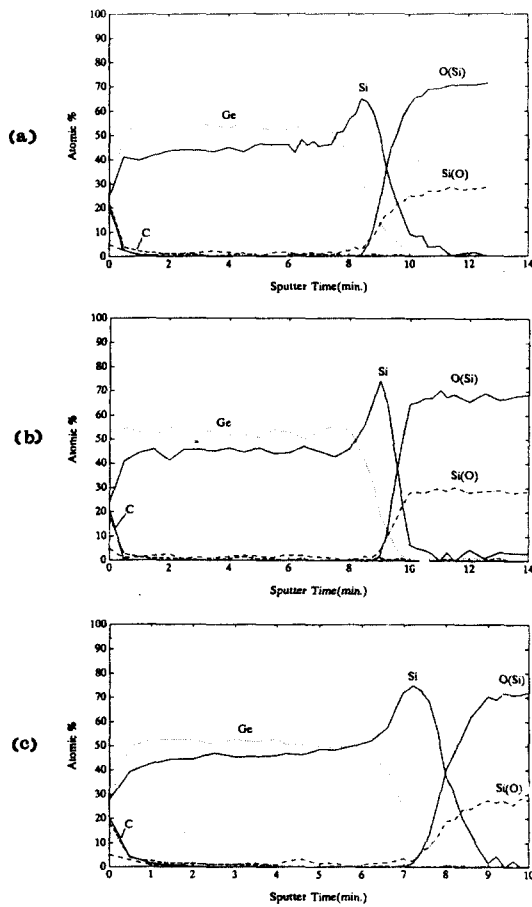


Fig. 4. AES depth profile for deposited $\text{Si}_{1-x}\text{Ge}_x$ films. (deposition temperature (a) 475°C (b) 525°C (c) 550°C , $\text{GeH}_4/\text{SiH}_4$ input ratio : 0.3)

Fig. 4는 input ratio 0.3일때 증착온도 475, 525, 550°C 에서 증착시킨 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 Au-

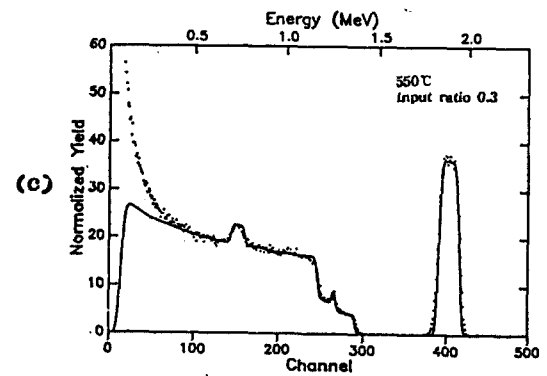
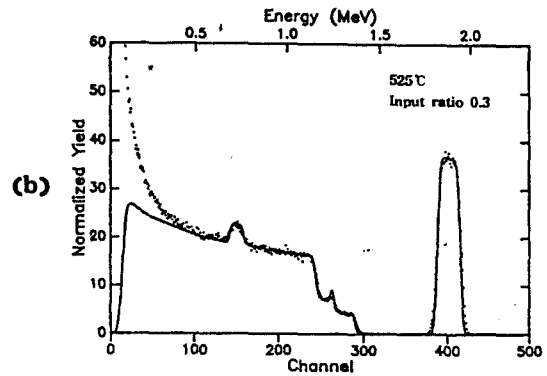
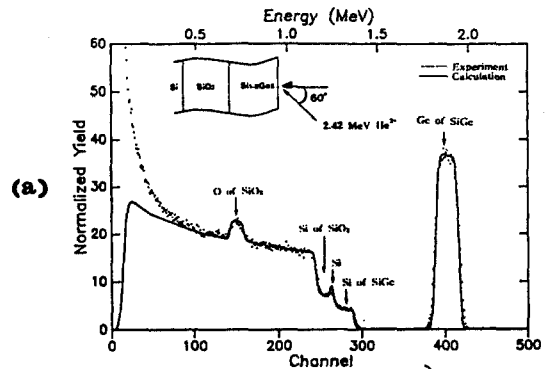


Fig. 5. RBS spectra for deposited $\text{Si}_{1-x}\text{Ge}_x$ films. (deposition temperature (a) 475°C (b) 525°C (c) 550°C , $\text{GeH}_4/\text{SiH}_4$ input ratio : 0.3)

ger depth profile 결과로서 증착된 박막의 깊이 방향으로 증착층인 $\text{Si}_{1-x}\text{Ge}_x$ 막이 존재하였고 buffer layer의 Si 그리고 기판위의 SiO_2 등이 차례로 나타남을 알 수 있었다. AES 분석 결과 증착온도 475°C , 525°C , 550°C 에서 Ge 몰분율은 0.57, 0.561, 0.551이었다.

Fig. 5에 input ratio 0.3일때 증착온도 475, 525, 550°C 에서 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 RBS

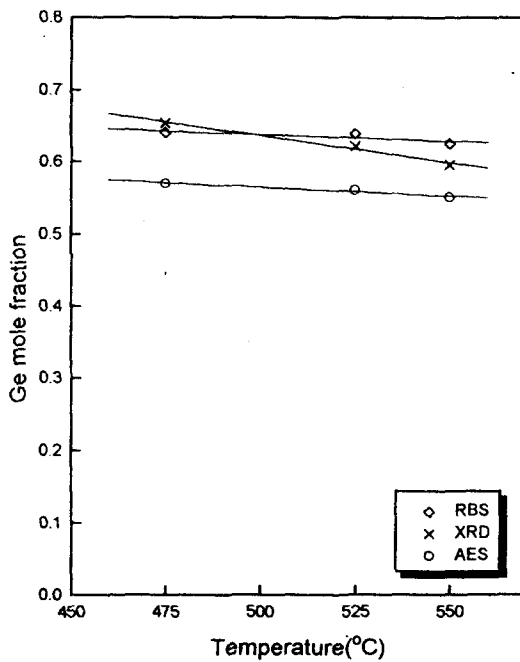


Fig. 6. Ge mole fraction in deposited $\text{Si}_{1-x}\text{Ge}_x$ films vs. deposition temperature with RBS, XRD and AES analysis.

(deposition temperature (a)475°C (b)525°C (c)550°C, $\text{GeH}_4/\text{SiH}_4$ input ratio : 0.3)

분석결과를 나타내었다. Fig. 5(a)에 나타낸 바와 같이 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 SiGe내의 Ge, SiGe내의 Si, buffer layer의 Si, SiO_2 내의 Si 그리고 SiO_2 내의 O의 peak가 각각의 spectrum에서 보여지고 있다. Ge의 원자량이 Si에 비하여 크므로 Ge원자에 의하여 후방산란된 에너지가 Si보다 크므로 RBS spectrum상에서 Ge peak가 가장 오른쪽에 위치하게 된다. 이 그림에서 나타난 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 깊이 방향 성분분포는 Fig. 4에서 보여준 Auger depth-profile의 성분분포와 잘 일치하고 있음을 보여준다. 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 RBS 분석결과 증착온도 475°C, 525°C, 550°C에서 Ge 몰분율은 0.641, 0.639, 0.625이었다.

Fig. 6에 input ratio 0.3일때 증착온도 475, 525, 550°C에서 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 AES, RBS, XRD에 의해 분석된 Ge 몰분율 변화값을 종합적으로 비교하여 나타내었다. 여기서 XRD에 의한 Ge 몰분율값은 Vegard rule에 의해 계산한 결과이며 각각의 증착온도에서

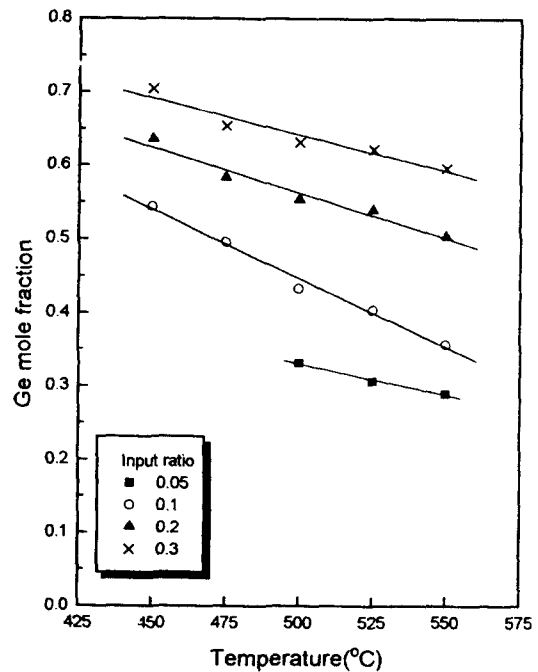


Fig. 7. Ge mole fraction in deposited $\text{Si}_{1-x}\text{Ge}_x$ films vs. deposition temperature with $\text{GeH}_4/\text{SiH}_4$ input ratio.

0.654, 0.622, 0.596의 값을 가졌다.

이 그림에서 알 수 있듯이 같은 시편을 분석방법을 달리한 결과 Ge 몰분율의 값이 약간씩 차이가 있음을 보여주고 있다. AES와 RBS에서는 0.1~0.07 사이의 오차를 보여주며 XRD에 의해 계산된 값은 AES와 RBS 사이에 존재함을 알 수 있었다. 또한 증착온도가 증가함에 따라 Ge 몰분율은 약간 감소하는 경향이 나타나며 이러한 경향은 3가지 분석방법 모두에서 동일하게 나타났다.

따라서 본 연구에서는 증착온도가 450~550°C이고, input ratio 0.05~0.3에서 증착시킨 시편의 Ge 몰분율을 알아보기 위해 비교적 정량분석 방법으로 알려진 RBS 분석값과 거의 비슷한 값을 갖는 XRD 분석을통해 이후 모든 시편의 Ge 몰분율 값을 구하였다.

3-3. 증착온도와 input ratio에 따른 Ge 몰분율 변화

Fig. 7에 증착온도 변화에 따른 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 Ge 몰분율을 나타내었다. 이 그림에서 보면 증착온도가 증가함에 따라 Ge 몰분율이 감소하는 경향이 나타남을 알 수 있다. 이와

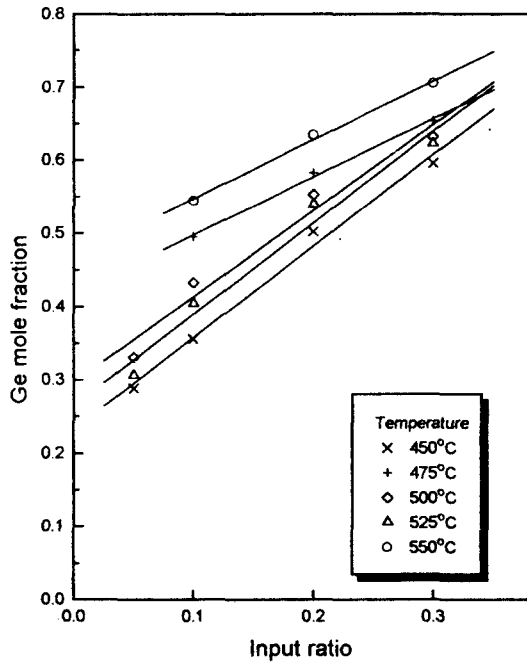


Fig. 8. Ge mole fraction in deposited $\text{Si}_{1-x}\text{Ge}_x$ films vs. $\text{GeH}_4/\text{SiH}_4$ input ratio with deposition temperature.

같은 증착온도 증가에 따른 Ge 몰분율 감소에 대해 Gu등은¹⁰⁾ 온도증가에 따라 GeH_4 의 sticking coefficient가 감소하기 때문에 Ge 몰분율이 감소한다고 보고하였으며, Kamins는¹⁵⁾ Ge 증착에 대한 mass transport limited 영역이 저온영역에서 존재하므로 온도가 증가함에 따라 Ge 몰분율은 감소한다고 보고하였다.

따라서 본 실험결과에서는 증착온도가 증가함에 따라 Ge에 대한 sticking coefficient가 감소하여 Ge 몰분율이 감소하는 것으로 생각된다.

Fig. 8에 $\text{GeH}_4/\text{SiH}_4$ input ratio 증가에 따른 Ge 몰분율의 변화를 나타내었다. 그림에서 보는바와 같이 input ratio 증가에 따라 몰분율이 증가하는 것을 알 수 있다.

GeH_4 flow 양의 증가에 따른 Ge 몰분율의 증가에 대해, Cao는⁷⁾ Si과 Ge precursor의 sticking 가능성에 대한 모델로 설명하였는데 즉, 기판의 표면근처에서의 SiH_4 과 GeH_4 이 Si과 Ge precursor들로 분해되고 이러한 precursor들이 기판 근처로 움직여서 흡착 site내로 흡착되며 이러한 흡착 가능성은 Si 또는 Ge

precursor들의 type에 의해 영향을 받는다고 보고하고 있다.

따라서 본 연구결과에서 나타난 input ratio 증가에 따른 Ge 몰분율의 증가는 GeH_4 의 유량이 많아짐에 따라 기판 표면에 Ge precursor flux fraction이 증가하여 표면에 Ge atom sticking 가능성이 증가했기 때문으로 사료된다.

3-4. 증착변수에 따른 Ge 몰분율이 증착속도에 미치는 영향

증착온도와 input ratio에 따른 $\text{Si}_{1-x}\text{Ge}_x$ 박막 내의 Ge 몰분율변화가 증착속도에 미치는 영향에 대해 고찰해보면 다음과 같다.

먼저, 증착온도에 따른 증착속도에 대해서 Gu등은 낮은 온도영역과 $\text{GeH}_4/\text{SiH}_4$ input ratio가 적을때 hydrogen의 탈착속도가 감소하므로 표면에서의 hydrogen이 $\text{Si}_{1-x}\text{Ge}_x$ 성장에 대한 controlling factor로 존재하며, 높은 온도영역과 input ratio가 증가할때 hydrogen의 탈착속도가 증가하여, 수화물들의 흡착과 표면에서의 반응가능성이 증가하므로 증착속도를 증가시킨다고 보고하였으며¹⁰⁾, Cao는 증착온도 증가에 따라 GeH_4 sticking coefficient가 감소하여 $\text{Si}_{1-x}\text{Ge}_x$ 막 내에 Ge 결함을 감소시킨다고 보고하였다⁷⁾.

Input ratio에 따른 증착속도에 대해 Meyerson은¹⁶⁾ gas source내로 GeH_4 를 첨가함에 의해 Ge atom이 성장계면에서 탈착 center로 작용하여 성장층으로부터 hydrogen 탈착에 대한 activation energy를 낮추어주므로 흡착 site를 생성시켜 SiH_4 의 반응성을 증가시킨다고 보고하였다. Jang과 Reif는¹⁷⁾ $\text{Si}_{1-x}\text{Ge}_x$ 막 증착시 Ge content가 적을 경우 hydrogen이 막성장을 제한하게 되어 결국 $\text{Si}_{1-x}\text{Ge}_x$ 증착속도를 감소시킨다고 보고하였다.

이상과 같은 고찰을 통해, 본 실험결과에 나타난 증착온도와 input ratio에 따른 Ge몰분율의 변화(Fig. 7, 8)가 증착속도(Fig. 1, 2)에 미치는 영향에 대해 종합해 보면 다음과 같다.

증착온도에 따른 증착속도가 처음에는 GeH_4 첨가에 의해 hydrogen의 탈착속도가 증가하여 증착속도는 증가하나 온도가 증가할수록 GeH_4 의 sticking coefficient 감소로 인해 Ge 몰분율은 감소하지만 증착온도가 더 증가함에 따라 기판 표면에서의 hydrogen의 탈착속도가 더욱 증가하여 증착속도가 증가한 것으로

사료된다.

또한 $\text{GeH}_4/\text{SiH}_4$ input ratio 증가에 따라 증착속도와 Ge 몰분율이 증가하였는데 이것은 GeH_4 양이 많아져 기판 표면에 Ge atom sticking rate이 증가했기 때문에 Ge 몰분율이 증가했고, 이로인해 hydrogen 탈착속도가 증가하여 증착속도가 증가하는 것으로 생각된다.

3-5. $\text{Si}_{1-x}\text{Ge}_x$ 박막의 결정상 분석

Fig. 9에 증착온도 450, 475, 550°C 일때 input ratio(0.05~0.3) 변화에 따른 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 X-선 회절분석 결과를 나타내었다.

증착온도 450, 475°C 일때 input ratio 0.05에서 증착시킨 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 XRD pattern을 보면 기판 Si(200) peak 외에 다른 peak이 존재하지 않는것으로 보아 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막

이 비정질임을 알 수 있었다.

위의 시편을 제외한 다른 모든 시편에서는 그림에 보는바와 같이 다결정 $\text{Si}_{1-x}\text{Ge}_x$ 의 (111), (220), (311)면에 의한 peak들이 존재하는 것으로 보아 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 박막이 다결정임을 알 수 있다.

또한 각각의 온도에서 input ratio가 증가함에 따라 (111), (220), (311) peak들이 낮은 2θ 값으로 shift됨을 알 수 있으며 이것은 input ratio가 증가함에 따라 Ge 몰분율이 증가하여 낮은 2θ 값으로 shift 된것으로 설명할 수 있다.

이상의 결과를 종합해 보면 $\text{Si}_{1-x}\text{Ge}_x$ 박막은 증착온도 450, 475°C에서 입력비가 0.05일때만 비정질로 존재했으며 그 이외의 영역에서는 다결정질로 존재함을 알 수 있었다.

3-6. $\text{Si}_{1-x}\text{Ge}_x$ 박막의 표면분석

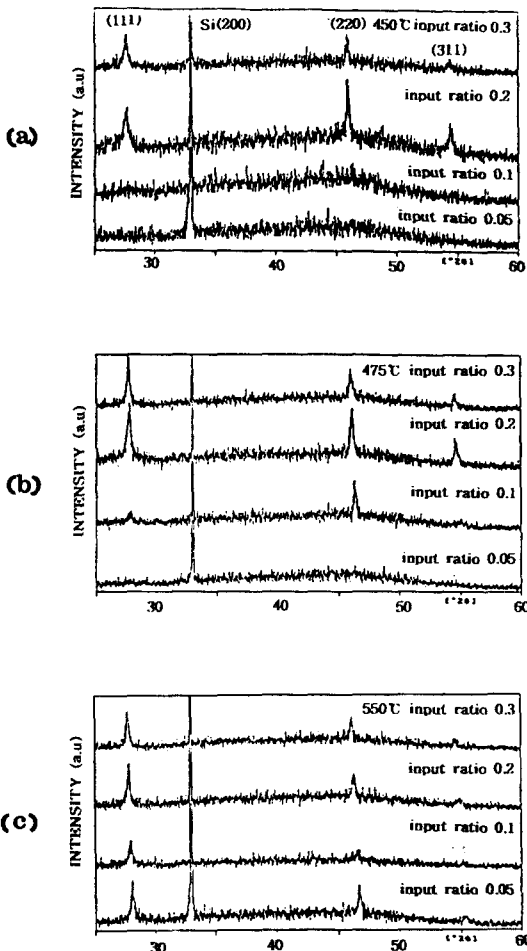


Fig. 9. X-ray diffraction patterns of $\text{Si}_{1-x}\text{Ge}_x$ films. (deposition temperature (a)450°C (b)475°C (c)550°C, $\text{GeH}_4/\text{SiH}_4$ input ratio : 0.05~0.3)

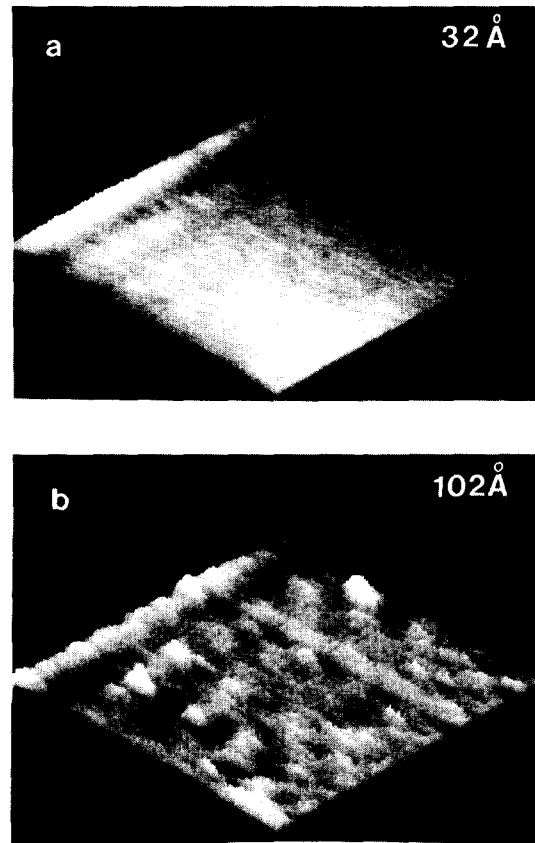


Fig. 10. AFM image of surface morphologies of $\text{Si}_{1-x}\text{Ge}_x$ films. (deposition temperature: 550°C, $\text{GeH}_4/\text{SiH}_4$ input ratio (a)0.1 (b)0.3)

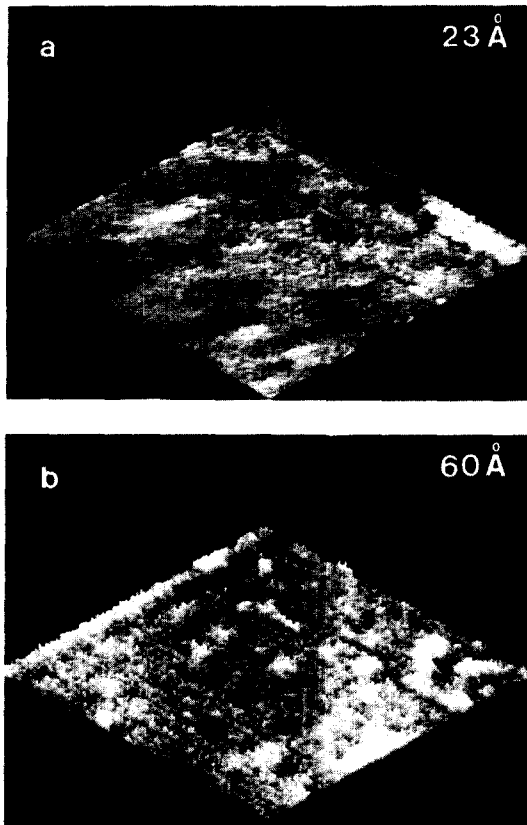


Fig. 11. AFM image of surface morphologies of $\text{Si}_{1-x}\text{Ge}_x$ films.
(deposition temperature: (a)450°C (b)500°C, $\text{GeH}_4/\text{SiH}_4$ input ratio : 0.3)

증착된 박막의 표면을 알아보기 위해 AFM 분석을 행하였다.

Fig. 10에 증착온도 550°C, input ratio 0.1, 0.3인 조건에서 증착시킨 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 표면 분석 결과를 나타내었다. 일정온도에서 input ratio가 증가함에 따라 $\text{Si}_{1-x}\text{Ge}_x$ 박막의 표면거칠기(R_t)가 증가하였다. 또한 Fig. 11에 input ratio가 0.3일때 증착온도 450, 500°C에서의 표면거칠기를 나타내었다. 증착온도 450°C에서 R_t 이 23Å으로 surface morphology가 평탄한 형상을 보여주고 있으나 500°C에서는 R_t 이 증가함을 알 수 있다.

이와같이 input ratio 증가에 따른 표면거칠기 변화는, 증착된 다결정 $\text{Si}_{1-x}\text{Ge}_x$ 막에서 다양한 결정면에 대한 성장속도의 차이에 의해 표면거칠기가 증가하는 것으로 생각되며, 증착온도 증가에 따른 R_t 증가는 표면에서 이동

도 증가에 의한 것으로 사료된다.

4. 결 론

1. RTCVD법에 의해 증착온도(450-550°C)와 input ratio(0.05-0.3)를 변화시켜 다결정 $\text{Si}_{1-x}\text{Ge}_x$ 박막을 증착시킨 결과, $\text{Si}_{1-x}\text{Ge}_x$ 박막의 증착속도는 증착온도와 input ratio가 증가함에 따라 증가하였다. 또한 $\text{Si}_{1-x}\text{Ge}_x$ 의 활성화 에너지는 약 32~37 Kcal/mol의 값을 가졌다.
2. 증착된 $\text{Si}_{1-x}\text{Ge}_x$ 의 Ge 몰분율을 변화를 알아보기 위해 AES, RBS, XRD 분석을 행하였으며 증착변수(증착온도, input ratio)에 따른 Ge 몰분율 변화는 증착온도가 증가함에 따라 Ge 몰분율이 감소하였고, input ratio가 증가함에 따라 Ge 몰분율이 증가함을 알 수 있었다.
3. 결정상을 알아보기 위해 XRD 분석을 행한 결과, 증착온도 450, 475°C, input ratio 0.05에서 증착시킨 $\text{Si}_{1-x}\text{Ge}_x$ 박막은 비정질 형태로 존재하였으며 다른 모든 시편에서는 다결정 형태로 존재함을 알 수 있었다. 또한 $\text{Si}_{1-x}\text{Ge}_x$ 박막은 input ratio 증가에 따라 각각의 peak들이 낮은 2θ 값으로 shift 하였으며 기존의 다결정 Si 증착온도보다 낮은 온도에서 결정상으로 존재함을 알 수 있었다.
4. AFM 분석을 통하여 표면거칠기를 알아본 결과, 증착온도와 input ratio가 증가함에 따라 표면거칠기(R_t)가 증가하였다.

감사의 글

본 연구는 1994년도 서울대 반도체 공동연구소(ISRC 94-E-4059) 연구비지원으로 수행되었으며 이에 감사드립니다.

참 고 문 헌

1. M. Yuki, K. Masumo, and M. Kungita, IEEE Transactions on Electron Device, 36 (9), 1934 (1989)
2. C. D. S. Mabili and H. Shchijo, IEEE Transactions on Electron Device, ED-32(2), 258 (1985)
3. T. J. King, K. C. Saraswat, and J. R. Pfister, IEEE Electron Device Lett., 12 (11), 584 (1991)

4. T. J. King and K. C. Saraswat, IEDM Tech. Dig., p. 567 (1991)
5. T. J. King, J. R. Pfiester, J. D. Shott, J. P. McVittie, and K. C. Saraswat, IEDM Tech. Dig., p.253, (1990)
6. M. Sanganeria, D. T. Grider, M. C. Öztürk, and J. J. Wortman, J. Electronic. Mater., 21 (1), 61 (1992)
7. M. Cao, A. W. Wang, and K. C. Saraswat, *Processings of the third international symposium on Process physics and modeling in semiconductor technology*, vol. 93-6, 350 (1993)
8. H. C. Lin, C. Y. Chang, W. H. Chen, W. C. Tsai, T. C. Chang, T. G. Jung, and H. Y. Lin, J. Electrochem. Soc., 141(9), 2559 (1994)
9. D. J. Robbins, J. L. Gласper, A. G. Cukkis, and W. Y. Leong, J. Appl. Phys., 69(6), 3729 (1991)
10. S. Gu, Y. Zehang, R. Wang, and P. Zhong, J. Appl. Phys., 75(10), 5382 (1994)
11. B. S. Meyerson, K. J. Uram, and F. K. Legoas, Appl. Phys. Lett., 53(19), 2555 (1988)
12. 황장원·류명관·김진원·김기범·이승창·김창수, 한국재료학회지, 4(8), 895 (1994)
13. S. S. Iyer, G. L. Pattan, J. M. C. Stork, B. S. Meyerson, and D. L. Haramé, IEEE Transactions on Electron Devices, 36(10) 2043 (1989)
14. R. C. Chapman and P. S. Smith, J. Vac. Sci. Technol., A1, 609 (1983)
15. T. I. Kamins and D. J. Meyer, Appl. Phys. Lett., 61(1), 90 (1992)
16. B. S. Meyerson, K. J. Uram, and F. K. Legoas, Appl. Phys. Lett., 53(19), 2555 (1988)
17. S. M. Jang and R. Reif, Appl. Phys. Lett., 60(10), 707 (1992)