

論文95-32A-8-10

ULSI DRAM의 캐패시터 절연막을 위한 Paraelectric PLT 박막의 제작과 특성

(Preparation and Properties of the Paraelectric PLT Thin Film for the Capacitor Dielectrics of ULSI DRAM)

姜聲俊*, 尹英燮*

(Seong Jun Kang and Yung Sup Yoon)

요약

$Pb_{1-0.28\alpha}La_{0.28}TiO_3$ (PLT(28)) 박막을 sol-gel 법을 이용하여 제작한 후, 그 특성을 조사하여 ULSI DRAM의 캐패시터 절연막으로서의 적용 가능성을 연구하였다. Sol-gel 법의 출발 물질로는 acetate 계를 사용하였다. TGA-DTA 분석을 통하여 PLT(28) 박막의 sol-gel 법에 의한 공정 조건을 확립하였다. 매 coating 후 350°C 에서 drying 하고, 마지막으로 650°C에서 annealing 하여 100% perovskite 구조를 가지는 치밀하고 crack 이 없는 PLT(28) 박막을 얻었다. Pt/Ti/SiO₂/Si 기판위에 PLT(28) 박막을 형성하여 planar 캐패시터를 제작하여 전기적 특성을 측정하였다. P-E hysteresis curve 측정을 통하여, 상유전상을 확인하였고, 유전상수와 누설전류밀도가 각각 936 과 1.1 $\mu A/cm^2$ 으로 측정되었다. 이들 측정 결과로부터, PLT(28) 박막이 ULSI DRAM 용 캐패시터 절연막으로 현재 가장 유망한 재료임을 알 수 있었다.

Abstract

We fabricated the $Pb_{1-0.28\alpha}La_{0.28}TiO_3$ (PLT(28)) thin film successfully by using the sol-gel method and characterized it to evaluate its potential for being utilized as the capacitor dielectrics of ULSI DRAMs. In our sol-gel process, the acetates were used as the starting materials. Through the TGA-DTA analysis, we established the excellent fabrication conditions of the sol-gel method for the PLT(28) thin film. We obtained the dense and crack-free PLT(28) thin film of 100% perovskite phase by drying at 350°C after each coating and final annealing at 650°C. Its electrical properties were measured from the planar capacitors fabricated on the Pt/Ti/SiO₂/Si substrate. By the P-E hysteresis measurement, its paraelectric phase was identified and its dielectric constant and leakage current density were measured as 936 and 1.1 $\mu A/cm^2$, respectively. Those electrical values indicate that the PLT(28) thin film is the most successful candidate for the capacitor dielectrics of ULSI DRAMs at the present.

* 正會員, 仁荷大學校 電子材料工學科
(Dept. of Elec. Mat. & Device Eng., Inha Univ.)

※ 본 연구는 1993년도 교육부 반도체분야 학술연구조

성비에 의하여 연구되었습니다.

接受日字: 1995年 1月 9日, 수정완료일: 1995年 7月 29日

I. 서론

DRAM의 고집적화에 있어서 가장 중요한 것은 캐패시터의 용량을 적정값 이상 유지시켜 soft error rate가 적고 고성능이며 신뢰성 높은 제품을 실현시키는 것이다. 이를 위해서는 dielectric film의 두께를 감소시키거나 캐패시터의 면적을 증가시키는 방법이 있는데 이는 여러가지 문제점을 내포하고 있어 그 사용에 제약성이 있다. 따라서 비유전률이 높은 재료를 사용하는 방법이 가장 유망한데 이는 planar type 처럼 간단한 cell type으로 충분한 캐패시터 용량을 확보할 수 있으므로 미래의 ULSI DRAM에서 가장 유력시 되는 방법이다.^[1-4] DRAM에 적용하기 위한 비유전률이 높은 재료로는 여러가지가 검토되고 있으나 Pb를 함유한 perovskite 강유전체가 가장 많은 관심을 끌고있다. 이러한 강유전체 계열의 물질중 $Pb_{1-x}La_xTiO_3$ (α 는 vacancy distribution factor로 1.32의 값을 가진다)가 가장 유력한 물질중 하나로 평가되고 있는데 그 이유는 높은 비유전률 외에도 La의 첨가량을 조절해 줌으로서 DRAM의 동작온도에서 분극반전과 같은 time-dependent slow process가 특징인 강유전상으로부터 charging/discharging time이 빠르고 유전손실이 적고 fatigue 현상이 거의 없는 상유전상으로서의 상변이가 가능하기 때문이다. 즉 La의 첨가량이 28 mol% 일 경우 이 강유전성 물질의 curie 온도가 $-25^{\circ}C$ 정도가 되어 그 이상의 온도에서는 상유전상을 가짐으로서 DRAM의 캐패시터 절연막에 적용하기에 알맞게 된다.^[5-6] 강유전체 박막의 제작방법으로는 electron beam deposition, RF sputtering 등의 여러가지 방법이 있으나 최근에는 설비가 매우 간단하고 박막을 제조하는 시간이 짧게 걸려서 장비면에 있어서나 가격면에 있어서 유리하고 또한 조성을 제어하기가 용이하다는 장점을 가진 sol-gel 법이 많이 연구되어지고 있다.^[7-8] 본 연구에서도 sol-gel 법을 이용하여 PLT(28) 박막을 제작하고 그 물성과 전기적 성질을 조사하여 ULSI DRAM의 캐패시터 절연막으로서의 응용 가능성을 연구하였다.

II. 실험방법

PLT(28) 박막을 sol-gel 법으로 제작할때의 방법에 대한 개략도를 그림 1에 나타내었다. 출발물질로는

$Pb(CH_3COO)_2 \cdot 3H_2O$ (Aldrich), $La(OOCCH_3)_3 \cdot 1.5H_2O$ (Strem), $Ti(O-iC_3H_7)_4$ (Aldrich)를 사용했으며 용매로는 비등점 ($125^{\circ}C$)이 높고 증기압이 낮은 2-Methoxyethanol을 사용하였다. 촉매로는 질산을 사용했으며 가수분해를 위해 증류수를 사용하였다. 출발물질로 사용되는 alkoxide는 공기중의 수분에 매우 민감하므로 이를 방지하기 위해 질소 분위기의 glove box 내에서 조성에 해당하는 양을 칭량한 후, 질소분위기의 증류장치를 이용하여 stock solution을 제작하였다. 2-Methoxyethanol에 질산과 증류수를 섞은 용액과 stock solution을 같은 부피로 섞어 0.5 M coating solution을 만들었다. 제작된 solution은 spin coating 시 0.2 μm filter (Gelman Science)를 이용하여 filtering 하여 사용하였다.

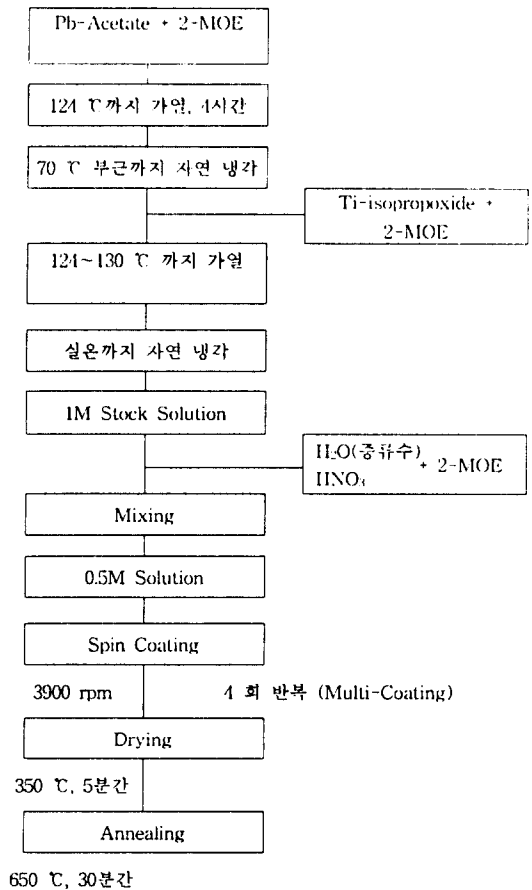


그림 1. PLT(28) 박막의 제작 과정
Fig. 1. Preparation procedure of PLT(28) thin film.

박막은 clean bench 내에서 spin coater 를 사용하여 3900 rpm 에서 30초간 회전시켜 기판위에 형성시켰다. coating 이 끝나면 350°C 에서 5분간 drying 하고 다시 coating 하는 방법을 사용했으며, 마지막 drying 은 350°C에서 15분간 실시하였다. 1회 coating 시 박막의 두께는 1200Å 으로 조사되었다. 그 후 분위기 제어없이 650°C에서 30분간 annealing 을 실시하여 박막의 제작을 완료하였다. 본 실험에서 사용한 기판은 Pt/Ti/SiO₂/Si 의 구조를 갖도록 하였는데 P 형 Si wafer 위에 1000Å 의 SiO₂, 1000Å 의 Ti, 1500Å 의 Pt 를 증착하여 사용하였다. 이와같은 기판위에 제작된 PLT(28) 박막위에 직경 0.8mm 의 gold dot 를 E-beam evaporator 를 이용하여 증착시켜 planar type의 캐패시터를 제작하였다. 완성된 캐패시터의 구조는 그림 2에 나타내었다.

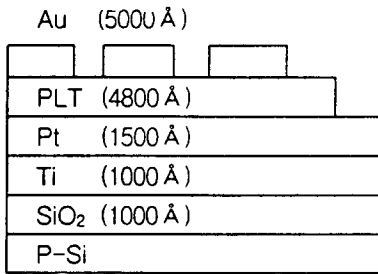


그림 2. PLT(28) 캐패시터 구조의 단면도
Fig. 2. Diagram of the cross section of PLT(28) MIM capacitor structure.

유기물이 분해되는 온도와 결정으로 상전이 되는 온도를 확인하고 유기물이 제거되어 최종적으로 얻어지는 무기 산화물인 PLT(28) 의 무게 감량 정도를 확인하기 위해 DTA-TGA 분석을 실시하였다. 결정화 특성 분석을 위하여 XRD 를, 또 막의 두께 및 미세 구조 관찰은 SEM 을 이용하였다. 전기적 특성 분석은 Pt/Ti/SiO₂/Si 구조를 갖는 기판 위에 4회 coating 한 후 650°C 에서 30분간 열처리한 PLT(28) 박막을 가지고 실시하였으며 특성분석으로는 LCR meter (Stanford Research. SR 720) 를 이용하여 주파수에 따른 유전상수와 유전손실의 값을 측정하였고, Sawyer-Tower 회로를 이용하여 60Hz에서 P-E hysteresis curve 를 측정하였다. 또 switching time 을 측정하였고 I-V curve (leakage current)

의 측정에는 Parameter analyzer (HP 4145B) 를 사용하였다.

III. 실험 결과 및 고찰

건조 gel 의 열분해 거동을 조사하기 위해 0.5 M sol 을 80°C 에서 열처리하여 gel 화 시킨 후 10°C /min 의 승온속도로 공기중에서 DTA-TGA 분석을 하였다. 그 결과를 그림 3 에 나타내었다. 100°C 부근의 미약한 흡열 peak 는 증류수와 용매인 2-Methoxyethanol 의 증발에 기인한 것이며 330°C 부근에서의 발열 peak 는 금속 산화물의 형성에 의한 것이다. 510°C 부근에서 나타나는 발열 peak 는 perovskite 생성 때문인 것으로 보아 perovskite 상을 얻기 위해서는 510°C 이상에서의 열처리가 필요함을 알 수 있다. 또한 전체적인 중량감소는 대략 18% 정도로 관찰되어 졌다. 이와같은 분석을 통하여 박막의 열처리 조건을 결정하는데 참고하였다.

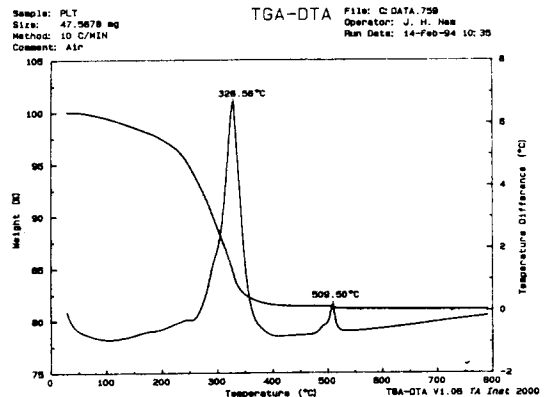


그림 3. 80°C에서 열처리한 PLT(28) 겔의 TGA-DTA 곡선
Fig. 3. TGA-DTA curve of PLT(28) gel heat-treated at 80°C.

650°C 에서 30 분간 열처리한 PLT(28) 분말의 XRD 결과를 그림 4에 나타내었다. 그림 4 에서 보듯이 perovskite 상의 주 peak 들만 나타난 것으로 보아 650°C 에서 열처리하면 다른 상의 생성없이 완전한 perovskite 상이 형성됨을 알 수 있다.

PLT(28) 박막의 결정화 및 결정의 배향성을 알아보기 위해 Pt/Ti/SiO₂/Si 구조를 갖는 기판 위에 박막

을 형성시킨 후 650°C 에서 30분간 열처리한 후 XRD 분석을 실시하였다. XRD 분석 결과는 그림5 에 나타내었다.

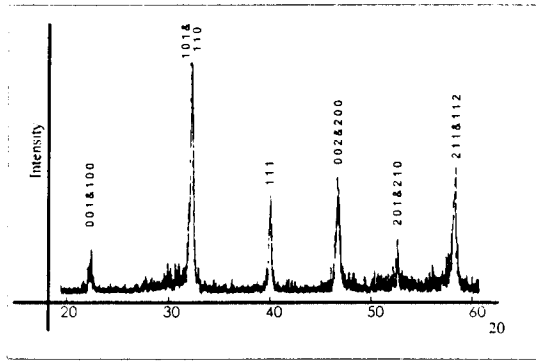


그림 4. 650°C에서 열처리한 PLT(28) 분말의 XRD 분석 결과

Fig. 4. X-ray diffraction pattern of PLT(28) powder heat-treated at 650°C.

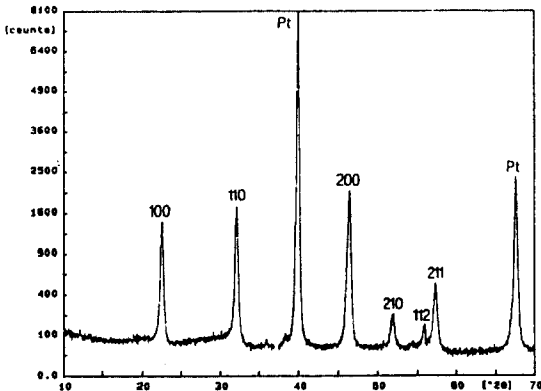


그림 5. 650°C에서 열처리한 PLT(28) 박막의 XRD 분석 결과

Fig. 5. X-ray diffraction pattern of the PLT(28) thin film heat-treated at 650°C.

그림 5에서 보듯이 650°C 에서 30분간 열처리한 경우 다른 상의 생성이 없는 완전한 perovskite 상의 형성을 확인할 수 있었다. 또 분말 XRD 에 비해 상대적으로 (100), (200) 의 peak 이 크게 나타남을 볼 수 있는데 이는 분말의 경우 입자가 불규칙하게 배열되나 박막의 경우는 Pt/Ti/SiO₂/Si 구조를 갖는 기판과 PLT(28) 박막이 어느 정도 잘 일치하는 면으로 결정

이 성장하기 때문이라고 생각된다.

그림 6에 PLT(28) 박막을 Si 기판 위에 2회 coating 하고 650°C 에서 30분간 열처리 하였을 때 표면을 주사현미경으로 관찰한 사진을 나타내었다. 표면사진을 보면 박막은 균열이 없는 매우 치밀한 구조를 보이고 있고 grain 형태의 이상은 발견되지 않았다. grain size 는 대략 0.3 μm 로 관찰되었다.

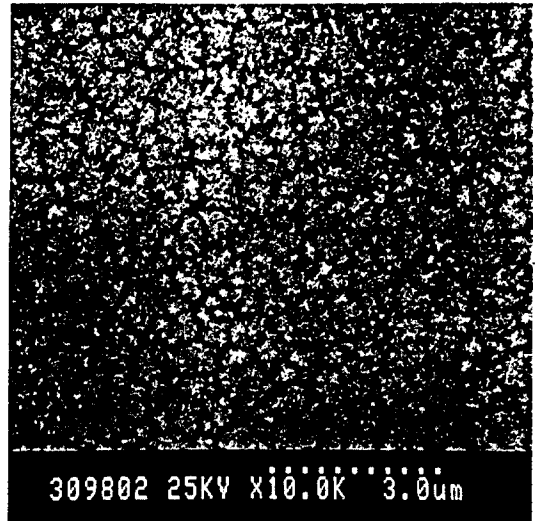


그림 6. Si 기판 위에 증착된 PLT(28) 박막의 SEM 표면 사진

Fig. 6. SEM micrograph of the PLT(28) thin film deposited on the Si substrate

그림 7은 교류전압 1V 에서 측정한 PLT(28) 박막의 주파수에 따른 유전특성을 나타낸 것이다. 비유전률의 주파수 의존성은 분극기구와 밀접하게 연관되어 있다. 유전체에 교류전기장을 인가하면 전기장의 방향에 따라 유전분극이 바뀌며 주파수가 증가하면 유전분극이 전기장의 변화를 따라가지 못하여 비유전률이 감소하고 유전손실이 발생하게 된다. 10⁴ Hz 까지의 주파수에서 비유전률의 감소는 계면분극효과 (interfacial polarization effect) 때문으로 알려져 있다.^[5] 계면분극효과란 mobile charge 들의 recombination 과 drift 때문에 형성된 계면으로 인해 interfacial contact resistance 가 증가되고 interfacial capacitance 가 감소되는 현상이다. 이 계면분극효과는 박막과 electrode 간의 좋은 전기적 contact 에

의해 제거되어 질 수 있다.¹⁵¹ $10^4 \sim 10^7$ Hz 까지의 주파수에서는 쌍극자들의 배향에 의한 배향분극이 비유전률에 기여하는 것으로 알려져 있다. 이 주파수 범위에서의 비유전률의 감소는 박막의 잔류공극의 영향인데 잔류공극은 쌍극자들의 배향을 방해하여 polarization decay 가 발생하게 한다.¹⁵¹ 10^7 Hz 이상의 주파수에서는 electrical test circuit 의 공명 현상이 비유전률 증가로 나타나는 것으로 보고되고 있다. 또 유전손실은 일반적으로 주파수에 반비례 하는 것으로 알려져 있다.¹⁹¹ 그러나 그림에서 보듯이 10^4 Hz 이상의 주파수에서 유전손실이 증가하는 것은 박막의 잔류공극에 따른 유전전도도의 증가에 기인한 것으로 생각된다.

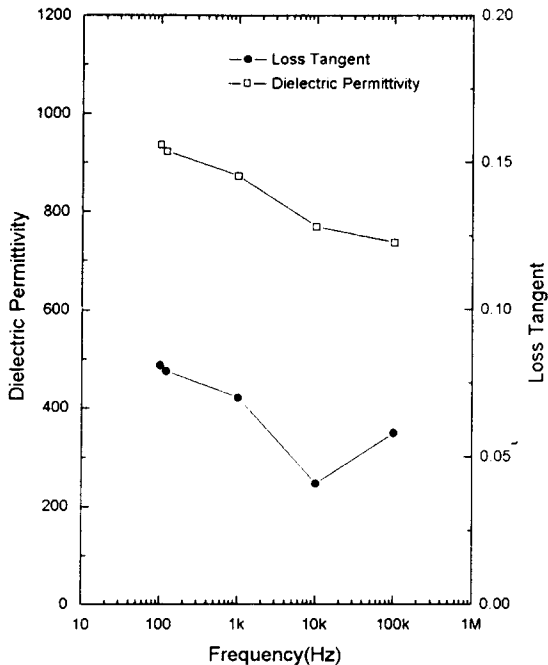


그림 7. 주파수 변화에 따른 PLT(28) 박막의 비유전률과 유전손실

Fig. 7. Dielectric permittivity and loss tangent as a function of frequency for the PLT(28) thin film.

그림 8은 P-E hysteresis curve 의 측정결과를 나타낸 것이다. 그림에서 보듯이 hysteresis curve 는 잔류분극이 없는 linear 한 상태를 나타내고 있으므로 PLT(28) 박막이 상유전체임을 알 수 있다. 또한, hysteresis curve 로 부터 비유전률을 계산할 수

있으며, 이는 다음 식을 이용하여 계산되어진다.

$$\epsilon_r = Q_c' / \epsilon_0 E_{max} \quad (1)$$

여기서 ϵ_0 과 ϵ_r 은 각각 진공중의 비유전률과 PLT(28) 박막의 비유전률을 나타내며 Q_c' 는 charge storage density, E_{max} 는 최대 electric field 를 나타낸다. 선형적인 기울기를 갖는 구간인 20.8 kV/cm 의 electric field 에서의 비유전률은 1080 정도였고, 최대 electric field 인 78 kV/cm 에서의 비유전률은 576 으로 계산되어졌다. 또한 P-E hysteresis curve 가 비대칭적인 이유는 캐패시터의 구조가 비대칭적인 데 있다고 생각된다.

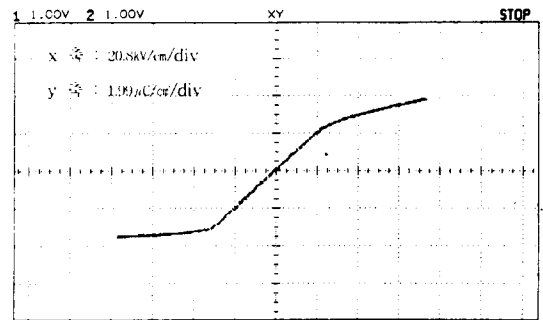


그림 8. PLT(28) 박막의 이력곡선

Fig. 8. Hysteresis curve of the PLT(28) thin film.

Memory cell에서 신속하게 정보를 read/write 하는 것은 DRAM design 에서 매우 중요한 요구사항이다.¹¹⁰¹ 그러므로 강유전체 박막의 switching time 을 측정 하는 것은 매우 중요한 문제이다. on 상태의 pass transistor 는 3.3 k Ω 의 effective channel resistance 를 가지고 있기 때문에 switching time 을 결정하기 위해 DRAM cell은 그림 9와 같이 model 화 되어진다.¹⁵¹ Switching time 은 전류의 최대값이 90 % 감소하는데 걸리는 시간이며 이 정의를 이용하여 다음식과 같은 switching time 식을 유도할 수 있다.^{110,111}

$$t_s = 2.303R_L C + t_p \quad (2)$$

여기서 t_s 는 switching time, t_p 는 장치내에 존

재하는 기생 capacitance 때문에 소요되는 시간으로서 대략 $0.7\mu s$ 이다. switching time 의 측정은 충분한 on-time 을 갖는 5V step voltage 의 인가 하에서 4800Å PLT(28) device 에서 행하여졌다.

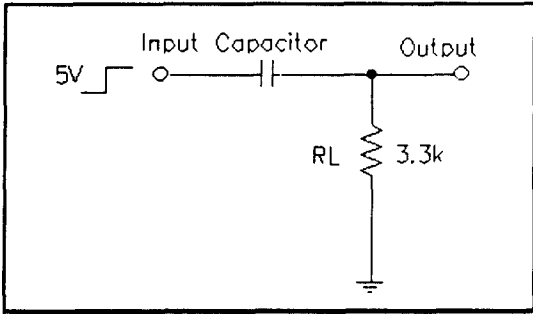


그림 9. Switching time 측정을 위한 1-T DRAM cell 의 model
 Fig. 9. Simple model of a 1-T DRAM cell for the switching time.

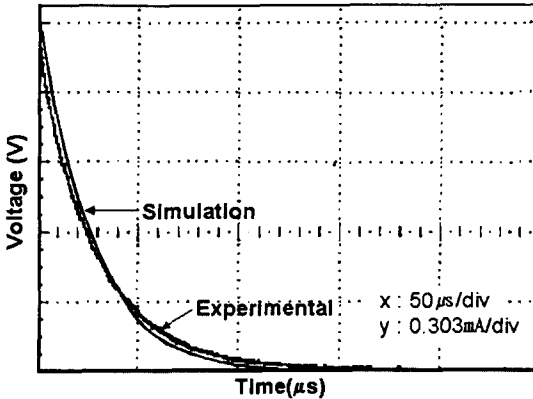


그림 10. PLT(28) 박막의 switching 특성
 Fig. 10. Switching characteristics of the PLT(28) thin film.

그림 10에서 보듯이 5V step voltage 인가시 3.3 kΩ 의 resistance 에서 switching time 은 $70\mu s$ 정도로 측정되었다. 또 switching time 의 정의를 이용해 유도된 식(2)를 사용하여 계산된 switching time 은 $67.6\mu s$ 였다. 그림 9 의 회로를 SPICE 로 simulation 한 결과를 그림 10 에 함께 나타내었다. 분석결과 switching time 은 $65.7\mu s$ 로 나타났다. 측정값과 계산값, simulation 한 값이 거의 일치하고

있음을 알 수 있다. 이상의 결과에서 보듯이 PLT(28) 박막은 domain switching 에 따른 switching time 의 지연이 거의 없음을 알 수 있다. 따라서 위의 결과는 PLT(28) 박막이 normal dielectric 처럼 행동한다고 볼 수 있는 직접적인 증거이다.

DRAM 캐패시터 절연막 응용시 고려할 중요한 factor 중의 하나가 leakage current 특성이다. DRAM 응용시 leakage current 가 증가하면 refresh 의 증가, power 소비의 증가, device 에 인가되는 electric field 의 제한 등의 문제가 발생하므로 leakage current 의 감소는 매우 중요하다.^{12,10,11}
 그림 11 은 PLT(28) 박막의 I-V 특성 curve 이다. 6V 까지는 leakage current 의 크기에 커다란 변화가 없고 그 이상에서 leakage current 의 값이 증가하기 시작한다. 5V 에서 leakage current 의 값은 5.36 nA 이고 그때의 leakage current density 의 값은 $1.1\mu A/cm^2$ 이었다.

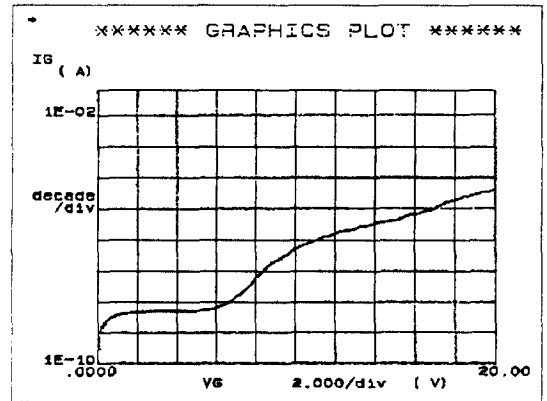


그림 11. PLT(28) 박막의 전류-전압 특성 곡선
 Fig. 11. I-V curve of the PLT(28) thin film.

IV. 결론

Acetate 계를 원료로 하여 sol-gel 법으로 PLT(28) 박막을 제작하여 TGA-DTA 분석을 통하여 100°C 부근에서 증류수와 용매의 증발, 330°C 부근에서 금속 산화물의 형성, 510°C 부근에서 perovskite 상의 형성을 각각 관찰할 수 있었으며 위의 열분해 거동을 근거로 sol-gel 법에서의 열처리 과정을 결정하여 매 coating 후 350°C 에서 drying 을 실시하고 650

℃에서 최종적으로 annealing을 실시하여 100%의 perovskite 상이 형성되는 최적의 박막 제작 조건을 확립하였다. 위에 언급한 최적의 박막 제작 조건을 이용하여 Pt/Ti/SiO₂/Si 구조를 갖는 기판 위에 4회 coating한 PLT(28) 박막을 이용한 planar type의 캐패시터를 제작하여 측정된 전기적 특성은 다음과 같다. P-E hysteresis curve 측정결과 PLT(28) 박막은 paraelectric phase를 가짐을 알 수 있었으며 100 Hz, 20.8 kV/cm에서 유전률이 936이고 유전손실은 0.08이었으며 PLT(28) 박막의 두께 480 nm는 SiO₂ equivalent thickness로 환산하면 1.95nm이다. 그러나, 그 이상의 전기장에서는 유전률이 감소하여 78 kV/cm에서는 576의 값을 갖는다. 5V에서 switching time은 70μs로 측정되었으며 switching time의 정의로부터 유도된 식으로 계산한 값은 67.6μs이었으며 SPICE로 simulation한 결과는 65.7μs이었다. 이는 PLT(28) 박막이 domain switching에 따른 switching time의 지연이 거의 없는 normal dielectric 처럼 행동한다는 직접적인 증거로 볼 수 있는 것이며 leakage current는 5V에서 5.36 nA이고 그때의 leakage current density는 1.1 μA/cm²으로 측정되었다. 위의 결과는 256M DRAM의 캐패시터 절연막으로 적용해 볼 수 있는 고무적인 결과이며 추후 박막제작법을 개선한다면 G급 DRAM에도 적용할 수 있을 것이 예상된다.

참 고 문 헌

[1] 武田英次, 鳥居和功, "强誘電體 薄膜 集積化 技術", Science Forum, pp. 217~229, 1992.
 [2] A.F.Tasch and L.H.Parker, "Ferroelectric Materials for 64Mb and 256Mb DRAMs", IEEE Circuits and Devices Magazine, pp. 17~26, 1990.
 [3] A.F.Tasch and L.H.Parker, "Memory Cell and Technology Issues for 64M

and 256M bit One-Transistor Cell MOS DRAMs", Proceedings of The IEEE, vol.77, No.3, pp. 374~386, 1989.
 [4] Reza Moazzami and Chenming Hu, "Electrical Characteristics of Ferroelectric PZT Thin Films for DRAM Applications", IEEE Transactions on Electron Devices, vol.39, pp. 2044~2045, 1992.
 [5] S.K. Dey and J.J. Lee, "Cubic Paraelectric (Nonferroelectric) Perovskite PLT Thin Films with High Permittivity for ULSI DRAM's and Decoupling Capacitors", IEEE Transactions on Electron Devices, vol. 39, pp. 1607~1612, 1992.
 [6] Yuhuan Xu, "Ferroelectric Materials and Their Application", University of California, pp. 163~168, 1991.
 [7] C.J. Brinker and G.W Scherer, "Sol-Gel Science", Academic Press, pp. 1~10, 1990.
 [8] 岡田勝, "MOCVD法による强誘電體薄膜の形成", 月刊 Semiconductor World, pp. 125~129, 1992.
 [9] W. D. Kingery, H. K. Bowen, and D. R. Uhlmann, "Introduction to Ceramics" 2nd ed. John Wiley & Sons, Inc., New York, p. 937, 1976.
 [10] J. Carrano, C. Sudhama, J. Lee, A. Tasch and W. Miller, "Electrical and Reliability Characteristics of PZT Ferroelectric Thin Films for DRAM Applications", IEDM Tech. Dig., pp. 255~258, 1989.
 [11] H.Hu and S.B. Krupanidhi, "Electrical Characterization of PZT Thin Films", ISAF, pp. 440~443, 1992.

— 저 자 소 개 —



尹 英 燮(正會員)

1952년 9월 7일생. 1975년 2월 서울대학교 금속공학과 졸업(B.S.). 1977년 2월 한국과학원 재료공학과 졸업(M.S.). 1988년 12월 U.S.C. 전자공학과 졸업(Ph.D). 1987년 3월

~1988년 5월 Oklahoma State University 대우교수. 1988년 12월~1989년 6월 UCLA Device Research Lab. 연구원. 1989년 8월~1992년 2월 삼성전자 기흥반도체연구소 수석연구원. 1992년 3월~인하대학교 전자재료공학과 조교수. 주관심분야는 ULSI DRAM을 위한 신물질 개발, 강유전성 박막, Pyroelectric 센서, SAW Device.



姜 聲 俊(正會員)

1965년 7월 10일생. 1989년 2월 인하대학교 응용물리학과 졸업(B.S.). 1994년 8월 인하대학교 전자재료공학과 졸업(M.S.). 1994년 9월~인하대학교 전자재료공학과 박사과정. 주관심분야는 메모리

응용을 위한 강유전체 박막, pyroelectric 센서.