論文95-32A-7-10

양극이 단락된 p-i-n 이중주입 스위칭 소자

(A Shorted Anode P-I-N Double Injection Switching Device)

閔 南 基*, 李 晟 載**, 朴 河 鎔***

(Nam Ki Min, Seong Jae Lee, Ha Young Park)

요 약

새로운 구조를 갖는 p-i-n 스위칭 소자가 개발되었다. 이 구조에서, 보론(B)이 도우핑 된 양극 주위에 인(P) 도우핑된 n^+ 영역을 형성하여 채널(i-영역)과 p^+ 양극사이를 단락시켰다. 이와 같은 양극 구조의 변화는 스위칭 전압/호울딩 전압 비(V_{Th}/V_h)를 상당히 개선하는 결과를 가져 왔으며, 이것은 n^+ 단락 영역이 양극으로부터 주입되는 정공을 억제하는 것에 기인한다고 생각된다. 제작된 양극 단락 p-i-n 소자는 채널 길이가 100μm 인 경우 250~300V범위의 극히 높은 스위칭 전압과 5~9V의 낮은 호울딩 전압을 갖는다. 이와 같은 특성은 이 소자를 전력 제어 회로에 응용할 수 있는 가능성을 가속화할 것으로 기대된다.

Abstract

A new device structure has been developed for p-i-n switches. In this structure, the phosphorus-diffused n^+ layer adjacent to the boron-doped anode is used to short the p^+ anode-.channel(i-region). This change in the anode electrode structure results in a significant improvement in the threshold voltage-to-holding voltage(V_{Th}/V_H) ratio, which is due to the suppression of the hole injection from the anode by the n^+ layer. The shorted anode p-i-n devices of a 100 μm channel length show an extremely high threshold voltage in the 250~300 V range and a low holding voltage in the 5~9 V range. These features of the device are expected to accelerate their practical application to power switching circuits.

I. 서 론

저저항 n형 실리콘 반도체에 금(Au)를 도우핑하면 거의 진성 반도체에 가까운 고저항으로 변한다. 이것은 deep impurity인 금의 일부가 shallow donor에 의해서 부분적으로 보상되기 때문이다. 보상된 고저항 반도체에 n+ 전자 주입과 p+ 정공 주입 전극을 형성하고 전압을 인가하면 소자는 S자형 부성저항 스위칭 특성을 나타낸다. 샌드위치 구조의 p-i-n 소자에서 이중주입(double injection)에 기인하는 스위칭 현상의 초기 연구는 주로 스위칭 전압, 호울딩 전압, 오프 상태 전류, 플라즈마 전파 등과 같은 이중 주입 현상의 기본

* 正會員, 高麗大學校 制御計測工學科
(Dept. of Con. & Inst., Korea Univ.)

** 正會員, 大林專門大學 制御計測科
(DAELIM College)

*** 正會員, 三陟産業大學校 電氣工學科
(Dept. of Elec. Eng., Samchok Nat'l Univ.)

接受日字: 1994年10月20日, 수정완료일: 1995年6月26日

적인 성질들을 구명하는 데 집중되었으며[1-8], 1980년 Kapoor와 Henderson[9]에 의해서 집적회로 기술을 이용한 플레나형 p-i-n 이중 주입 스위칭 소자가 처음으로 개발된 이후, injection 게이트[9]-[11], MOS 게이트[12]와 같은 제어 게이트에 의해 소자의 스위칭 특성을 제어할 수 있게 되어 이 소자를 실용화하기 위한 다각적인 노력이 진행되고 있다.[13]

p-i-n 스위칭 소자는 deep impurity의 벌크 효과를 이용하기 때문에 이론적으로는 p-n 접합 소자보다 더 높은 스위칭 전압과 낮은 호울딩 전압을 갖지만, 반도체 내부에서 deep impurity 특성 및 농도 제어가 매우 복잡하고 어렵기 때문에 아직 이론치에는 접근하지 못하고 있다. 현재, p-i-n 스위칭 소자의 실용상 가장 큰 문제점은 낮은 스위칭 전압/호울딩 전압 (V_{Th}/V_H)비, 높은 오프 상태 전류이다. 금을 도우핑한 p-i-n 소자에서 스위칭 전압과 호울딩 전압은 모두 채널 길이의 자승과 금 농도(N_{Au})에 비례하고, 오프 상태 전류는 금 농도에 반비례하므로, V_{Th}와 V_H를 독립적으로 제어할 수 없다.[2-6] 따라서, 종래의 p-i-n 소자에서는 두 파라미터 L과 N_{Au}를 최적화시키더라도 V_{Th}/V_H 비를 증가시킬 수 없으며, 스위칭 전압이 높은 소자에서는 호울딩 전압도 동시에 증가하여 턴온 상태에서 소비 전력이 매우 커지는 문제점을 극복하지 못하고 있다.

본 논문에서는 단순히 채널 길이와 금 농도에만 의존하지 않고 전극의 주입 효율을 변화시켜 V_{Th}와 V_H를 제어함으로써 p-i-n 소자의 스위칭 특성을 향상시킨 shorted anode p-i-n 스위칭 소자를 제작하고 그 특성을 고찰하였다.

II. 소자 동작 원리

그림 1은 본 논문에서 제시하는 양극단락 p-i-n 스위칭 소자의 기본 구조와 i-영역의 에너지 밴드를 나타낸다. n^+ 음극은 전자 주입 전극, p^+ 양극은 정공 주입 전극이다. 양극 주위에 형성된 P-doped n^+ 영역에 의해서 p^+ 양극과 i-영역은 단락된다. deep impurity로는 금(Au)를 사용하였다. 금은 실리콘의 에너지 갭 중간 부근에 억셉터 준위를 형성하며, 이것은 매우 유효한 재결합 중심으로 작용한다. shallow donor는 열평형 상태에서 금 억셉터에 보상전자를 제공할 뿐 재결합 및 전기 전도에는 기여하지 않는 것으로 가정한다. 보상 전자로 채워진 금 억셉터(N^-_{Au})는 부(-)로 대전되므로 정공에 대한 포획 단면적은 전자에 대한 포획 단면적에 비해 매우 크다. 따라서, 열평형 상태에서 전자의 수명은 정공의 수명보다 훨씬 길다.

그림 2는 양극이 단락된 p-i-n 소자의 턴온 과정을 종래의 소자와 비교해서 나타낸 것이다. 매우 낮은 순방향 바이어스 전압에서 주입 전자와 정공의 농도는 열평형 상태치에 비하여 무시할 정도로 작으므로 소자에 흐르는 전류는 열적으로 발생된 전자와 정공으로 구성되고 옴의 법칙($J \propto V$)에 따른다. 인가 전압이 증가함에 따라 그림(a)와 같이 주입 전자는 양극을 향해 i-영역 내부로 이동하지만, 주입된 정공의 대부분은 부로 대전된 금 억셉터(N^-_{Au})에 의해 포획되어 i-영역(채널) 내부로 진행해가지 못한다. 즉 금 억셉터 센터는 정공 주입에 대해 장벽으로 작용한다.

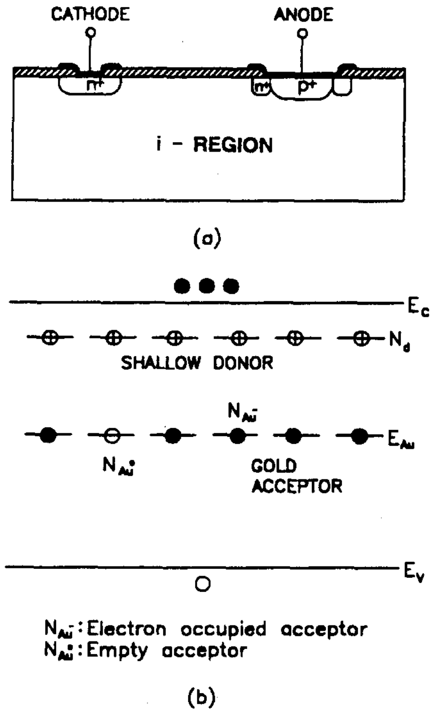


그림 1. 양극 단락 p-i-n 소자의 (a)구조와 (b)i-영역의 에너지 밴드 모델

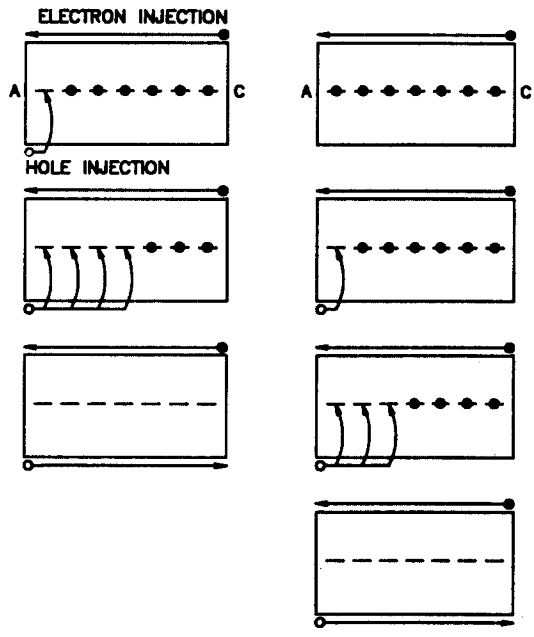
Fig. 1. A shorted anode p-i-n device. (a) Cross section and (b) energy band model of the i-region.

이와 같이 전자의 농도는 열평형 상태치 이상으로 증가하나, 정공의 농도는 변하지 않는다. 그러므로 소

자에는 주로 음극으로부터 주입된 전자에 기인하여 인가 전압의 자승(V^2)에 비례하는 공간 전하 제한 전류($J \propto V^2$)가 흐른다. 바이어스 전압이 더욱 증가하면 정공의 주입도 증가하고, 이에 수반하여 정공 수명도 증가한다. 정공의 수명 시간이 전극간 주행 시간과 같아질 때 정공은 채널을 통과하여 음극에 도달하고, 이 시점에서 소자에 흐르는 전류는 급증하고 양단 전압이 감소하여 결국 스위칭이 일어난다. 스위칭 전압(V_{Th})은 채널길이(L)와 금 농도(N_{Au})의 함수로 다음과 같이 주어 진다.[2-6]

$$V_{Th} = kL^m N_{Au}^n \qquad (1)$$

여기서, k는 케리어 이동도, 및 포획 단면적등에 의존하는 상수이고, m, n의 값은 논문에 따라 다르나, 일반적으로 m=2, n=1이 널리 사용되고 있다.



(a) REGULAR (b) ANODE SHORTED

그림 2. p-i-n 스위칭 소자의 턴온 과정 비교
Fig. 2. Simple comparison of turn-on process of p-i-n switching devices.

한편 양극이 n^+ 영역에 의해 단락된 소자에 순방향 바이어스를 가하면(그림 b), 음극으로부터 채널 영역으로 주입된 전자 전류는 p^+양극 주위에 설치된 n^+영역를 통해 두 영역을 단락하고 있는 금속전극으로 흘러 나간다. 따라서, p^+-i 접합에서의 전압강하는 0으로 되고 양극으로부터 정공 주입은 억제되므로 정공주입 효율은 거의 0으로 감소하여 채널내부에는 (-)공간전하를 중화시킬 수 있는 충분한 정공 농도가 존재하지 않는다.

이와 같은 정공주입 억제효과는, 양극 주위를 흐르는 전자 전류가 증가하여 p^+ 영역 주위에 p^+-i 접합을 순방향 고전도(즉 고주입) 상태로 바이어스할 만큼 충분한 전압 강하가 발생할 때까지 계속될 것이다. 그러므로, 양극이 단락된 p-i-n 소자는 마치 단일주입(single injection)소자와 같이 작용하므로 prebreakdown영역의 저전류 오믹 특성이 확대되어 종래의 p-i-n 소자에 비해 훨씬 더 높은 전압에서 턴온한다.

이상과 같이, n^+에 의해 단락된 양극의 정공주입 효율은 저전류에서 거의 영으로 되고, 전류가 증가함에 따라 증가한다. 반면, 일반적인 p-i-n 스위칭 소자에서 전류는 volume-control이고 전극의 주입 효율은 1로 가정한다.

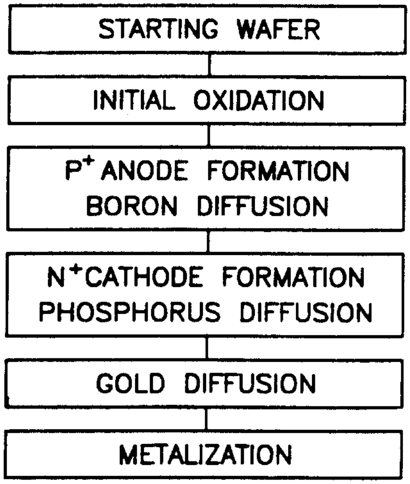


그림 3. p-i-n 소자의 제작 과정
Fig. 3. Fabrication sequence of p-i-n device

이웃하는 pn영역을 단락하는 구조는 thyristor[14]의 스위칭 특성 향상이나 lateral insulated-gate transistor[15]의 on-resistance를 감소시키는데 사용된 바 있다. 또 gated diode switch(GDO)[16]나 double-base diode와 유사한 구조[17]에서 pn^+를 단락시키면 부성저항이 발생하는 것이 관측되고 있다.

그러나 그들이 지적한 바와 같이, deep impurity를 이용하고 있는 본 소자하고는 스위칭 메카니즘이 근본적으로 다르다.

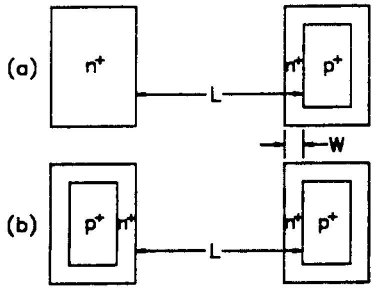
Ⅲ. 소자 제작

p-i-n 소자의 제작 과정을 나타내면 그림 3과 같다. 소자는 초기 비저항이 ~10 Ω·cm인 n형 (100) Si 웨이퍼를 사용해서 제작하였다. 양극은 보론(B)를 1100 ℃에서, 음극은 인(P)를 1000 ℃에서 열확산에 의해 형성하였다. i-영역은 금을 indirect source법에 의해서 웨이퍼의 뒷면으로 부터 확산시켜 형성하였다. 즉 소자 웨이퍼와 동일한 직경과 비저항을 갖는 웨이퍼 표면에 두꺼운 산화막을 성장시킨 후, 금 실리카 필름을 코우팅하여 소오스 웨이퍼를 만들고, 이 소오스 웨이퍼와 소자 웨이퍼를 1 mm 간격으로 석영 보우트에 로딩하여 1000℃에서 1시간 동안 금을 확산하였다. 금 확산 후 측정된 웨이퍼의 비저항은 60~80 kΩ·cm로 증가하였다. 이 방법은 금을 증착하여 확산시키는 종래의 방법에 비해, 확산 후 웨이퍼 에칭이나 세척이 불필요하고 금 농도를 제어할 수있는 장점을 갖는다.

표 1. 양극 단락 p-i-n 소자의 채널 길이와 n^+ 단락 영역의 폭

Table 1. Channel length and n^+ layer width of shorted anode p-i-n devices.

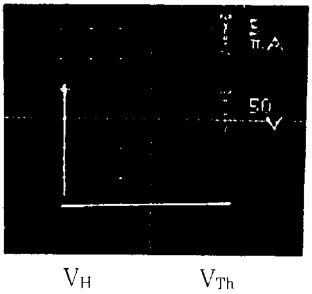
DEVICE	L (μm)	W (μm)	ELECTRODE STRUCTURE
AS1 AS2	100 100	12.5 25	(a)
ACS1	100	12.5	(b)
ACS2 ACS3 ACS4	75 100 125	25 25 25	(b)
D	100	0	REGULAR



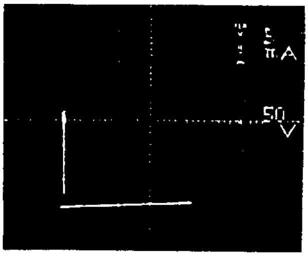
제작된 shorted anode 소자의 채널 길이와 단락 영역의 폭은 표1과 같다. AS는 양극(A)이 단락된 p-i-n 소자를, ACS는 양극(A)과 음극(C)이 모두 단락된 대칭적 전극 구조를 갖는 소자를 의미한다. 소자 D는 종래의 p-i-n소자 구조이며, 특성 비교를 위해 포함시켰다.

Ⅳ. 실험 결과 및 검토

그림 4는 양극이 n^+로 단락된 소자 AS1과 AS2의 대표적인 전류-전압 특성을 curve tracer로 관측한 결과이다. 소자 AS2의 스위칭 전압은 285 V로 AS1의 225 V 보다 60V 만큼 더 높은 반면, 호울딩 전압은 5.5 V로 AS1의 7 V보다 1.5 V 더 낮았다. AS2의 실효 채널길이가 AS1에 비해 작음에도 불구하고 AS2의 스위칭 전압이 높은 것은 단락 영역의 폭 W의 차에 기인하는 것으로 생각된다. 이와 같이, shorted anode를 갖는 소자의 스위칭 전압은 채널 길이 뿐만 아니라 W에 의해서 결정된다.



(a) DEVICE AS1



(b) DEVICE AS2

그림 4. Curve tracer로 관측한 소자 (a) AS1과 (b) AS2의 전형적인 전류-전압 특성

Fig. 4. Typical I-V Traces of (a) device AS1 and (b) device AS2 from a curve tracer.

그림 5는 I-V특성을 point by point 측정한 것이

다. 비교를 위해서 종래의 전극구조를 갖는 소자 D의 특성을 삽입하였다. 소자 D는 21 V의 스위칭 전압과 8 V의 호울딩 전압을 갖는다. 식(1)에 따르면, 소자 D의 스위칭 전압이 가장 커야한다. 그러나, 양극이 단락된 소자 AS1과 AS2는 소자 D에 비해 실효 채널 길이와 채널 저항이 작음에도 불구하고 훨씬 높은 스위칭 전압을 갖는다. 2절에서, 일반적인 p-i-n소자는 prebreakdown영역에서 오믹 영역($I \propto V$)과 공간전하 제한전류영역($I \propto V^2$)을 갖는다고 설명하였다. 그림에서, 양극단락 소자의 경우는 오믹 특성이 상당히 높은 전압영역까지 확장되어 있음을 볼 수 있으며, 대부분의 소자에서 자승 영역은 나타나지 않거나 스위칭 발생 직전의 매우 좁은 전압 범위에만 존재하였다. 이것은 n^+ 단락 영역이 양극으로부터의 정공 주입을 억제함으로써 스위칭 직전까지 AS1과 AS2가 단일주입 소자처럼 동작하기 때문에 소자 D보다 훨씬 높은 전압에서 스위칭 한다고 생각된다.

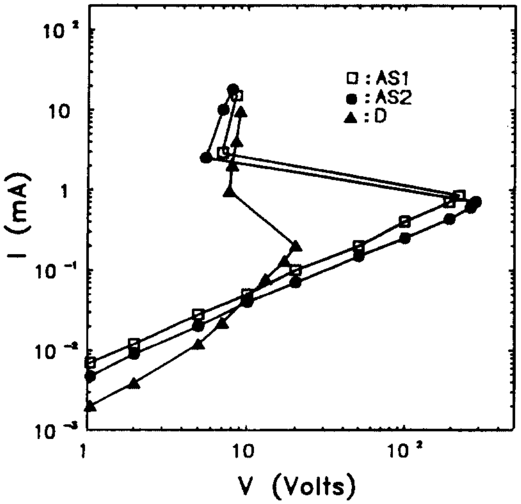


그림 5. point by point 측정한 AS1과 AS2의 전류-전압특성

Fig. 5. I-V characteristics of device AS1 and AS2 from point by point measurement.

소자 ACS1은 양극과 음극이 모두 단락된 p-i-n소자로써, 두 전극이 완전한 대칭적 구조로 되어 있기 때문에 그림 6에서 볼 수 있는 바와 같이 양 방향으로 스위칭한다. 따라서, 단순히 어느 한 전극의 W를 조정하여 유효 채널길이를 다르게 하면 양 방향에 대해 서로 다른 스위칭 전압이 얻어 진다.

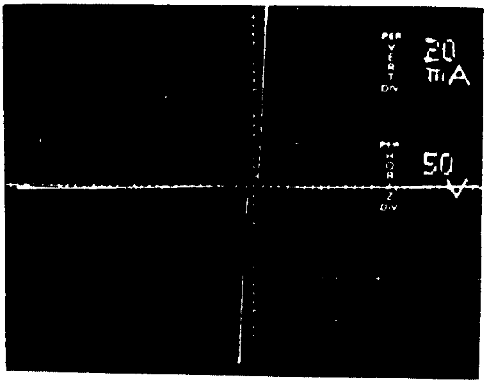


그림 6. 소자 ACS1의 전류-전압 특성

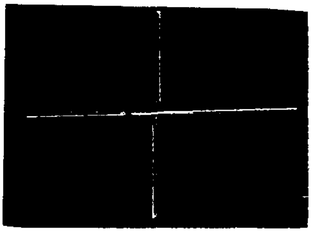
Fig. 6. Typical I-V Trace of device ACS1.

그림 7은 W가 모두 25 μm이나, 채널 길이가 서로 다른 ACS2, ACS3, ACS4의 전류-전압 특성을 나타낸 것이다. 각 소자의 스위칭 전압은 110, 250, 300V 이고, 호울딩 전압은 5.5, 6.5, 7 V 이다.

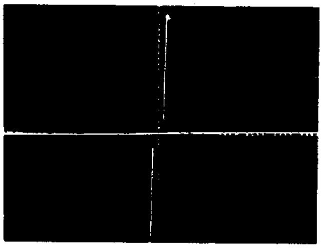
스위칭 전압과 호울딩 전압의 채널 길이 의존성을 나타내면 그림 8과 같다. 유효 채널 길이가 약 80㎛까지 스위칭 전압은 대략 채널 길이의 자승(L^2)에 따라 증가하지만, 호울딩 전압은 sublinear한 변화를 보이고 있어, V_{Th}/V_H비가 상당히 향상된다. 이와 같은 결과는 채널 길이가 증가하면 스위칭 전압과 호울딩 전압이 모두 L^2에 비례해서 증가하는 종래의 소자 특성과는 크게 다르다. 단락영역을 갖는 p-i-n 소자는 소자 D에 비해 훨씬 높은 스위칭 전압을 갖는 반면, 호울딩 전압은 D와 비슷하거나 다소 낮다. 스위칭 전압의 증가는 앞에서 논의한 바와 같이, 단락영역에 의한 주입효율의 감소에 기인한다. 호울딩 전압은 소자가 스위칭한 후 양단에 걸리는 전압이므로 소자 저항에 크게 의존한다. 여러 논문에 따르면[18-20], Au확산동안 인(P)에 의해 Au gettering이 발생하는 것으로 알려지고 있다. 이 효과는 채널 저항을 감소시키므로 단락영역을 갖는 소자의 호울딩 전압은 소자 D보다 작을 것으로 기대된다. 그림 7에서, 호울딩 전압의 변화가 L^2 법칙에 따르지 않고 스위칭 전압의 증가율에 비해 낮은 것은 Au gettering 효과와 캐리어 주입 효율의 감소가 복합적으로 작용하기 때문인 것으로 생각된다. 한편, 채널 길이가 더욱 증가하면 스위칭 전압이 포화

되기 시작하는데, 이것은 일반적으로 모든 deep impurity p-i-n 소자의 특성이다.

(a) DEVICE ACS2
H: 20V/Div
V: 5mA/Div



(b) DEVICE ACS3
H: 50V/Div
V: 5mA/Div



(c) DEVICE ACS4
H: 50V/Div
V: 5mA/Div

그림 7. 소자 ACS2,ACS3,ACS4의 전류-전압 특성

Fig. 7. I-V traces of (a) device ACS2, (b)ACS3 and (c) ACS4

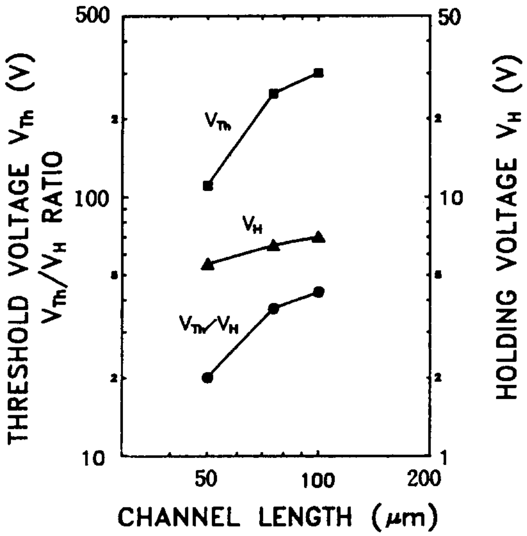
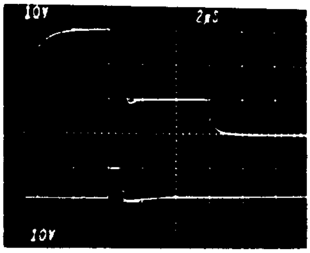


그림 8. 스위칭 전압, 호울딩 전압, V_{Th}/V_H비의 채널 길이 의존성

Fig. 8. Switching voltage, holding voltage and V_{Th}/V_H ratio as a function of channel length.



V_{AC} : 10V/Div

V_G : 10V/Div

그림 9. 양극 단락 소자에 대한 게이트 턴온 파형.

Fig. 9. Gate turn-on waveforms for an anode-shorted device
(a)anode pulse voltage at 10 V/div.
(b)gate pulse voltage at 10 V/div.

양극이 단락된 p-i-n 소자의 스위칭 전압 제어성을 살펴보기 위해서, 소자의 채널 중앙에 폭 25μm의 injection 게이트[9-10]를 갖는 소자를 제작하였다. 더블 펄스 발생기를 사용하여 양극과 게이트에 각각 전압 펄스를 가한후 소자의 스위칭 과정을 관측하였다.

그림 9는 오실로스코프로 측정한 일예를 나타낸다. 양극 펄스의 폭은 10.5 μs, 게이트 펄스의 폭은 0.6 μs이다. 그림에서 양극에 약 30 V의 펄스 전압를 인가하였을 때, 9 V의 게이트 펄스에 의해서 소자가 턴온됨을 볼 수 있다. 소자를 트리거하는 데 요구되는 최소 게이트 펄스 전압과 양극 전압사이의 관계를 나타내면

그림 10과 같으며, 최소 진폭은 양극 전압이 증가하면 점점 감소하다가 50 V에서 포화되기 시작하였다. 이것은 양극 전압이 어느 이상으로 되면 채널 영역에 주입된 정공의 농도가 상당히 높아지기 때문에 게이트 펄스의 작은 변화에 의해서도 소자가 쉽게 턴온한다고 생각된다.

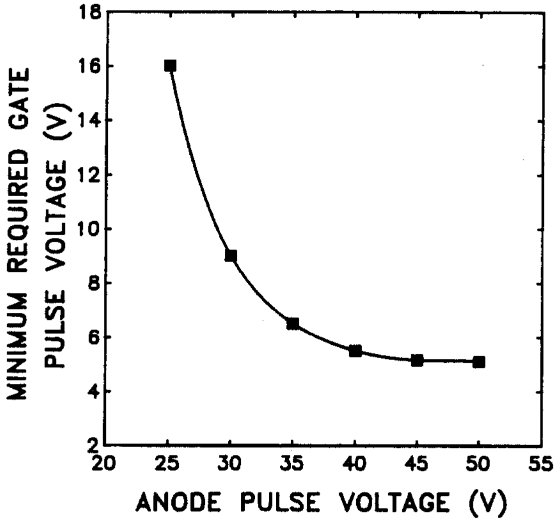


그림 10. 최소 게이트 펄스 전압과 양극 펄스전압의 관계

Fig. 10. The minimum required gate pulse height vs. anode pulse voltage.

V. 결 론

종래의 p-i-n 이중 주입 스위칭 소자는 스위칭 전압과 호울딩 전압의 비가 매우 작은 단점을 갖고 있다. 본 논문에서는 V_{Th}/V_H비를 향상시키기 위해 B-doped anode 주위에 P-doped n^+ 영역을 형성하여 양극을 단락시킨 p-i-n 이중 주입 스위칭 소자를 제작하고 그 스위칭 특성을 고찰하였다.

shorted anode에서는 p^+-i 접합이 단락되므로, 전자 전류가 증가하여 양극-채널 접합이 일정 전압에 도달하기 전까지는 양극으로부터 채널 영역으로 정공 주입이 억제되어 종래의 p-i-n 소자에 비해 훨씬 높은 전압에서 스위칭한다. 또 동일한 스위칭 전압을 갖는 종래의 소자와 비교해서, 본 소자의 경우 채널 영역에서 금의 농도를 감소시킬 수 있어 종래의 소자보다 호울딩 전압를 낮출 수 있다.

제작한 shorted anode p-i-n 스위칭 소자는 V_{Th}=250~300 V, V_H=5~9 V를 나타내었으며, 종래의 구조에 비해 V_{Th}/V_H비가 상당히 향상됨을 확인할 수 있었다. 이와 같은 결과는 anode shorted p-i-n 스위칭 소자를 전력 제어 소자로 응용할 수 있는 가능성을 더욱 높혀 주고 있다.

참 고 문 헌

[1] M.A.Lampert,"Double Injection in Insulators," Phys. Rev., vol.125, p.126,1962.

[2] K.L.Ashley and A.G.Milnes,"Double Injection in Deep-Lying Impurity Semiconductors," *J. Appl. Phys.*, vol.35, p.369, 1964.

[3] A.M.Barnett and A.G.Milnes, "Filamentary Injection in Semi-Insulating Silicon," *J. of Appl. Phys.*, vol.37, p.4215, 1966.

[4] M.A.Lampert and P.Mark, Current Injection in Solids, Academic Press, New York, 1970.

[5] P.Antognetti et al.,"Negative Resistance in Silicon Doped with Gold," Solid State Electron., vol.14, p.1119, 1971

[6] M.Manzel et al., "Negative Differential Resistance in Gold-Doped High- Resistivity Silicon," Phys. Status Solidi(A), vol.34, p.219, 1976.

[7] B.L Mantha and H.T. Henderson, "Post-Breakdown Bulk Oscillation in Gold-Doped Silicon p-i-n Double Injection Diodes," Solid State Electron, vol.23, p.275, 1980.

[8] H.Satoh et al,"Current-Voltage Characteristics of Si p-i-n Negative Resistance Diodes Doped With Gold," Oyo Buturi, Vol.55, No.3, p.263, 1986.

[9] A.K.Kapoor and Henderson,"A New Planar Injection-Gated Bulk Switching Devices Based upon Deep Impurity Trapping," IEEE Trans. Electron Devices, Vol.ED-27, p.1268, 1980.

[10] S.Supadech, S.okazaki, Y.Akiba, T.

Kurosu and M.Iida, "Voltage- Controlled Negative Resistance in p-i-n Planar Diodes with Injection Gate," IEE Proc., Vol.133, Pt I, p.1, 1986.

[11] A.K.Kapoor and H.T. Henderson, "Injection Gated DI Diode with Gate-Controlled Holding Voltage," IEEE Trans. Electron Devices, vol.ED-28, p.557, 1981.

[12] I.Y.Choe et al.,"Planar-Type Negative Resistance Diodes with Control MOS Gates," *J. of Applied Physics*, vol.52, p.1675, 1981.

[13] G.R.Sundberg,"A New Very High Voltage Semiconductor Switch," NASA TM-86967, 1985.

[14] P.D.Taylor, Thyristor design and realization, John Wiley and Sons, Chichester, 1987.

[15] M.R.Simpson, P.A.Gough, F.I. Hshieh, and V.Rumennik, "Analysis of the lateral insulated gate transistor," IEDM Tech. Dig., p.740, 1985.

[16] M.A.Shibib and C.B.Ziemer, "Obsrvation and Analysis of Negative Resistance in the Forward I-V Characteristics of Dielectrically Isolated High-Voltage Gated Diode Switches," IEEE Trans. Electron Devices, vol. ED-33, p.1062, 1986.

[17] I.S.Son, T.W.Tang, and D.H. Navon, "Modeling of Bistable Device I-V Characteristic Resulting from Conductivity Modulation in Semiconductors," IEEE Trans. Electron Devices, vol.ED-35, pp.450,1988.

[18] R.L.Meek et al.,"Diffusion Gettering of Au and Cu in Silicon," *J. of Electrochem. Soc.*, vol.122, p.787, 1975.

[19] L.Baldi et al., "Gold Solubility in Silicon and Gettering by Phosphorus," Phys. Status Solidi (A), vol.48, p.523, 1978.

[20] D.Lecrosnier et al.,"Gold Gettering in Silicon by Phosphorus Diffusion and Argon Implantation :Mechanisms and Limitations ," *J. of Appl. Phys.*, vol.52, p.5090, 1981.

저 자 소 개

閔 南 基(正會員)

1950년 7월 12일생. 1974년 고려대학교 전기공학과 졸업. 1976년 동대학원 전기공학과 졸업(석사). 1979년 동국대학교 전기공학과 교수. 1989년 미국 Cincinnati 대학교 대학원 졸업(박사). 현재 고려대학교 자연과학대 제어계측공학과 교수

李 成 載(正會員)

1958년 3월 25일생. 1982년 동국대학교 전기공학과 졸업. 1984년 동대학원 전기공학과 졸업(석사). 1984년~1988년 금성기전 연구소 연구원. 1989년~1994년 금성산전 연구소 선임연구원. 현재 대림전문대학 제어계측과 전임강사

朴 河 鏞(正會員)

1956년 5월 2일생. 1979년 숭전대학교 전기공학과 졸업. 1982년 동국대학교 대학원 전기공학과 졸업(석사). 1987년 삼척공업전문대학 전기과 전임강사. 1991년~현재 삼척산업대학교 전기공학과 조교수