

論文95-32A-6-10

# SAW (Self-Aligned Selectively Grown W-gate) MOSFETs의 제작 및 특성 분석

## (Fabrication and Analysis of SAW (Self-Aligned Selectively Grown W-gate) MOSFETs)

黃聖敏\*, 盧光明\*, 鄭明俊\*, 許民\*, 鄭夏豊\*,  
徐禎源\*, 朴贊光\*, 高堯煥\*, 李大薰\*

(Seong Min Hwang, Kwang Myoung Rho, Myung Jun Chung,  
Min Huh, Ha Poong Jeong, Jeong Won Suh, Chan Kwang Park,  
Yo Hwan Koh and Dai-Hoon Lee)

### 요약

본 논문에서는 Deep Submicron SAW (Self Aligned Selectively Grown W-gate) MOSFET 구조를 제안하고 선택적 텅스텐 (Selective Tungsten) 증착 기술을 이용하여 이를 제작한 후 전기적인 특성을 분석하였다. 채널 길이가 0.21  $\mu\text{m}$ 인 SAW NMOSFET과 0.24  $\mu\text{m}$ 인 SAW PMOSFET의 문턱 전압은 각각 0.19 V와 -0.16 V 이고 문턱전압이하 기울기는 각각 74 mV/decade 와 82 mV/decade 였다.  $V_{GS}=2.5$  V,  $V_{DS}=1.5$  V에서 측정된 NMOSFET과 PMOSFET의 최대 Transconductance는 각각 260 mS/mm, 122 mS/mm 이며  $V_{GS}=V_{DS}=2.5$  V에서 측정된 포화 드레인 전류는 각각 0.574 mA/ $\mu\text{m}$  와 -0.228 mA/ $\mu\text{m}$  이다. SAW MOSFET에 사용된 게이트의 저항은 약 50  $\mu\Omega\text{cm}$ 였으며 기존의 MOSFET 보다 약 10% 정도 작은 n+-p 접합 커패시턴스를 얻었다.

### Abstract

We proposed SAW (Self Aligned Selectively Grown W-gate) MOSFET structure, and studied electrical characteristics of the fabricated SAW MOSFETs. The threshold voltage of 0.21  $\mu\text{m}$  SAW NMOSFET was 0.18 V and that of 0.24  $\mu\text{m}$  SAW PMOSFET was -0.16 V. The subthreshold slope was 74 mV/decade for NMOSFET and 82 mV/decade for PMOSFET. The maximum transconductance of NMOSFET and PMOSFET, at  $V_{GS}=2.5$  V and  $V_{DS}=1.5$  V, were 260 mS/mm and 122 mS/mm. The measured saturation drain current at  $V_{GS}=V_{DS}=2.5$  V was 0.574 mA/ $\mu\text{m}$  for NMOSFET and -0.228 mA/ $\mu\text{m}$  for PMOSFET. The gate resistance of SAW MOSFET was about 50  $\mu\Omega\text{cm}$  and the n+-p junction capacitance of SAW MOSFET was about 10% lower than that of the conventional MOSFET's.

### I. 서론

\* 正會員, 現代電子産業株式會社

(Hyundai Electronics Industries Co., Ltd.)

接受日字: 1994年12月24日, 수정완료일: 1995年5月30日

반도체 소자가 고집적화 되어 감에 따라서  
MOSFET 게이트 길이도 소형화되어 왔으며 최근에는

0.2  $\mu\text{m}$  이하의 Deep Submicron 소자에 대한 연구 및 제작도 활발하게 이루어지고 있다. 그러나 0.2  $\mu\text{m}$  이하의 MOSFET을 제작하기 위해서는 기존의 g-선으로 또는 i-선 노광 장비는 사용할 수 없으므로 Deep UV 노광 장비 또는 전자선 노광 장비를 이용하거나, 플라즈마를 이용한 등방성 감광 물질 Ashing을 통한 감광 물질 Thinning<sup>11,21</sup>을 이용하는 방법을 사용하여 게이트를 묘사한다. 또 다른 연구로는 기존의 노광 장비를 이용하여 0.2  $\mu\text{m}$  이상의 게이트 트렌치를 형성한 후 실리콘 산화막으로 게이트 트렌치 측벽에 Spacer를 형성함으로써 게이트의 채널 길이를 줄이는 방법을 사용하여 Deep Submicron 소자를 제작하기도 한다<sup>13,41</sup>.

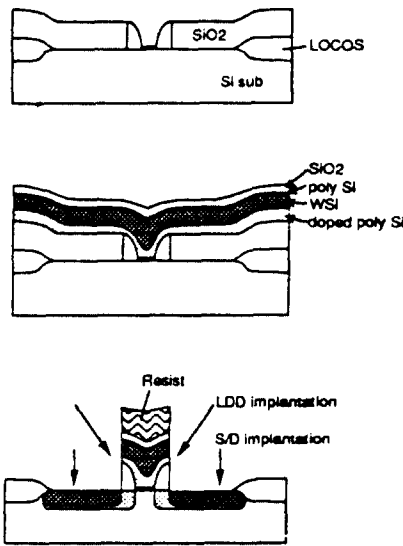


그림 1. Sony [3]의 trench 게이트 MOSFET 제작 순서  
Fig. 1. Process sequence of trench gate MOSFET.

이와 같이 게이트 트렌치 측벽에 실리콘 산화막의 Spacer를 형성함으로써 Deep Submicron을 형성하는 방법 중, [그림 1]의 Sony사에서 제안한 방법<sup>13)</sup>을 살펴보면, 먼저 실리콘 기판위의 실리콘 산화막을 식각하여 게이트 트렌치를 형성한다. 문턱 전압 이온 주입 및 Punchthrough 특성 향상을 위한 이온 주입 후 실리콘 산화막을 이용하여 게이트 트렌치 측벽에 Spacer를 형성함으로써 게이트의 채널 길이를 줄인 후 게이트 산화막을 형성하고 게이트 다결정 실리콘 및 텅스텐 실리사이드를 이용하여 게이트 전극을 형성

한다. 그러나 이와 같은 방법을 사용할 경우 LDD (Lightly Doped Drain) 접합을 형성하기 위해 경사 이온 주입 방식을 사용해야 하며 이 때 게이트를 두 번 묘사하면서 발생하는 오정렬에 의해 비대칭 MOSFET 소자가 형성되는 단점이 있다. 또한 채널 영역이 두 번의 식각에 의해 노출되면서 식각 손상을 받아 게이트 산화막의 신뢰성도 크게 저하되는 단점이 있다.

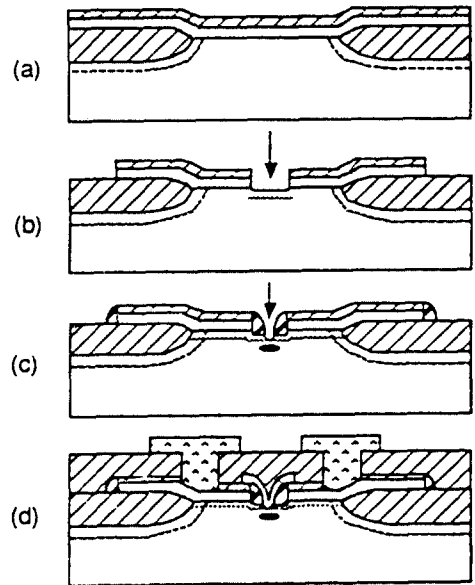


그림 2. Hitachi [4]의 Grooved 게이트 MOSFET 제작 순서

(a) Elevated S/D 형성; (b) Elevated S/D 묘사 및 확산층 이온 주입; (c) Sidewall 산화막 형성 및 groove 묘사; (d) 게이트 산화막 형성, 게이트 전극 묘사

Fig. 2. Process sequence of Grooved Gate MOSFET.

(a) Elevated S/D deposition; (b) Elevated S/D delineation and diffusion layer implantation; (c) Sidewall oxide formation and groove delineation; (d) Gate oxidation, gate electrode delineation and metalization

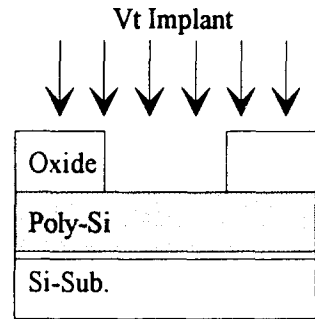
한편 [그림 2]의 Hitachi사에서 제안한 방법<sup>41)</sup>은 활성 영역 위에 Elevated 소오스/드레인을 위한 다결정 실리콘 패턴을 증착시키고 게이트 트렌치를 형성한 후 드러난 실리콘 기판에 LDD 접합을 형성하고 계속해서 실리콘 산화막으로 Spacer를 형성한다. 이 때 실

리콘 기판도 일정 두께만큼 식각함으로써 채널 길이를 늘린다. 이 후에 게이트 산화막을 형성하고 텅스텐을 이용하여 게이트 전극을 형성한다. 이와 같이 기판을 식각하므로 식각된 기판의 두께에 비례하여 채널 길이가 늘어나고 Short Channel 효과를 줄일 수 있는 장점이 있으나, 실리콘 기판의 식각 형태와 식각 깊이에 따라 문턱 전압 및 문턱전압이하 기온기가 달라지므로 공정 제어가 힘든 단점이 있다. 또한 [그림 1]의 경우와 마찬가지로 최종적으로 형성되는 게이트 패턴의 길이는 소형화되지 않는다.

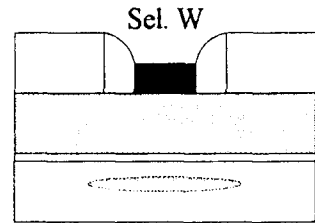
그러나 위에서 언급한 MOSFET의 제작에서는 채널 영역에만 국부적으로 문턱전압 이온 주입 및 Punchthrough 특성 향상을 위한 이온 주입을 할 수 있으므로 소오스와 드레인의 접합 커패시턴스를 줄일 수 있다는 큰 잇점이 있다. 일반적으로 채널 길이가  $0.25 \mu\text{m}$  이하로 작아지면서 짧은 채널 효과를 줄이고 Punchthrough 발생을 억제하며 Hot Carrier 현상을 막기 위해서 소오스와 드레인 접합 및 LDD 접합의 깊이는 점점 작아지게 되고, 반대로 채널 영역의 불순물 농도는 점점 높아지게 된다. 따라서 LDD 접합 및 소오스와 드레인의 접합 커패시턴스도 함께 증가하게 되어 소자의 동작 속도가 저하되고, 또 실리콘 기판의 표면 불순물 농도의 증가로 인해 문턱전압이하 특성이 저하되는 결과가 초래된다. 이와 같은 문제를 해결하는 방법으로는 위에서 언급한 바와 같이 채널 영역에만 국부적으로 문턱 전압 이온 주입 및 Punchthrough 특성 향상을 위한 이온 주입을 함으로써 소오스와 드레인 접합 아래의 불순물 농도를 줄이는 Local 도핑 방법<sup>12,5</sup> 또는, 문턱 전압 이온 주입 및 Punchthrough 특성 향상을 위한 이온 주입을 일정 두께만큼만 Pulse 모양으로 이온 주입을 함으로써 실리콘 기판의 표면 불순물 농도 및 소오스와 드레인 접합 바로 아래의 불순물 농도를 줄이는 수직 도핑 기술<sup>16,7,8</sup>이 사용된다.

본 논문에서는 위에서 언급한 문제점을 해결하기 위해 SAW (Self Aligned selectively grown W-gate) MOSFET 구조를 제안하고 기존의  $i$ -선 노광 장비와 선택적 텅스텐 (Selective Tungsten) 증착 기술을 이용하여 이를 제작하고 특성을 분석하였다. 제안된 SAW MOSFET 구조는 게이트 전극으로 다결정 실리콘과 텅스텐의 이중 구조를 사용함으로써 매우 낮은 게이트 저항을 얻을 수 있을 뿐 아니라, 국부적 도핑 방법을 사용함으로써 소오스와 드레인 접합 커패시턴스를 줄일 수 있다. 또한 적절한 문턱 전압 및 높은 드레인 전류를 얻기 위해 기판과 반대 타입의 불순물을 기판 표면에 주입하여 기판 표면의 불순물 농도

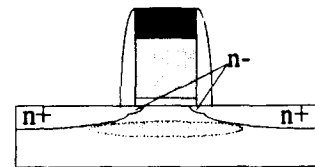
를 줄이고자 하였다.



(a)



(b)



(c)

그림 3. AW MOSFET 제작 순서

Fig. 3. Process sequence of SAW MOSFET.

## II. SAW MOSFET 제작 방법

SAW MOSFET의 제작 순서는 [그림 3]에 보인 바와 같다. 먼저 LOCOS (LOCAl Oxidation of Silicon) 공정을 사용하여 Field 산화막을 성장시킨 후, 채널 영역의 표면 불순물 농도를 줄이고 적절한 문턱 전압을 맞추기 위해 Well과 반대 타입의 불순물 (NMOSFET의 경우 As, PMOSFET의 경우 BF<sub>2</sub>)을 실리콘 기판 표면에 이온 주입한 후 게이트 산화막을 50 Å 두께로 성장시킨다. 다음에 게이트 다결정 실리콘을 증착한 후 NMOSFET과 PMOSFET을 모두 표면 채널 소자로 만들기 위해 각각 게이트 다결정 실리콘에 인과 붕소를 이온 주입하여 n+-Poly와

p+-Poly를 형성한다. 다음에 실리콘 산화막을 3,000 Å 증착한 후 게이트 패턴을 형성한다. 이 때 게이트 패턴의 묘사는 i-선 노광 장비를 사용하며 게이트 패턴이 형성될 부분의 게이트 다결정 실리콘이 드러나도록 실리콘 산화막을 식각한 후 문턱 전압을 맞추고 Punchthrough 특성 향상을 위한 이온 주입을 한다.

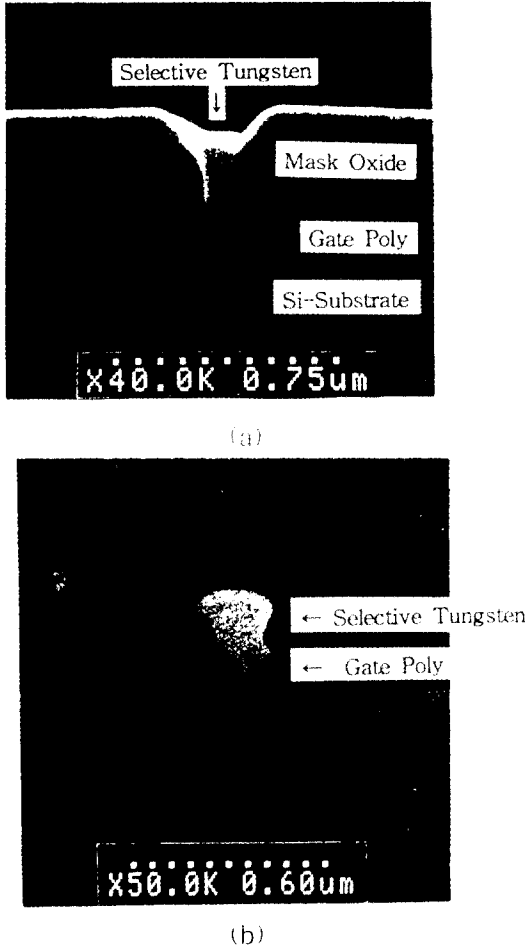
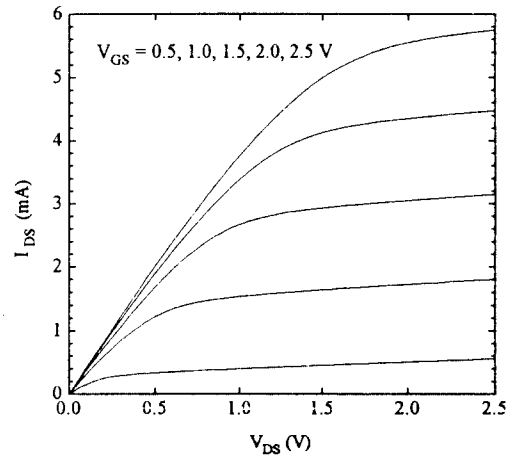


그림 4. SAW MOSFET의 단면 SEM 사진  
(a) 선택적 텅스텐 박막 증착 후  
(b) 게이트 전극 형성 후

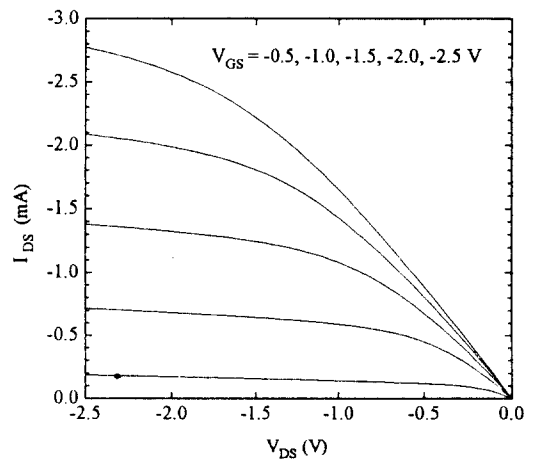
Fig. 4. Cross-sectional SEM picture of SAW MOSFET.  
(a) Selective Tungsten Deposition  
(b) Gate Electrode formation

[그림 3 (a)] 이 때 주입되는 이온은 게이트 다결정 실리콘을 통해서 채널 영역에만 주입되며 채널 이외의 영역은 식각되지 않고 남아 있는 실리콘 산화막에 의해 이온 주입이 되지 않는다. 다음에 [그림 3 (b)] 에 보인 바와 같이 실리콘 산화막을 이용하여 Spacer

를 형성한 후 선택적 화학 기상 증착 방법을 사용하여 앞에서 드러난 다결정 실리콘 위에만 선택적으로 텅스텐 박막을 증착시킨다. 이 때 게이트 다결정 실리콘의 측면에 산화막 Spacer를 형성하면 미세 게이트 길이를 갖는 MOSFET 소자를 제작할 수 있으며, 또한 [그림 3 (a)] 에서 실시한 이온 주입 공정은 산화막 Spacer 형성 후에도 가능하다. 다음에 [그림 3 (c)] 에 보인 바와 같이 Buffered HF 용액을 사용하여 다결정 실리콘 위의 실리콘 산화막을 제거한 후 선택적으로 형성된 텅스텐 박막을 식각 장비 막으로 이용하여 다결정 실리콘을 식각하여 게이트 전극을 형성한다.



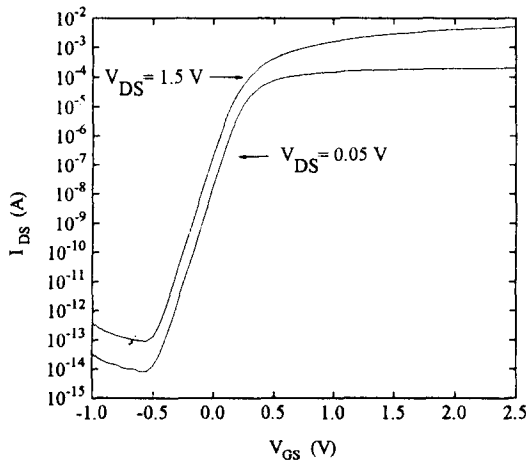
(a) NMOSFET(W/L=10/0.21 μm)



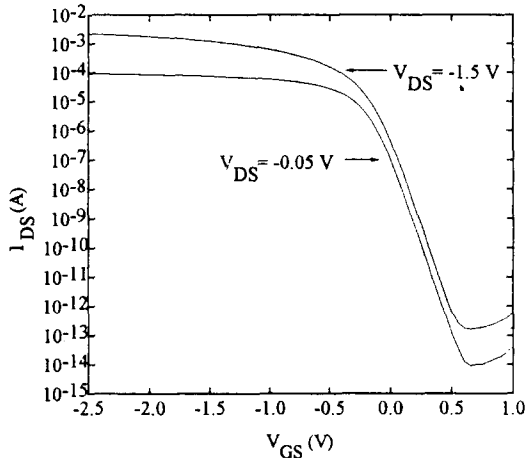
(b) PMOSFET (W/L=10/0.24 μm)

그림 5. SAW MOSFET의 전류-전압 특성  
Fig. 5. I-V characteristics of SAW MOSFETs.

이 후에는 종래의 MOSFET 소자 제작 방법과 마찬가지로 LDD 접합을 형성하고 게이트 전극의 측벽에 산화막 Spacer를 형성한 다음, 소오스와 드레인 접합을 형성시키고 950 °C에서 10 초 동안 RTA 방법을 사용하여 열처리를 함으로써 최종적으로 제안된 SAW MOSFET 소자를 제작한다. [그림 4 (a)]는 Spacer 형성 후 게이트 다결정 실리콘 위에 선택적 화학 기상 텅스텐을 증착한 후의 단면 SEM 사진이며 [그림 4 (b)]는 게이트 전극을 형성한 후의 단면 SEM 사진이다.



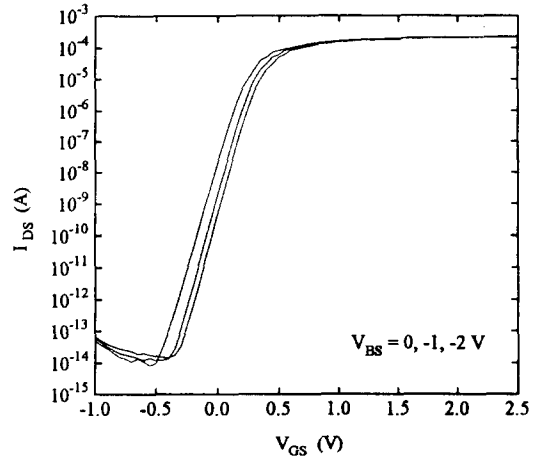
(a) NMOSFET(W/L=10/0.21μm)



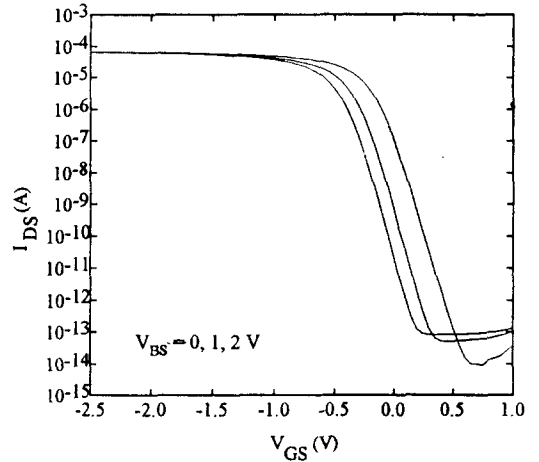
(b) PMOSFET(W/L=10/0.24μm)

그림 6. SAW MOSFET의 문턱전압이하 전류-전압 특성

Fig. 6. Subthreshold I-V characteristics of SAW MOSFETs.



(a) NMOSFET(W/L=10/0.21μm)



(b) PMOSFET(W/L=10/0.24μm)

그림 7. SAW MOSFET의 기판 전압에 따른 문턱전압이하 전류-전압 특성 ( $V_{DS} = \pm 0.05$  V)

Fig. 7. Subthreshold I-V characteristics of SAW MOSFETs at  $V_{BS} = 0, \pm 1, \pm 2$  V ( $V_{DS} = \pm 0.05$  V).

SAW MOSFET은 게이트 전극으로 다결정 실리콘과 텅스텐을 사용하므로 게이트 전극의 저항을 크게 줄일 수 있고, 또한 국부적 도핑 방법 및 수직 도핑 기술을 사용함으로써 소오스와 드레인의 접합 커패시턴스를 줄이므로 Deep Submicron 소자의 동작 속도와 문턱전압이하 특성을 크게 개선시킬 수 있다. 또한 서론에서 살펴본 Deep Submicron MOSFET 소자와는 달리 자기 정렬 방식을 사용하므로 비대칭 특성을 갖지 않으며 최종적으로 형성되는 게이트의 길이도 함께

소형화시킬 수 있다는 이점이 있다.

### III. 결과 및 고찰

[그림 5]는 채널 폭이  $10 \mu\text{m}$  이고 채널 길이가 각각  $0.21 \mu\text{m}$ 인 SAW NMOSFET과  $0.24 \mu\text{m}$ 인 SAW PMOSFET의 전류-전압 특성을 나타낸 것으로 NMOSFET의 경우 포화 드레인 전류는  $5.74 \text{ mA}$ , PMOSFET의 경우 포화 드레인 전류는  $-2.28 \text{ mA}$  이다. [그림 6]은 드레인 전압이  $\pm 0.05 \text{ V}$ 와  $\pm 1.5 \text{ V}$ 에서 측정된 NMOSFET과 PMOSFET의 문턱전압이하  $\text{IDS-V}_{\text{GS}}$  특성을 나타낸 것으로 문턱전압이하 기율기와 문턱 전압은 각각 NMOSFET의 경우는  $74 \text{ mV/decade}$ 와  $0.19 \text{ V}$ 이고 PMOSFET의 경우는  $82 \text{ mV/decade}$ 와  $-0.16 \text{ V}$ 이며 최대 Transconductance는 드레인 전압이  $\pm 1.5 \text{ V}$ 일 때 각각  $260 \text{ mS/mm}$ ,  $122 \text{ mS/mm}$  이다.

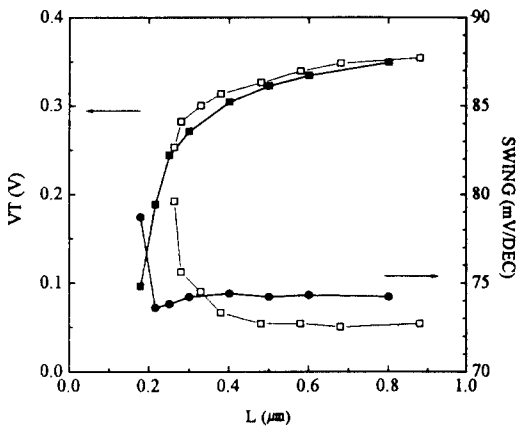


그림 8. SAW MOSFET(solid)와 기존의 MOSFET(open)의 채널 길이에 따른 문턱전압과 S-factor

Fig. 8. Threshold Voltage and S-factor of SAW MOSFET(solid) and conventional MOSFET(open).

[그림 6]에서 보는 바와 같이 게이트 산화막의 두께가  $50 \text{ \AA}$ 으로 얇아짐으로써 NMOSFET과 PMOSFET 모두 GIDL (Gate Induced Drain Leakage)에 의한 누설 전류의 증가 현상이 나타나고 있으나 역방향 게이트 전압이  $\pm 1 \text{ V}$ 인 경우의 누설 전류는 NMOSFET과 PMOSFET 모두  $0.1 \text{ pA}/\mu\text{m}$  이하로 양호함을 알 수 있다. 기판 전압에 따른 문턱전압이하  $\text{IDS-V}_{\text{GS}}$  특성은 [그림 7]에 나타낸 바와 같다. 게이트 전압이  $0 \text{ V}$  일 때의 누설 전류는

NMOSFET의 경우는  $2.15 \text{ nA}/\mu\text{m}$  이고 PMOSFET의 경우는  $-10.4 \text{ nA}/\mu\text{m}$ 로서 다소 크게 나타났으나 이는 짧은 채널 효과에 의해 문턱 전압이 급격히 낮아진데 그 원인이 있으며 소오스와 드레인 접합의 깊이를 줄임으로써 짧은 채널 효과를 줄이거나 기판 전압을 조절함으로써 문턱 전압을 높이는 방법을 통해 누설 전류의 특성은 향상시킬 수 있다. 한편, 기판 전압의 변화에 따른 문턱 전압의 변화는 PMOSFET의 경우가 NMOSFET 보다 크게 나타나는데 이는 기판 농도의 차이에 기인한 것으로 사료된다.

[그림 8]은 SAW NMOSFET의 게이트 길이에 따른 문턱 전압과 문턱전압이하 기율기의 변화를 기존의 MOSFET과 비교하여 나타낸 것이다. [그림 8]에 나타난 것과 같이 게이트 길이에 따른 문턱 전압의 변화에 있어서 SAW MOSFET과 기존의 MOSFET 사이에는 큰 차이를 보이지 않음을 알 수 있다. 그러나 문턱전압이하 기율기를 비교하면 SAW MOSFET의 경우가 기존의 MOSFET에 비해 비교적 긴 채널 영역에서는 문턱전압이하 기율기가 약간 증가하지만 채널 길이가  $0.2 \mu\text{m}$ 까지는 문턱전압이하 기율기의 변화가 거의 없는 특성을 보이며 기존의 MOSFET에 비해  $0.1 \mu\text{m}$  정도 향상된 특성을 보인다. 이는 Counter Doping에 의해 실리콘 기판 표면의 불순물 농도가 낮아져 짧은 채널에서의 문턱전압이하 특성이 향상되었음을 말해 준다.

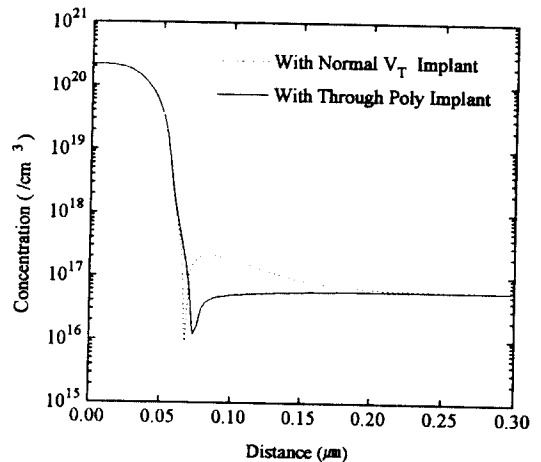


그림 9. 시뮬레이션으로 계산한 SAW MOSFET의 n+p 접합의 도핑 profile

Fig. 9. Simulated doping profile of n+p junction.

[그림 9]는 시뮬레이션에 의한 n+p 접합 영역의 불순물 분포를 나타낸 것으로, 기존의 MOSFET과는

달리 SAW MOSFET에서는 문턱 전압을 맞추기 위한 이온 주입을 게이트 다결정 실리콘을 통해 채널 영역에만 실시하므로 접합 바로 아래 영역의 불순물 농도가 기존의 MOSFET의 경우에 비해 훨씬 작음을 알 수 있다.

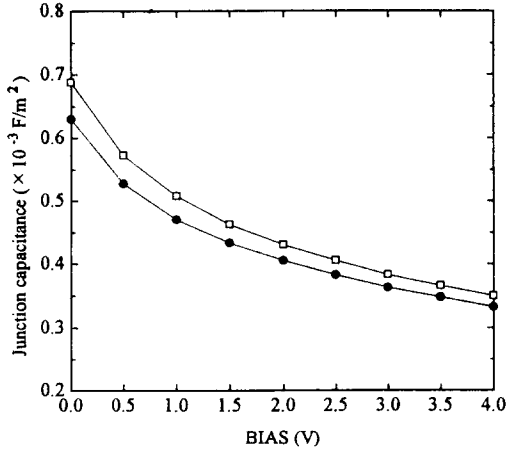


그림 10. SAW MOSFET(solid)와 기존의 MOSFET(open)의 n+p 접합의 C-V 특성  
Fig. 10. C-V characteristics of n+p junction of SAW MOSFET(solid) and conventional MOSFET(open).

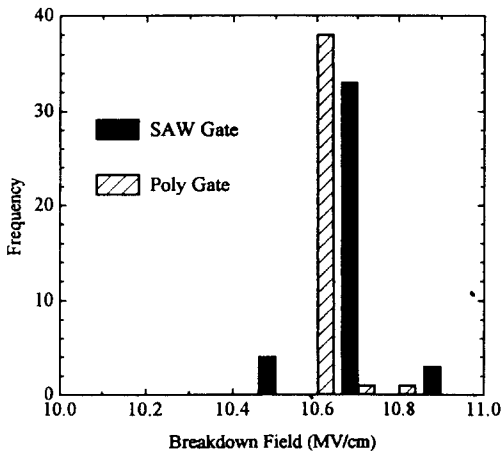


그림 11. SAW 게이트 산화막과 다결정 실리콘 게이트 산화막의 breakdown histogram (TOX = 50Å)  
Fig. 11. Gate oxide breakdown histogram of SAW MOSFET and polysilicon gate MOSFET.

[그림 10]은 SAW MOSFET과 기존의 MOSFET

의 역방향 전압에 따른 n+p 접합 커패시턴스의 측정 값을 비교한 것으로서 SAW MOSFET의 접합 커패시턴스가 기존의 MOSFET의 접합 커패시턴스 보다 약 10 % 정도 작아짐을 알 수 있다.

SAW MOSFET을 제작함에 있어서 사용되는 선택 화학 기상 증착 텅스텐에 의한 게이트 산화막의 신뢰성을 알아보기 위해 SAW 게이트와 기존의 다결정 실리콘 게이트의 게이트 산화막 Integrity를 비교한 결과, [그림 11]에 나타난 바와 같이 거의 같은 특성을 보이며 평균 Breakdown Field는 약 10.7 MV/cm이다. 이와 같은 결과로 미루어 선택적 텅스텐 형성에 의한 게이트 산화막의 특성 변화와 게이트 다결정 실리콘을 통한 이온 주입에 따른 게이트 산화막의 특성 변화는 없는 것으로 생각된다. 또한 SAW MOSFET에 사용된 게이트 (텅스텐/다결정 실리콘)의 저항은 약 50  $\mu\Omega\text{cm}$ 로, 이는 n+/p+ 다결정 실리콘 게이트의 저항 3.6/6.0  $\text{m}\Omega\text{cm}$ 에 비해 매우 작은 값을 갖는다.

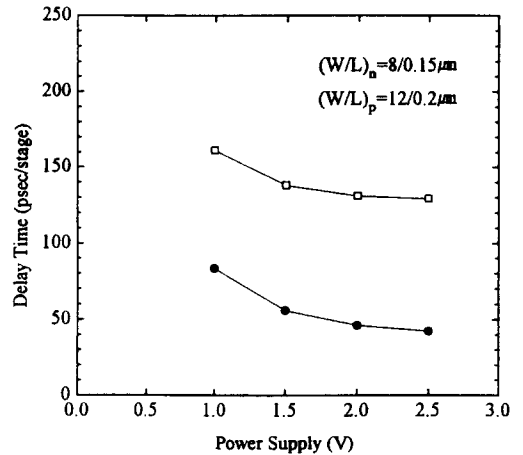


그림 12. SAW MOSFET(solid)와 기존의 MOSFET(open)의 게이트 지연시간  
Fig. 12. Gate delay time of SAW MOSFET(solid) and conventional MOSFET(open).

게이트 저항과 접합 커패시턴스의 감소에 따른 SAW MOSFET의 게이트 지연 시간을 측정하기 위해 Ring Oscillator의 특성을 SPICE 프로그램을 이용하여 시뮬레이션하였다. 시뮬레이션된 게이트 지연 시간은 [그림 12]에 나타난 바와 같이 NMOSFET와 PMOSFET의 게이트 폭과 길이가 각각 8/0.15  $\mu\text{m}$ , 12/0.2  $\mu\text{m}$ 인 경우, 동작 전압 2.5 V에서 SAW MOSFET은 42 ps/stage였으며 기존의 MOSFET의

경우는 129 ps/stage로써 SAW MOSFET 소자의 경우가 우수한 특성을 보이고 있다. 이와 같이 SAW MOSFET의 게이트 저항이 기존의 MOSFET에 비해 약 70 ~ 120 배 정도 줄어들고 접합 커패시턴스는 10 % 정도 줄어들므로써 게이트 지연 시간은 약 3 배 정도 향상된다. 또한 동작 전압이 증가할수록 SAW MOSFET의 게이트 지연 시간은 기존의 MOSFET 소자에 비해 더 크게 감소함을 알 수 있다.

#### IV. 결 론

기존의 i-선 노광 장비와 선택 화학 기상 증착 텅스텐을 이용하여 Deep Submicron SAW MOSFET 구조를 제작하고 그 특성을 분석하였다. SAW MOSFET은 게이트 전극으로 다결정 실리콘과 텅스텐의 이중 구조를 사용함으로써 약 50  $\mu\Omega\text{cm}$ 의 매우 낮은 게이트 저항을 얻을 수 있었으며, 국부적 도핑 방법을 사용함으로써 소오스와 드레인 접합 커패시턴스를 기존의 MOSFET에 비해 약 10 % 정도 줄일 수 있었다. 또한 이중 게이트 구조에 의한 게이트 산화막의 열화 현상은 보이지 않는다. 시뮬레이션에 의한 SAW MOSFET의 게이트 지연 시간은 동작 전압 2.5 V에서 42 ps/stage로 기존의 MOSFET의 129 ps/stage에 비해 우수함을 알 수 있었다.

#### 참 고 문 헌

[1] M.Ono et al., "Sub-50nm Gate Length n-MOSFETs with 10nm Phosphorus

Source and Drain Junctions," *IEDM Tech. Dig.*, p.119, 1993.

- [2] K.F.Lee et al., "Room Temperature 0.1 $\mu\text{m}$  CMOS Technology with 11.8 ps Gate Delay," *IEDM Tech. Dig.*, p.131, 1993.
- [3] H.Tsukamoto et al., "Sub 0.1 $\mu\text{m}$  nMOSFET Utilizing Narrow Trench Gate and Selective Excimer Laser Annealing (SELA)," *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, p.26, 1993.
- [4] J.Tanaka et al., "A Sub-0.1- $\mu\text{m}$  Grooved Gate MOSFET with High Immunity to Short-Channel Effects," *IEDM Tech. Dig.*, p.537, 1993.
- [5] H.Oyamatsu et al., "Design Methodology of Deep Submicron CMOS Devices for 1V Operation," *Sym. on VLSI Tech. Dig.*, p.89, 1993.
- [6] R.H. Yan et al., "Scaling the Si MOSFET: From Bulk to SOI to Bulk," *IEEE Trans. Electron Devices*, vol.39, no.7, p.1704, 1992.
- [7] R.H. Yan et al., "High Performance 0.1- $\mu\text{m}$  Room Temperature Si MOSFETs," *Sym. on VLSI Tech. Dig.*, p.86, 1992.
- [8] G.G.Shahidi et al., "A High Performance 0.15 $\mu\text{m}$  CMOS," *Sym. on VLSI Tech. Dig.*, p.93, 1993.



저 자 소 개



黃 聖 敏(正會員)  
1966년 4월 29 일생. 1988년 2월 서울대학교 물리교육학과 졸업(학사). 1991년 서울대학원 물리학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 주임연구원

盧 光 明(正會員) 1967년 2월 20일생. 1989년 2월 서울대학교 전자공학과 졸업(학사). 1991년 한국 과학기술원 전기및전자공학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 주임연구원



鄭 明 俊(正會員)  
1965년 1월 28일생. 1987년 2월 서울대학교 무기재료학과 졸업(학사). 1989년 서울대학원 무기재료학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 주임연구원



鄭 夏 豊(正會員)  
1964년 7월 7일생. 1991년 2월 연세대학교 물리학과 졸업(학사). 1993년 연세대학원 물리학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 연구원



許 民(正會員)  
1969년 12월 21일생. 1992년 2월 영남대학교 전자공학과 졸업(학사). 1994년 영남대학원 전자공학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 연구원



徐 禎 源(正會員)  
1968년 11월 7일생. 1990년 2월 서울대학교 전자공학과 졸업(학사). 1992년 서울대학원 전자공학과 졸업(석사). 현재 (주) 현대전자 반도체제1연구소 주임연구원



朴 贊 光(正會員)  
1961년 3월 29일생. 1984년 2월 서강대학교 전자공학과 졸업(학사). 1987년 한국 과학기술원 전기및전자공학과 졸업(석사). 1992년 한국 과학기술원 전기및전자공학과 졸업(박사).

현재 (주) 현대전자 반도체제1연구소 선임연구원



高 堯 煥(正會員)  
1960년 7월 23일생. 1983년 2월 서강대학교 전자공학과 졸업(학사). 1985년 한국 과학기술원 전기및전자공학과 졸업(석사). 1989년 한국 과학기술원 전기및전자공학과 졸업(박사). 현재 (주) 현대

전자 반도체제1연구소 책임연구원



李 大 燾(正會員)  
1954년 10월 15일생. 1978년 2월 서울대학교 공업교육학과 졸업(학사). 1980년 서울대학원 교육학과 졸업(석사). 1986년 Texas 주립대 재료공학과 졸업(박사). 1980년 ~ 1982년 동양

공업전문대학교 전임강사. 현재 (주) 현대전자 반도체제1연구소 신행연구부문 담당이사