

論文95-32A-6-7

양 방향 Hot Carrier 스트레스에 의한 PMOSFET 노쇠화 (PMOSFET Degradation due to Bidirectional Hot Carrier Stress)

金容鐸*, 金德起*, 劉宗根*, 朴鍾泰*, 朴炳國**,
李鍾德**

(Yong T. Kim, Deok K. Kim, Chong K. Yu, Jong T. Park, Byung K. Park,
and Jong D. Lee)

요 약

본 연구에서는 양방향 스트레스 후에 hot electron으로 인하여 노쇠화된 PMOSFET의 유효 채널 길이 변화와 HEIP특성을 분석하였다. 게이트 산화층에 포획된 전자와 수평전계는 게이트 전류 모델을 이용하여 계산하였으며, fitting된 N_t 와 최대 수평 전계(E_m)를 사용하여 유효 채널 감소분(ΔL_{HD} , ΔL_{HS})를 계산하였다. 드레인 전류와 유효 채널 감소분의 변화(ΔI_d , ΔI_{HI})는 스트레스 방향보다 스트레스 순서에 의하여 영향을 많이 받음을 알 수 있었고, 스트레스 시간과 대수함수 관계임을 알았다. 이에 반하여, 문턱 전압과 punchthrough 전압의 변화(ΔV_t , ΔV_{pt})는 스트레스 순서보다 스트레스 방향에 영향을 많이 받았다.

Punchthrough 전압의 변화(ΔV_{pt})와 스트레스 시간과의 관계는 $\Delta V_{pt} = AT^n$ 의 관계가 있음을 확인할 수 있었다. PMOSFET의 노쇠화는 초기 게이트 전류와 함수 관계가 있었으며, 다른 노쇠화 변수보다 punchthrough 전압의 변화(ΔV_{pt})가 가장 심각하게 영향을 미침을 알 수 있었다.

Abstract

The hot electron induced effective channel length modulation(ΔL_{HI}) and HEIP characteristics in PMOSFET's after bidirectional stress are presented. Trapped electron charges in gate oxide and lateral field are calculated from the gate current model, and ΔL_{HI} (ΔL_{HD} , ΔL_{HS}) is calculated using trapped electron charges and lateral field. It has been found that ΔI_d and ΔI_{HI} are more affected by the stress order (Forward-Reverse or Reverse-Forward) than the stress direction, and they vary logarithmically with the stress time. In contrast, ΔV_t and ΔV_{pt} are more affected by the stress direction than the stress order. The correlation between ΔV_{pt} and the stress time can be explained as the following polynomial function: $\Delta V_{pt} = AT^n$. It has also been shown that PMOSFET degradation is related with the gate current and the effects of ΔV_{pt} is the most significant.

* 正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Univ. of Incheon)

** 正會員, 서울大學校 電子工學科

(Dept. of Elec. Eng., Seoul National Univ.)

接受日字: 1995年1月9日, 수정완료일: 1995年5月26日

I. 서론

MOSFET의 크기가 sub 또는 deep submicrometer 레벨로 축소됨에 따라서 직면하게 된 가장 큰 문제중의 하나는 hot carrier에 의한 소자의 노쇠화이다¹⁻³⁾. 소자의 노쇠화는 실리콘 기판에서의 고전계에 의해 심화되고 집적 회로의 신뢰도에 큰 영향을 미친다. 일반적으로 NMOSFET에서의 노쇠화는 게이트로 주입되는 hot-hole과 전자들에 의해 생성된 계면 상태에 의한 것으로 알려져 있으나, PMOSFET에서는 큰 문제가 되지 않았었다. 그러나 최근에는 sub 또는 deep submicrometer PMOSFET의 hot carrier로 인한 소자의 신뢰도 문제가 NMOSFET에서 만큼 심각하게 되었다⁴⁾.

PMOSFET에서 hot carrier에 의한 소자의 노쇠화 메커니즘 또는 노쇠화 모델링에 관한 많은 연구들이 발표되었다⁵⁻⁶⁾. PMOSFET에서의 소자 노쇠화 메커니즘은 충격 이온화에 의하여 발생한 전자들이 드레인 부근의 게이트 산화막 내로 주입되어 전자 트랩을 형성하게 된다. 이 전자 트랩으로 채널의 수평 전계는 감소하게 되고 이로인하여 문턱전압이 양의 방향으로 증가하고 드레인 전류 및 상호 전달 콘덕턴스는 증가하게 된다⁷⁾. 또한 게이트 산화층에 포획된 전자의 양이 증가할수록 포획된 전자로 인하여 기판에 hole이 모이게 되어 드레인 영역이 확장됨에 따라 채널 길이가 짧아짐으로 hot electron에 의한 punchthrough가 일찍 일어나게 될 것이다(HEIP)⁹⁾.

노쇠화된 PMOSFET의 특성을 모델링하기 위하여 Park등은 게이트 산화층에 포획된 전자로 인한 유효 채널 길이의 단 채널화 현상을 해석학적으로 모델링하여 소자의 노쇠화를 설명하고 있다⁷⁾.

이전에 발표된 논문들은 단순히 순방향 스트레스를 가해 즉, 드레인에 전압을 주어 드레인 부근의 게이트 산화층에 포획된 전자로 인한 노쇠화 변수들을 분석하였으나¹⁵⁻¹⁷⁾, 본 연구에서는 스트레스 순서에 따라 즉, 순방향 스트레스에 의해 드레인 부근의 게이트 산화층에 포획된 전자로 인한 드레인 영역의 확장 ΔL_m 와 역방향 스트레스에 의해 소오스 부근의 게이트 산화층에 포획된 전자로 인하여 확장된 소오스 영역 ΔL_m 을 추출하고 양방향 스트레스에 의한 ΔL_H 와 punch-through 전압의 변화 ΔV_m 의 상관 관계를 분석하고자 한다. 또한 PMOSFET에서 중요한 노쇠화 변수 중의 하나인 드레인 전류의 변화가 문턱 전압 변화, punch-through 전압의 변화, 유효 채널 길이 짧음화의 변화와의 상관 관계를 보고, 드레인 전류의 변화 (ΔI_d)

와 punchthrough 전압의 변화 (ΔV_m)가 각 방향 스트레스에 의한 문턱 전압의 변화 (ΔV_t)와 유효 채널 길이 짧음화의 변화 (ΔL_H)중 어떤 변수에 크게 영향을 받는지를 분석하고자 한다.

II. 양방향 스트레스에 따른 유효 채널 길이 감소분 (ΔL_H) 추출

PMOSFET의 드레인에 큰 전압을 인가해 주면 채널에서의 수평 전계는 매우 크게 되며, 소오스로부터 드레인으로 채널 수평 전계에 의해 이동해 오던 hole이 드레인 부근의 높은 전계에 의해 큰 에너지를 갖고 충격 이온화를 일으키게 된다. 이 충격 이온화로 인하여 EHP (Electron-Hole Pair)가 생성되고, 이때 생성된 전자는 대부분 기판 전류를 형성하며, 게이트 산화막과 기판사이의 전위 장벽보다 큰 에너지를 갖는 전자들은 게이트로 흘러 게이트 전류를 형성하거나 게이트 산화층에 포획된다. Hole에 대한 게이트 산화막과 기판사이의 전위 장벽은 상대적으로 높기 때문에 생성된 hole들은 채널 수평 전계에 의해 드레인으로 흐른다.

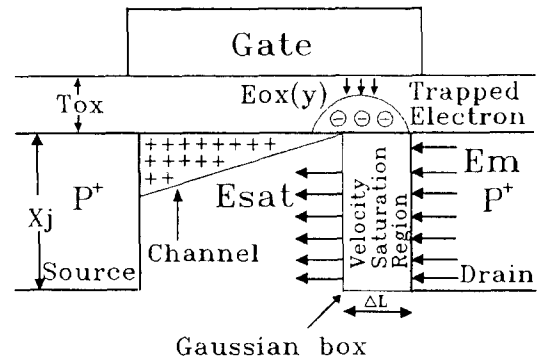


그림 1. 포화 영역에서 노쇠화된 PMOSFET의 도식도

Fig. 1. Schematic diagram of degraded PMOSFET in the saturation region.

그림 1은 게이트 산화층에 포획된 전자와 이로 인한 유효 채널 길이의 변화를 나타낸 것이다. 게이트 산화층에 포획된 전자의 양 N_t 에 따라 채널의 최대 수평 전계 E_m 및 채널의 속도 포화 영역 ΔL 이 변하게 된다. K_n 등의 결과로부터 $N_t=0$ 인 경우의 E_m 과 ΔL 은 다음과 같이 쓸 수 있다¹⁸⁾.

$$E_m = [\frac{(V_{ds} - V_{dsat})^2}{S_1^2} + E_{sat}^2]^{1/2} \quad (1)$$

$$\Delta L = S_1 \cdot \ln \left[\frac{(V_{ds} - V_{dsat})/S_1 + E_m}{E_{sat}} \right] \quad (2)$$

여기서, 속도 포화 영역의 유효 길이 $S_1 = 0.22X_s^{1/2} t_{ox}^{1/3}$ 이다.

그러나 $|V_{ds}| > |V_{gs}|$ 인 스트레스가 인가된 후 생긴 N_f 를 고려하여 참고 문헌 [5]에서 구한 E_m 과 ΔL 의 변화는 다음과 같다.

$$E_m = [\frac{(V_{ds} - V_{dsat} - \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{qN_f}{C_{ox}})^2}{S_1^2} + E_{sat}^2 - (\frac{\epsilon_{si}}{\epsilon_{ox}} \frac{qN_f}{S_1 C_{ox}})^2]^{1/2} \quad (3)$$

$$\Delta L = S_1 \cdot \ln \left[\frac{V_{ds} - V_{dsat} + S_1 E_m - \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{qN_f}{C_{ox}}}{S_1 E_{sat} - \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{qN_f}{C_{ox}}} \right] \quad (4)$$

식 (3)과 (4)의 E_m 및 ΔL 을 구하기 위하여는 hot electron이 산화층에 포획된 N_f 양을 구해야 하는데 이는 스트레스 후의 게이트 전류 I_g 를 측정하여 이론적인 계산식 (5)의 I_g 와 비교하므로 근사적인 값을 추정할 수 있다 [7].

$$I_g \approx 0.5 \frac{I_{sub} T_{ox}}{\lambda_r} \left(\frac{\lambda E_m}{\phi_b} \right)^2 P(E_{ox}) \exp\left(-\frac{\phi_b}{E_m \lambda} \right) \quad (5)$$

여기서 $P(E_{ox})$ 는 계면 아래 영역에서 hot electron이 redirecting 충돌을 한 후 더 이상 충돌이 없이 Si/SiO_2 계면까지 움직일 확률이고 λ_r 은 redirection 산란 평균자유행정이고 λ 는 hot electron의 산란 평균자유행정이다. ϕ_b 는 Si/SiO_2 영상력과 전자터널링을 고려한 Si/SiO_2 전위장벽 높이이다. 그런데 ΔL 은 스트레스를 가하기 전의 소자에서도 일정한 값을 갖게 되므로 스트레스 후의 ΔL 은 다음과 같이 쓸 수 있다.

$$\Delta L = \Delta L_0 + \Delta L_{II} \quad (6)$$

여기서 ΔL_0 는 스트레스를 가하기 전의 속도 포화 영역의 길이이며 ΔL_{II} 는 hot electron에 의한 유효 채널 길이의 감소분이 된다.

PMOSFET에서는 게이트 전류를 관측함으로써 소자의 노쇠화를 예견하고 있으므로 스트레스 방향과 측정 방향에 따라 게이트 전류를 측정하여 보았다. 그림 2에서 I_{g0} 는 스트레스를 가하지 않은 상태의 게이트 전류

이고, $FI_g - F$, $RI_g - F$ 는 순방향 스트레스 후에 순방향, 역방향 게이트 전류이고, $FI_g - R$, $RI_g - R$ 는 역방향 스트레스 후에 순방향, 역방향 게이트 전류를 나타낸다. 이때 스트레스 조건은 $V_{gs} = -1.3V$ 이며 $V_{ds} = -5.5V$ 로 하였고 각 방향 스트레스 시간은 20분으로 하였다.

그림 2에서 알 수 있듯이 $FI_g - F$ 는 I_{g0} 에 비하여 감소하였는데 이는 드레인 부근의 게이트 산화층에 전자가 포획되고, 이 N_f 에 의해 hole이 모여들므로 드레인이 확장되고 [9], 이 확장된 영역이 원래 드레인과의 농도 분포 차이로 LDD와 같은 역할을 하여 수평 전계가 감소됨에 따른 것이다. 이에 반하여, 순방향 스트레스 후에 역방향으로 측정된 $RI_g - F$ 는 I_{g0} 보다 증가하였는데 역방향 측정시에는 소오스쪽 도핑 농도에 영향을 받으므로 스트레스후에 확장된 드레인 영역은 단지 유효 채널 길이를 감소 시키는 역할을 하게되고, 이에 따른 수평 전계의 증가에 의한 것이다.

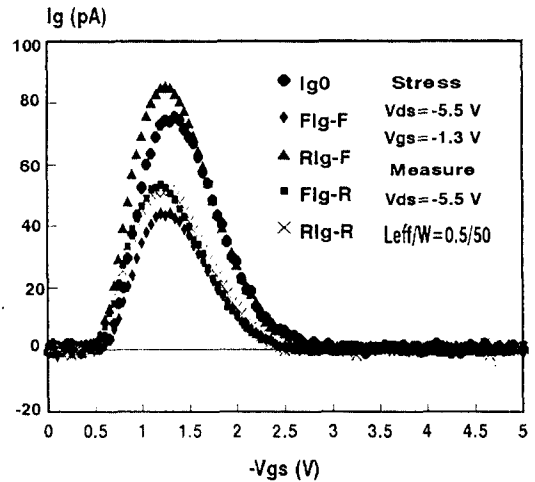


그림 2. 순방향-역방향 스트레스 후의 순방향, 역방향 게이트 전류

- I_{g0} : 초기 게이트 전류
- $FI_g - F$, $RI_g - F$: 순방향 스트레스 후의 순방향, 역방향 게이트 전류
- $FI_g - R$, $RI_g - R$: 역방향 스트레스 후의 순방향, 역방향 게이트 전류

Fig. 2. Forward & Reverse I_g after Forward-Reverse stress.

- I_{g0} : Initial gate current
- $FI_g - F$, $RI_g - F$: Forward & Reverse I_g after Forward stress
- $FI_g - R$, $RI_g - R$: Forward & Reverse I_g after Reverse stress

다시 역방향 스트레스 후에 순방향, 역방향 측정에서 FI_k-R 는 FI_k-F 에 비해 증가하였는데 이는 역방향 스트레스에 의해 소오스 부근의 게이트 산화층에 전자가 포획되고 이로 인해 hole이 모여들어 소오스가 확장됨에 의하여 유효 채널 길이가 감소되고, 이에 따른 수평전계의 증가에 의한 것으로 볼 수 있다. 마찬가지로 RI_k-R 는 RI_k-F 에 비하여 감소하였는데, 이 역시 소오스의 확장된 영역이 LDD와 같은 역할을 함에 의한 수평 전계의 감소에 따른 것이라고 볼 수 있다.

그림 3은 역방향 스트레스를 먼저 가한후 순방향 게이트 전류(FI_k-R), 역방향 게이트 전류(RI_k-R)를 측정하고, 다시 순방향 스트레스를 가한후 순방향 게이트 전류(FI_k-F), 역방향 게이트 전류(RI_k-F)를 측정한 그림이다. 스트레스 조건은 전과 같고, 그림 2에서 설명한 것과 마찬가지로 해석될 수 있다.

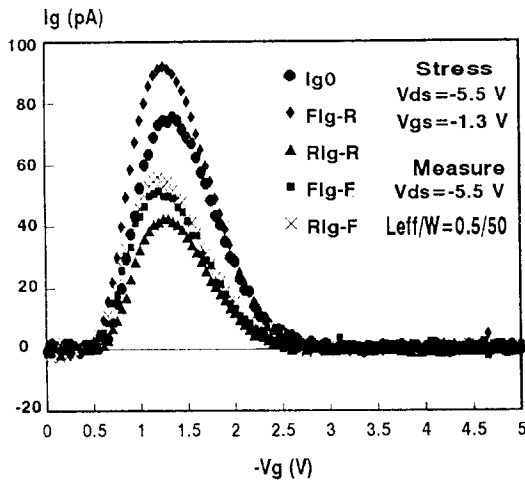


그림 3. 역방향-순방향 스트레스 후의 순방향, 역방향 게이트 전류
 I_{g0} : 초기 게이트 전류
 FI_k-R, RI_k-R : 역방향 스트레스 후의 순방향, 역방향 게이트 전류
 FI_k-F, RI_k-F : 순방향 스트레스 후의 순방향, 역방향 게이트 전류
 Fig. 3. Forward & Reverse I_k after Reverse-Forward stress.
 I_{g0} : Initial gate current
 FI_k-R, RI_k-R : Forward & Reverse I_k after Reverse stress
 FI_k-F, RI_k-F : Forward & Reverse I_k after Forward stress

결국 순방향, 역방향 스트레스에 의하여 드레인이나 소오스 부근의 게이트 산화층에 포획된 전자가 드레인,

소오스 영역을 확장 시키게 된다. 이는 측정 방향에 따라, 드레인 이나 소오스 부근의 채널 영역이 LDD구조화 됨에 따른 수평 전계의 감소, 또는 유효 채널 길이 감소로 인한 수평 전계의 증가가 우세하게 작용하기 때문으로 보여진다.

그림 4는 순방향 스트레스와 역방향 스트레스 후에 나타난 유효 채널 길이의 변화 $\Delta L_{HD}, \Delta L_{HS}$ 와 Si 기판에서의 전하 분포(Q_m)를 나타낸 그림이다. 기존에 발표된 논문에서 ΔL 을 구한 방법은 순방향 스트레스후에 증가된 I_k 로부터 드레인 부근의 게이트 산화층에 포획된 전자(N_t)를 fitting하여 수식 (4)에 의해 구하였다¹⁷⁾. 그러나, 역방향 스트레스후에는 소오스 부근의 게이트 산화층에 포획된 전자(N_t)에 의하여 수평 전계(E_m)가 감소 하고 I_k 가 감소하였으므로 감소된 I_k 에 의하여 E_m 를 fitting하고, 드레인 쪽 N_t 는 상수로 하여 수식 (4)에 의해 ΔL_{HS} 를 구하였다.

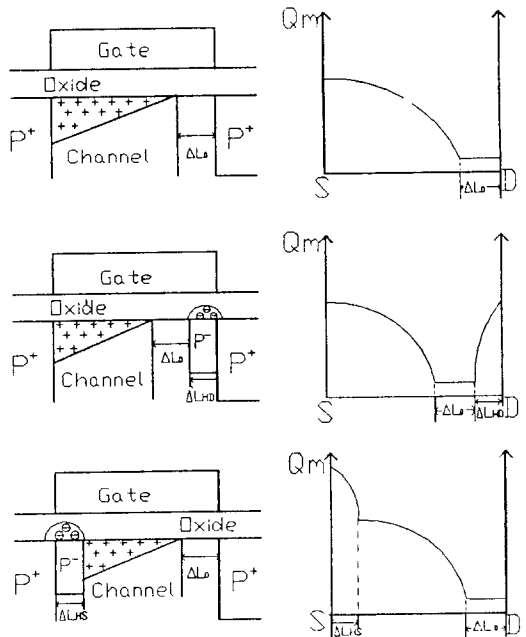


그림 4. 포획된 전자에 의한 유효 채널 짧음화의 도식도

Fig. 4. Schematic diagram of channel length shortening effect due to charge trapping.

III. 결과 및 고찰

본 연구에서 사용된 매몰 채널 PMOSFET은 n+ 다결정 게이트 표준 공정으로 제작되었다. 게이트 산화

층 두께는 150Å이고 소오스, 드레인 집합 깊이는 0.3 μm. 유효 채널 길이는 0.5μm이었다.

1. 스트레스 방향과 순서에 따른 노쇠화 변수들의 변화

그림 2, 3에서 순방향 스트레스에 의하여 생긴 드레인 부근의 게이트 산화층에 포획된 전자와 역방향 스트레스로 인한 소오스 부근의 게이트 산화층에 포획된 전자에 의한 I_g 의 크기가 다르게 되었으므로 스트레스 방향과 순서에 따른 노쇠화 변수들의 변화를 측정 하였다.

그림 5는 스트레스 시간에 대한 $\Delta I_d/I_d$, $\Delta V_t/V_t$, $\Delta L_H/L_{eff}$ 를 나타낸 것이다. 그림 5에서 F-R는 순방향 스트레스를 20분 가한 후 다시 역방향으로 스트레스를 20분 가한 것이고, R-F는 순서를 바꿔 먼저 역방향 스트레스를 20분 가한 후 순방향으로 스트레스를 20분 가한 것이다. 스트레스 조건은 $V_{ds} = -5.5V$ 이며, $V_{gs} = -1.3V$ 이고 유효 채널 길이는 0.5μm이다. V_t 는 $V_{ds} = -50mV$ 일때 $I_{ds} = W/L * 0.1\mu A$ 가 흐르는 지점의 게이트 전압으로 하였으며, 측정은 $V_{ds} = -1.5V$, $V_{gs} - V_t = -0.5$ 에서 행하여졌다.

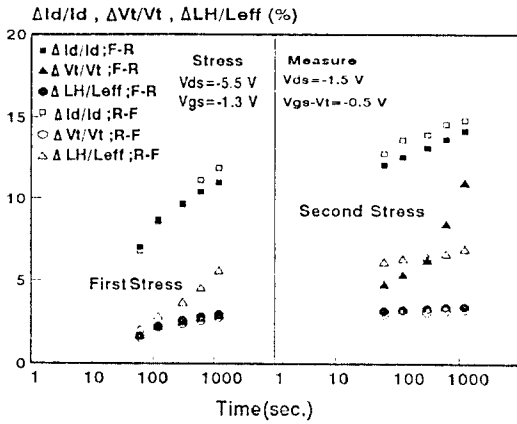


그림 5. 스트레스 시간에 따른 $\Delta I_d/I_d$, $\Delta V_t/V_t$, $\Delta L_H/L_{eff}$ versus the stress time.

그림 5에서 $\Delta I_d/I_d$ 와 $\Delta L_H/L_{eff}$ 는 스트레스 방향에 큰 변화가 없었으며, 항상 먼저 스트레스를 가했을 때가 이어진 반대 방향 스트레스를 가했을 때보다 시간에 대한 변화량이 큼을 알 수 있다. 이와는 달리 $\Delta V_t/V_t$ 는 스트레스 순서에 큰 상관없이 스트레스 방향에 따라 변화 폭이 다름을 알 수 있다. 즉, 순방향 스트레

스를 가해 드레인 부근의 게이트 산화층에 쌓인 N_t 보다 역방향 스트레스를 가해 소오스 부근의 게이트 산화층에 쌓인 N_t 에 의해 훨씬 더 시간에 대한 변화량이 큼을 알 수 있는데, 이는 기관에서 소오스와 드레인 사이의 반전층을 형성하는데 소오스 부근의 N_t 가 드레인 부근의 N_t 보다 영향을 많이 미침을 의미한다.

그림 6은 스트레스 방향과 순서에 따라 스트레스 시간에 따른 punchthrough 전압의 변화를 본 것이다. 그림에서 스트레스 조건은 $V_{ds} = -5.5V$, $V_{gs} = -0.8V$, $-1.3V$, $-1.6V$ 이고, punchthrough 전압 V_{pt} 는 게이트를 접지시키고 드레인에 전압을 주어 드레인 전류가 1 μA흐를 때의 드레인 전압으로 정의하였다.

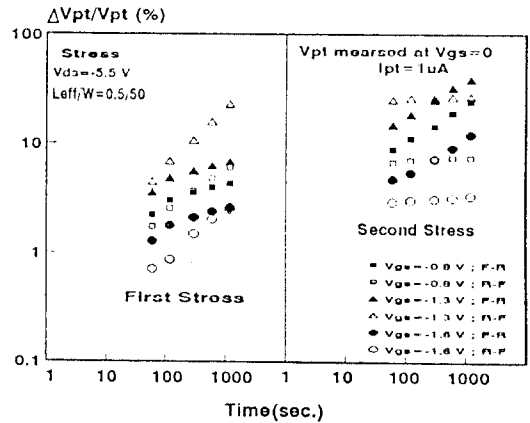


그림 6. 스트레스 시간에 따른 ΔV_{pt} 의 변화
Fig. 6. Variation of ΔV_{pt} with the stress time.

스트레스 시간에 따른 V_{pt} 의 변화는 그림 5의 V_t 변화와 마찬가지로 스트레스 순서에 상관없이 역방향 스트레스를 가했을 때가 순방향 스트레스를 가했을 때보다 변화가 더 심함을 알 수 있다. DIBL에 의한 punchthrough 현상은 드레인 쪽보다 소오스쪽의 전위 장벽에 영향을 많이 받으므로 역방향 스트레스에 의해 생긴 소오스 부근의 게이트 산화층에 쌓인 N_t 가 소오스쪽의 장벽을 낮추는 역할을 하게 되어 punchthrough 현상을 빨리 일어나게 하며 V_{pt} 에 영향을 많이 미치는 것이다. 그림 6의 $\log(\Delta V_{pt}/V_{pt})$ 와 $\log(T)$ 의 관계에서 순방향, 역방향 모두 직선으로 비례하므로 $\log(\Delta V_{pt}/V_{pt}) \propto \log(T)$ 이라 할 수 있고, 이는 $\Delta V_{pt} = AT^n$ 이라 한 참고 문헌^[9]의 결과와 일치한다. 일반적으로 V_{pt} 의 감소는 hot전자의 게이트 산화층 주입으로 인한 유효 채널 길이 감소에 의한 것이

므로 punchthrough 전압의 변화와 유효 채널 감소분 ΔL_H 의 관계를 그림 7에 나타내었다.

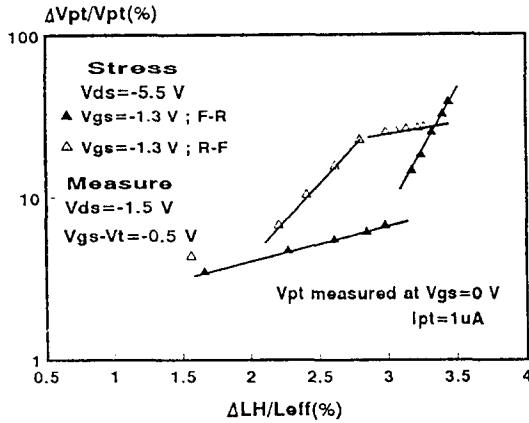


그림 7. ΔL_H 와 ΔV_{pt} 의 상관 관계
Fig. 7. Correlation between ΔL_H and ΔV_{pt} .

참고 문헌 [7,10]에서 ΔL_H 는 $m \log(1+T)$ 에 비례한다는 결과와 $\Delta V_{pt} = AT^n$ 의 결과로부터 $\Delta L_H \propto k \log \Delta V_{pt}$ 이며, 이는 그림 7에서도 알 수 있다. 여기서 m.A.n.a.k는 비례 상수이다.

2. $\Delta I_d / I_d$, $\Delta V_{pt} / V_{pt}$ 의 $\Delta L_H / L_{eff}$, $\Delta V_i / V_i$ 에 대한 상관 관계

그림 8은 $\Delta I_d / I_d$ 와 $\Delta L_H / L_{eff}$, $\Delta V_i / V_i$ 의 관계를 나타낸 것이다. 스트레스 조건은 $V_{ds} = -5.5V$, $V_{gs} = -1.6V$ 이며, 측정 조건은 $V_{ds} = -1.5V$, $V_{gs} - V_t = -0.5V$ 이다. 그림에서 ΔL_H 의 변화는 스트레스 방향에 상관 없이 드레인 전류의 변화량에 비례함을 알 수 있고(기울기가 5.067), ΔV_i 의 변화량은 순방향 스트레스 후에는 ΔL_H 의 변화량과 비슷한 기울기(5.07)를 가지며 비례하지만, 역방향 스트레스 후에는 보다 작은 기울기(0.788)를 가지며 변하는 것을 볼 수 있다. 이러한 현상은 역방향 스트레스로 인하여 소오스 부근의 게이트 산화층에 포획된 전자밀의 기판에 hole이 모임으로써 문턱 전압을 낮추는 TIBL (Trap Induced Barrier Lowering)에 의한 것으로 설명할 수 있다¹¹⁾. $\Delta L_H / L_{eff}$, $\Delta V_i / V_i$ 에 대한 드레인 전류의 변화량은 그림 8의 기울기와 같으므로 순방향 스트레스 후에는 차이가 미소하지만, 역방향 스트레스 후에는 그 차이가 현격하게 나타남을 알 수 있다. 그림 9는 $\Delta V_{pt} / V_{pt}$ 와 $\Delta L_H / L_{eff}$, $\Delta V_i / V_i$ 의 관계를 본 것이다. 그림에서 ΔV_i 의

변화는 스트레스 방향에 상관없이 punchthrough 전압의 변화량에 거의 일정한 기울기(약 0.3474)를 가지며 선형으로 비례함을 알 수 있고, ΔL_H 의 변화량은 순방향일때에는 그림 8의 경우와 마찬가지로 비교적 적은 기울기(0.4)를 가지며 비례하지만 역방향 스트레스 후에는 보다 큰 기울기(1.852)를 가지며 변하는 것을 알 수 있다. $\Delta L_H / L_{eff}$, $\Delta V_i / V_i$ 에 대한 punchthrough 전압의 변화량은 그림 9의 기울기와 같으므로 순방향 스트레스 후에는 차이가 미소하지만 역방향 스트레스 후에는 그 차이가 현격하게 나타남을 알 수 있다.

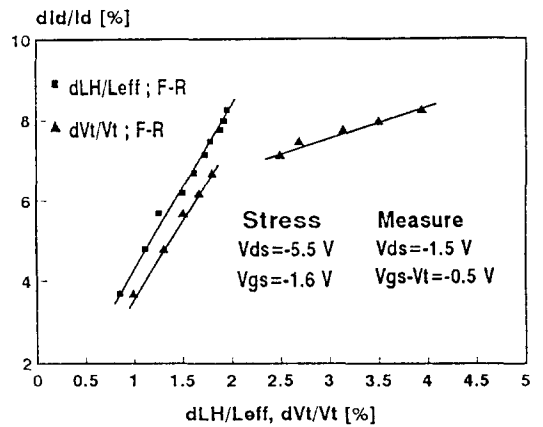


그림 8. ΔI_d 와 ΔL_H , ΔV_i 의 상관 관계
Fig. 8. Correlation between ΔL_H , ΔV_i and ΔI_d .

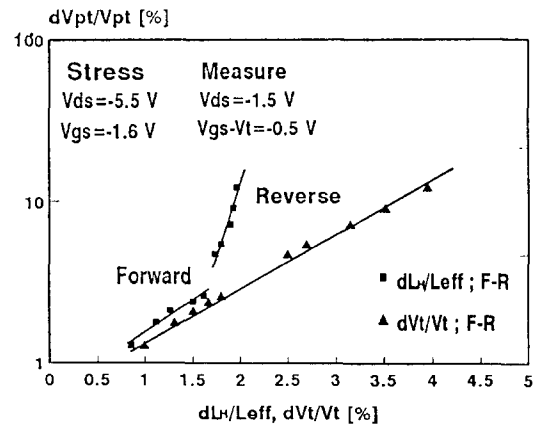


그림 9. ΔV_{pt} 와 ΔL_H , ΔV_i 의 상관 관계
Fig. 9. Correlation between ΔL_H , ΔV_i and ΔV_{pt}

마지막으로 그림 10은 I_g , I_{sub} 와 스트레스 후의 노

최화 변수들의 변화를 V_{gs} 에 대하여 본 것이다. 그림에서 각 변수들의 변화는 게이트 전류 곡선과 비슷한 모양을 가짐을 볼 수 있고, 게이트 전류가 최대일때 각 노쇠화 변수의 변화도 최대가 됨을 알 수 있다. 그리고 노쇠화 변수들 중에 punchthrough 전압의 변화가 제일 큼을 알 수 있으며, 따라서 PMOSFET의 노쇠화에 punchthrough전압의 변화가 가장 중요한 영향을 미침을 알 수 있다.

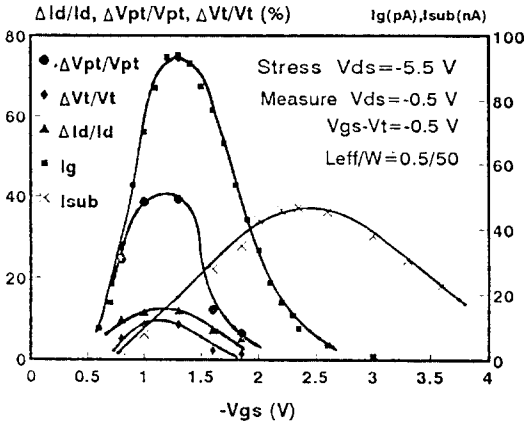


그림 10. 게이트 전압에 따른 노쇠화 변수들의 변화

Fig. 10. Variation of degradation parameters with gate voltage.

IV. 결 론

양방향 hot carrier 스트레스에서 스트레스 방향과 측정 방향에 따른 PMOSFET의 게이트 전류의 변화를 측정하였다. 스트레스 방향과 측정 방향에 따라 확장된 드레인이나 소오스 부근의 LDD화에 따른 E_m 의 감소가 우세한 영향을 미치는가, 또는 드레인이나 소오스 영역의 확장으로 인한 L_{eff} 의 감소에 따른 E_m 의 증가가 우세한 영향을 미치는가에 따라 게이트 전류가 감소 또는 증가함을 알 수 있었다. 또한 양방향 스트레스 후의 유효 채널 감소분은 $\Delta L_H = \Delta L_{HD} + \Delta L_{HS}$ 임을 알 수 있었다.

ΔL_H 와 ΔV_m 의 상관 관계는 $\Delta L_H \propto k \log \Delta V_m$ 이며 ΔI_d 와 ΔV_m 는 ΔL_H 와 ΔV_t 의 함수 관계가 있으며, 스트레스 방향에 따라 ΔV_t 와 ΔL_H 에 대한 ΔI_d , ΔV_m 의 변화가 차이가 있음을 알 수 있었다.

그리고 PMOSFET에서 게이트 전류가 최대일때 각 노쇠화 변수들의 변화도 최대가 되었으며, 노쇠화 변수

중 punchthrough전압의 변화가 PMOSFET의 노쇠화에 가장 심각한 영향을 미침을 알 수 있었다.

감사의 글

본 연구는 서울 대학교 반도체 공동 연구소의 교육부 반도체 분야 학술 연구 조성비 (과제 번호 : ISRC-94-E-5081)에 의해 수행되었습니다.

참 고 문 헌

- [1] E. Takeda and N. Suzuki, "An Empirical Model for Device Degradation due to Hot-Carrier Injection," IEEE Electron. Dev. Lett., vol. EDL-4, pp. 111-113, 1983.
- [2] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill, "Hot-Electron-Induced MOSFET Degradation Model, Monitor and improvement," IEEE Trans. Electron Devices, vol. ED-32, pp. 375-385, 1985.
- [3] C. T. Wang (Ed.), Hot Carrier Design Consideration for MOS Device and Circuits, New York: Van Nostrand Reinhold, 1992.
- [4] Y. Pan, "A Physical Model for The Hot-Carrier Induced Saturation Current Degradation of PMOSFET's," IEEE Trans. Electron Devices, vol. 41 pp. 84-89, 1994.
- [5] K. S. Yang, J. T. Park, and B. K. Kim, "The Lateral Electric Field Model for Substate and Gate Current of Stressed SC. PMOSFET," Jan. J. Appl. Phys. vol. 32, Part 1, No.18, pp. 429-433, 1993.
- [6] A. Schwerin, W. Hansch, and W. Weber, "The Relationship Between Oxide Change and Device Degradation : A Comparative Study of n- and p- channel MOSFET," IEEE Trans. Electron Devices, vol. ED-34, No. 12, pp. 2493-2500, 1987.
- [7] 홍 성택, 박 종태, "Hot Electron에 의하여 노

쇠화된 PMOSFET의 문턱 전압 과 유효 채널 길이 모델링." 전자 공학회지, 제 31권, A편, 제 8호, pp. 72-79, 1994.

[8] P. K. Ko : Advanced MOS Device Physics, eds. N. G. Einspruch and G. S. Gildenblat (Academic Press, New York, 1989), P. 28

[9] Mitsumasa Koyanagi, Alan G. Lewis, Russel A. Martin, Tiao-Yuan Huang, John Y. Chen, " Hot-Electron-Induced Punchthrough (HEIP) Effect in Submicrometer PMOSFET's" IEEE Trans. Electron Devices, vol. ED-34, pp 839-844, 1987.

[10] Reinout Woltjer, Akemi Hamada, and Eiji Takeda, "Time Dependence of p-MOSFET Hot-Carrier Degradation Measured and Interpreted Consistently Over Ten Orders of Magnitude" IEEE Trans. Electron Devices, vol. 40, pp 392-401, 1993.

[11] S. Shimizu, M. Tanizawa, S. Kusumoki, M. Inuishi and N. Tsubouchi "A New PMOSFET's Hot-Carrier Degradation model for Bi-Directional Operation", Extended Abstracts of Conf. Solid State Devices and Materiers, 1991, pp. 231-233.

저 자 소 개



金 容 鐸 (準會員)
 1968년 11월 1일생. 1994년 2월 인천 대학교 전자 공학과 (공학사). 1995년 현재 동 대학원 전자 공학과 석사 과정 재학중. 주 관심 분야는 Deep submicrometer 소자 특성 모델링 및

Reliability 등



金 德 起 (準會員)
 1968년 2월 18일생. 1994년 2월 인천 대학교 전자 공학과 (공학사). 1995년 현재 동 대학원 전자 공학과 석사 과정 재학중. 주 관심 분야는 LDD MOSFET 소자 특성 모델링 및 Reliability 등

劉 宗 根 (正會員) 제 32권 A편 1호 참조
 현재 인천 대학교 전자 공학과 교수

朴 鍾 泰 (正會員) 제 27권 제 7호 참조
 현재 인천 대학교 전자 공학과 교수

朴 炳 國 (正會員) 제 31권 A편 11호 참조
 현재 서울 대학교 전자 공학과 교수

李 鍾 德 (正會員) 제 29권 제 7호 참조
 현재 서울 대학교 전자 공학과 교수