

論文95-32A-6-6

증착된 비정질 실리콘층을 통한 As-Preamorphization 방법으로 형성된 소오스/드레인을 갖는 deep submicron PMOSFET의 제작

(Fabrication of deep submicron PMOSFET with the source/drain formed by the Method of As-Preamorphization through the Predeposited Amorphous Si Layer)

權 相 直 * , 金 如 煥 ** , 申 永 和 * , 金 鍾 煥 *** , 李 鐘 德 ***

(Sang Jik Kwon, Yeo Hwan Kim, Young Wha Sin, Jong Joon Kim,
and Jong Duk Lee)

요 약

소오스/드레인의 얇은 접합을 선형적으로 scaling down시키는데 있어서 주된 제한적 요소로서 boron의 channeling 효과와 silicidation 수행시 발생하는 Si 소모현상이 있다. 본 연구에서는 이와같은 문제들을 동시에 해결하고자 미리 증착된 비정질 실리콘층을 통해 As-Preamorphization시키는 방법을 이용하였다. 미리 증착된 비정질 실리콘층은 접합깊이를 거의 증착된 두께만큼 줄일 수 있었고 또한 Ti silicidation 동안에 Si 층의 소모원으로서 유효하게 이용될 수 있었다. 이 방법을 실제 PMOSFET 소자제작에 이용하기 위해서 SES (Selectively Etched Si) 기술을 개발하였다.

Abstract

Major limiting factors in the linear scaling down of the shallow source/drain junction are the boron channeling effect and the Si consumption phenomenon during silicidation. We can solve these problems by As preamorphization of the predeposited amorphous Si layer. The predeposited amorphous Si layer made the junction depth decrease to nearly the thickness value of the layer and was effectively utilized as the consumed Si source during Ti silicidation. This method was applied to the actual fabrication of PMOSFET through SES (selectively etched Si) technology.

I. 서 론

ULSI의 성공적 개발을 위해서는 deep submicron

소자제조를 위한 기술확보가 필요하며 이들 기술중의 중요한 것들로서 우선, 초미세 형상기술이 필요하다. 또한 초미세 구조의 트랜지스터가 안정된 전기적 특성

* 正會員, 暎園大學校 電子工學科
(Dept. of Elec. Eng., Kyungwon Univ.)

** 正會員, 關東大學校 電子工學科
(Dept. of Elce. Eng., Kwandong Univ.)

*** 正會員, 서울大學校 半導體共同研究所
(ISRC, Seoul Nat'l Univ.)

接受日字: 1994年10月15日, 수정완료일: 1995年5月26日

을 갖기 위해서는 거기에 맞는 여러가지의 제조공정 기술이 뒤따라야 한다. 특히, 'short channel 효과' 및 'hot carrier 효과'를 줄이기 위해 극히 얇은 깊이의 접합 형성기술 및 얇은 깊이에의 금속선 접착기술(특히 silicide 형성기술)이 매우 중요하게 요구된다.^[13]

CMOS 트랜지스터의 얇은 접합으로서 $p'-n$ 접합 및 $n'-p$ 접합이 있다. 이 중에서 $p'-n$ 의 극히 얇은 접합은 붕소(B)의 이온주입시 발생하는 채널링(channeling) 현상으로 인해 그 형성이 매우 어렵다. 뿐만 아니라 극히 얇은 접합에의 silicide막 형성은 접합에서의 누설전류를 유발할 수 있으므로 p-n 접합 깊이를 극히 얇게 하는데 제한적 요인이 된다. 그런데 sub-half micron 이하의 소자제조를 위해서는 약 0.1 μm 이하의 접합깊이 및 이 접합에의 silicide막 형성이 필수적으로 요구된다.

$p'-n$ 접합깊이를 0.1 μm 이하로 줄이기 위해서는 B' 이온주입 에너지를 낮추거나 어닐링 온도를 낮추는 것 외에도 다른 방법이 필요하다. 그런데, B' 이온주입 에너지를 낮추는 데는 몇 가지 문제점이 있는데 첫째, 5keV 이하의 이온주입기에 대한 상업성 여부가 문제며 둘째, 매우 낮은 에너지의 이온주입이 가능하다 하더라도 이온주입시 Si이 sputtering될 가능성이 있고 셋째, 0.1 μm 이하의 $p'-n$ 접합형성 공정은 거의 diffusion에 의해 지배되기 때문에 극히 낮은 에너지가 그렇게 실효성이 없다는 것 등이다. 극히 얇은 $p'-n$ 접합을 형성하기 위해서 지금까지 여러가지 방법들이 연구되어왔다^[14-12].

본 실험에 앞서 수행된 지금까지의 연구결과, $p'-n$ 접합형성시 발생하는 boron의 채널링을 방지하기 위해 As의 이온주입이 유효하게 사용될 수 있는 것으로 나타났다^[13,14]. 즉, 10keV, $1.5 \times 10^{15} \text{cm}^{-2}$ 의 도우즈로 주입되는 B' 이온에 대해 As' 이온을 $2 \times 10^{14} \text{cm}^{-2}$ 의 도우즈, 60keV의 에너지로 미리 주입해 줌으로써 Si층의 preamorphization을 유도하며 이로인해 후속으로 이온주입되는 B' 이온의 채널링을 완전히 억제시킬 수 있는 것으로 나타났다.

그런데 0.1 μm 이하의 접합깊이를 힘들게 만들었다 해도 실제 소자에 적용하는데 따르는 다른 중요한 문제점이 있다. 즉 매우 얇은 접합이 갖는 높은 면저항 값을 낮추기 위해 silicide 막의 적용이 요구되는데, silicidation 시 거의 silicide 막의 두께만큼 Si층의 소모현상이 발생하며 이것은 0.1 μm 이하의 접합깊이에 대해 누설전류를 크게 발생시킬 가능성이 있다. 접합깊이와 silicide/Si 계면과의 거리가 0.05 μm 이내로 되면 터널링에 의한 누설전류가 발생하는 것으로 알려져 있다.^[15]

본 연구에서는 위와같이 극히 얇은 접합 형성과 얇은 접합에의 silicide 막 적용시 따르는 문제점을 동시에 해결하기 위한 방법으로 B' 이온주입 에너지를 10keV로 낮추는 것 외에 비정질 Si층을 미리 증착시키고 이 층을 통한 As' 이온주입에 의해 아래의 Si층을 preamorphization시키는 방법을 시도하였다. 따라서 증착된 Si층의 두께만큼 접합깊이를 줄일 수 있을 것으로 판단되며 이때 증착된 비정질 Si층을 이용해 silicidation 공정을 수행함으로써 기판 Si층의 소모현상을 피할 수 있게된다.

이 방법을 실제 소자에 응용 가능토록 하기 위해서는 증착된 비정질 Si층을 self-align 방식으로 source 및 drain 영역상에 남기는 것이 중요하며 이를 위해 selectively etched Si (SES) 방법을 독자 개발하였다.

II. 실험 내용

지금까지의 실험 내용에 의하면 As' 이온주입시 $2 \times 10^{14} \text{cm}^{-2}$ 의 도우즈량으로 Si 층을 충분히 비정질화시켜 10keV로 이온주입되는 B' 이온의 채널링 현상을 막을 수 있다는 것이 확인되었다.^[11,2]

본 실험에서는 주어진 B' 이온주입 조건에 대해서 $p'-n$ 의 접합깊이를 보다 얇게 하고 boron peak 농도 부분의 위치를 Si 표면에 두기 위하여 As-Preamorphization 전에 60nm 두께의 비정질 실리콘층을 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 증착시켰다. 그런다음 증착된 비정질 실리콘층 아래의 결정 실리콘 표면층을 비정질화시키기 위해 As' 이온주입을 수행하였다. 이때 As-Preamorphization 도우즈는 $2 \times 10^{14} \text{cm}^{-2}$ 으로 하였으며 에너지는 boron의 채널링을 방지하기에 적당한 두께를 얻기위해 60keV 에서부터 75keV 까지 5keV의 간격으로 변화시켰다. 연속해서 B' 이온주입이 진행되었으며 도우즈는 $1.5 \times 10^{15} \text{cm}^{-2}$ 로 하고 에너지는 10keV로 하였다. 이온주입된 시편들의 어닐링은 RTA로 하였고 온도를 950, 1000, 1050 $^{\circ}\text{C}$ 로 변화시켰으며 시간은 10초로 고정시켰다. 또한 어닐링 동안 Si interstitials에 의해 B의 확산이 증대되는 현상을 줄이기 위해 550 $^{\circ}\text{C}$ 에서 30분간 pre-annealing을 수행시키는 실험도 추가하였다.

얇은 접합일 경우 일반적으로 면저항 값이 높아진다. 높은 면저항 값을 낮추기 위해서는 silicidation 공정이 요구되는데 본 실험에서는 Ti silicidation 공정을 적용하였다. 그런데 silicidation 공정 동안에는 형성되는 silicide 막의 두께만큼 거의 실리콘층의 소

모가 발생한다. 이로 인해 silicide/Si 계면과 $p'-n$ 접합과의 거리가 짧아지게 되고 따라서 그 거리가 40nm 근처로 가까워졌을 경우 누설전류가 급격하게 발생한다. 본 연구에서는 이러한 현상을 피하기 위해 미리 증착된 비정질 실리콘층을 제거하지 않고 silicidation 동안에 발생하는 실리콘층의 소모원으로서 그대로 이용할 수 있었다.

위의 방법을 MOSFET 소자 제작에 실질적으로 적용할 수 있도록 하기 위해서는 증착된 비정질 실리콘층을 source/drain 상에 self-aligned 방식으로 남길 수 있어야 한다. 이를 위해 새로이 개발된 방법이 SES (Selectively Etched Si) 기술이다.

이 구조위에 Ti를 sputtering 방식으로 50nm 가량 증착시켰다. 증착조건은 200W에서 3분간으로 하였다. Ti silicidation 공정은 2단계의 alloy 공정에 의해 이루어지는데 이것은 700°C 이상의 온도로 바로 alloy시 Ti과 SiO_2 산화막과의 반응에 의해 gate와 source/drain간의 shortage가 발생할 가능성이 있기 때문이다. 따라서 700°C 이하의 온도에서 1차 alloy를 수행한 뒤 oxide막 위의 Ti 및 반응되지않은 Ti 금속을 선택적으로 제거한 다음, source/drain 영역 상에서 반응한 Ti_xSi_y 의 silicide 막에 대해 800°C 이상으로 2차 alloy를 수행함으로써 가장 낮은 비저항 값을 가지며 안정된 $TiSi_2$ 의 silicide막을 얻을 수 있다.

단위공정 결과에서 500Å 정도로 증착된 Ti 금속막의 silicidation을 위한 적정 alloy 조건은 1차 alloy로서 650°C 에서 30초 였다. 1차 alloy 후 field oxide 위에 반응하지않고 남은 Ti를 선택적으로 제거하기 위해 $NH_4OH : H_2O_2 : D.I. Water = 1 : 1 : 5$ 의 용액속에서 120초간 식각하였으며 이때 반응온도는 상온으로 하였다. 2차 alloy 조건은 850°C 에서 20초 정도가 적당함을 알 수 있었다. 이때의 silicide막 두께를 alpha-step으로 측정한 결과 약 800Å 정도였으며 이 두께에 의해 환산된 silicide 막의 비저항 값은 약 $45\mu\Omega\text{-cm}$ 정도이다.

위의 방법들을 이용해 게이트 길이가 0.3 μm 인 PMOSFET를 제작하였다. 이 MOSFET의 제작시 photolithography 공정은 대부분 stepper를 사용하고 게이트 정의시에만 direct e-beam을 이용하는 'mix-and-match' 방법을 적용하였다.

III. 실험 결과 및 토론

그림 1은 위의 방법을 사용해서 제조된 시편들에 있어서 이온주입 직후의 borons에 대한 SIMS (Secondary Ion Mass Spectrometry) 깊이분포들

이다.

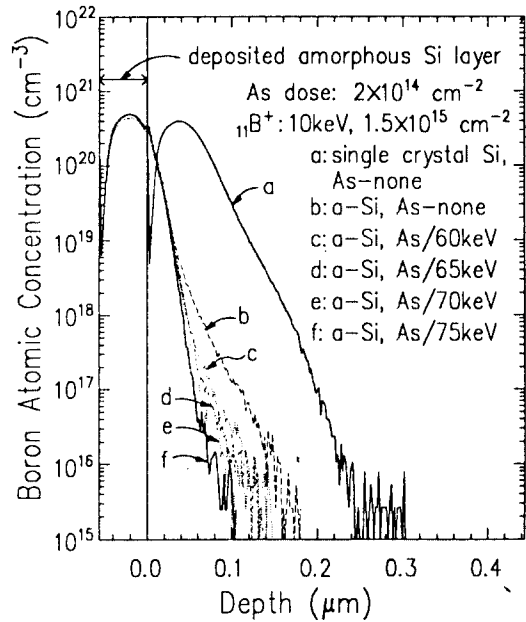


그림 1. 여러 에너지로 As-Preamorphize된 시편들에 있어서 이온주입 직후의 borons에 대한 SIMS 깊이분포. 분포 (a)를 제외하고는 As-Preamorphization 전에 60nm의 비정질 실리콘이 증착되었다. As-Preamorphization 도우르는 모두 $2 \times 10^{14} \text{ cm}^{-2}$ 이었다.

Fig. 1. Depth profiles of the as-implanted boron atoms subjected to various As-Preamorphization energies. The samples are predeposited with a-Si layer prior to As-Preamorphization except (a). As-Preamorphization dose was $2 \times 10^{14} \text{ cm}^{-2}$.

그림에서 볼 수 있듯이 증착된 비정질 실리콘층을 통해 As-Preamorphization을 추가시킨 경우(분포 c - f)가 As-Preamorphization을 추가시키지 않고 비정질 실리콘층의 증착만을 사용한 시편의 경우(분포 b) 보다 boron channeling이 훨씬 억제됨을 볼 수 있다. 또한 channeling의 정도는 As-Preamorphization 에너지를 증가시킴에 따라 점점 줄어들며 As의 에너지 75keV인 경우는 channeling이 완전히 사라졌음을 볼 수 있다. 이것은 As의 에너지가 증가됨에 따라 증착된 비정질 실리콘층 아래의 결정 실리콘층의 비정질화가 점점 더 두꺼워지기 때문이다. 분포 b의 경우에서와 같이 As-Preamorphization을 적용하지 않은 경우는 증착된 비정질 실리콘 내에서는

channeling이 발생하지 않지만 이 비정질층을 통과한 boron들은 다시 channeling을 하게된다. 따라서 이 경우 boron peak 위치의 tail 중간 영역 부터는 channeling이 크게 발생함을 볼 수 있다. 비교를 위해, 단지 결정 실리콘층만을 통해 동일 조건으로 주입된 borons에 대한 분포도 나타나 있는데(분포 a) boron 농도 peak 위치에서 부터 channeling이 심하게 발생함을 볼 수 있다. As-Preamorphization 에너지가 75keV인 경우 이온주입 직후의 borons에 의한 유효 접합 깊이는 기준 농도 $1 \times 10^{17} \text{cm}^{-3}$ 에 대해 약 $0.05 \mu\text{m}$ 이며 이것은, 단지 결정 실리콘층을 통해 이온주입 시킨 경우의 $0.2 \mu\text{m}$ 보다 훨씬 작음을 볼 수 있다.

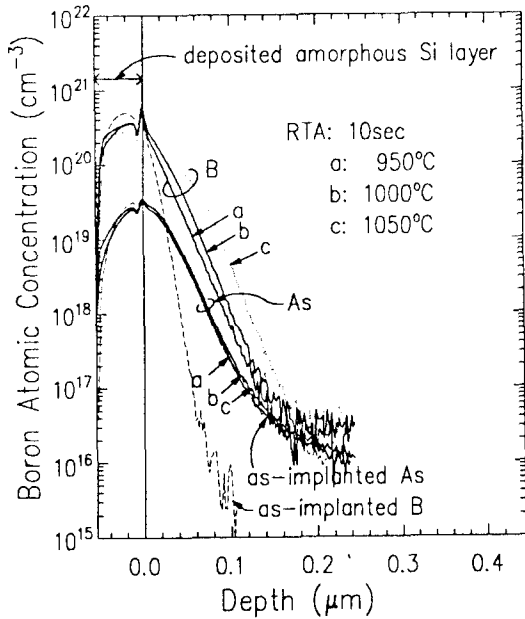


그림 2. As/75keV/ $2 \times 10^{14} \text{cm}^{-2}$ 로 preamorphize 된 시편들에 있어서, RTA 온도변화에 따른 borons의 SIMS 깊이분포

Fig. 2. Depth profiles of the boron atoms with RTA temperature in the samples preamorphized with As/75keV/ $2 \times 10^{14} \text{cm}^{-2}$.

그림 2는 As/75keV/ $2 \times 10^{14} \text{cm}^{-2}$ 로 preamorphize된 시편들을 RTA로 어닐링시 어닐링 온도 변화에 따른 boron 및 arsenic의 농도분포들을 보여주는 것이다. 이때 RTA 시간은 N_2 분위기 하에서 10초로 하였다. 모든 경우에 있어서 As 분포가 B 분포에 포함됨을 볼 수 있으며 이것은 이온주입된 As 원자들이 접합 특성에 영향을 주지않음을 의미한다. 모든 RTA

온도에 대해 접합 깊이가 $0.13 \mu\text{m}$ 에서부터 $0.16 \mu\text{m}$ 로 변화되었는데 특히 1050°C 의 어닐링 온도일 경우 확산 증대효과가 심하게 발생하는 것으로 나타났다.

As의 이온주입에 의해 손상된 Si층으로 인해 야기되는 boron 확산 현상을 규명하기 위해 RTA 전에 낮은 온도의 furnace에서 열처리하는 공정실험을 병행하였다. 즉, 비정질화된 Si층은 550°C 에서 30분간 열처리해 줌으로써 결정실리콘층으로 재결정화되는데 이 현상을 SPD (Solid Phase Epitaxy)라 한다. 이것은 고온에서의 RTA 동안 Si 결함(특히 Si interstitials)들로 인한 확산증대 현상을 막아주는 것으로 알려져 있다¹¹⁾.

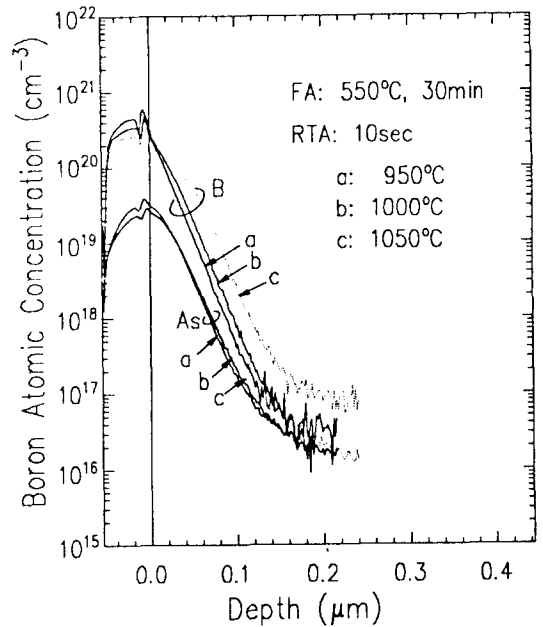


그림 3. As/ $75 \text{keV} / 2 \times 10^{14} \text{cm}^{-2}$ 로 preamorphize 된 시편들에 있어서, RTA 온도변화에 따른 borons의 SIMS 깊이분포. 모든 시편들은 RTA 전에 550°C 의 furnace에서 30분간 열처리 되었다

Fig. 3. Depth profiles of the boron atoms with RTA temperature in the samples preamorphized with AS/75keV/ $2 \times 10^{14} \text{cm}^{-2}$. All samples were preannealed at 550°C for 30min prior to RTA.

그림 3은 이와같이 RTA 전에 550°C 의 furnace에서 30분간 SPE 과정을 수행한 경우의 boron SIMS 분포를 보여주고 있는데 그림 2의 SPE 과정을 수행하지 않은 경우와 거의 비슷한 깊이분포를 나타내었다. 따라서 As-Preamorphization으로 인해 손상받은 Si

층에 의해 확산증대 현상이 발생한 것으로 보기는 어렵다.

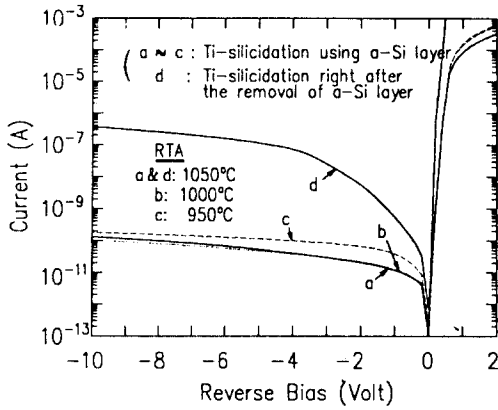


그림 4. 미리 증착된 비정질 실리콘층을 Ti silicidation시 Si층의 소모원으로서 이용한 경우의 $p-n$ diode들에 대한 I-V 특성곡선(a-c). Ti silicidation 전에 비정질 실리콘층을 제거시킨 경우의 I-V 특성곡선도 나타나 있다(d)

Fig. 4. I-V leakage characteristics of the $p-n$ diodes using the predeposited a-Si layer as the consumed Si source during Ti silicidation(a-c). The I-V characteristics of that after removal of the a-Si layer is shown in (d).

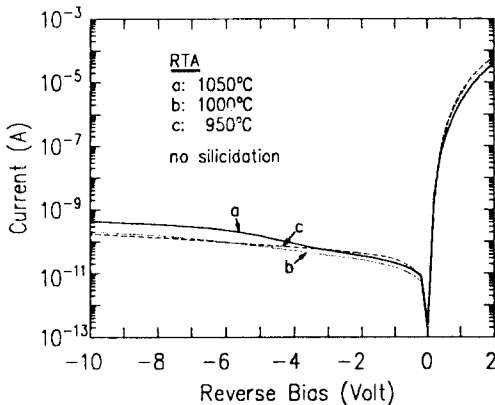


그림 5. Ti silicidation 하지않은 $p-n$ diode들에 대한 I-V 특성곡선(a-c).

Fig. 5. I-V leakage characteristics of the $p-n$ diodes without Ti silicidation.

그림 4는 미리 증착된 비정질 실리콘층을 다이오우드 패턴의 active 영역상에만 남기고 Ti silicidation을 수행했을 경우 I-V 특성을 보여주는 것이다. 즉 Ti

silicidation 동안에 발생하는 실리콘 소모원으로서 증착된 비정질 실리콘을 이용하는 것이다.

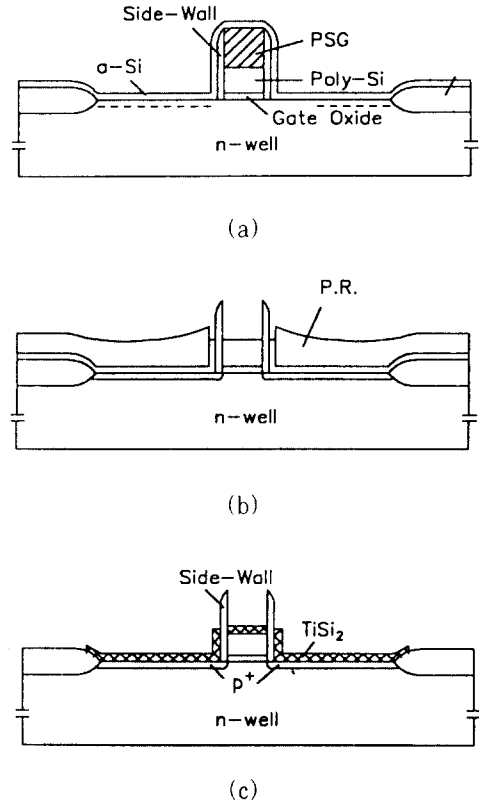
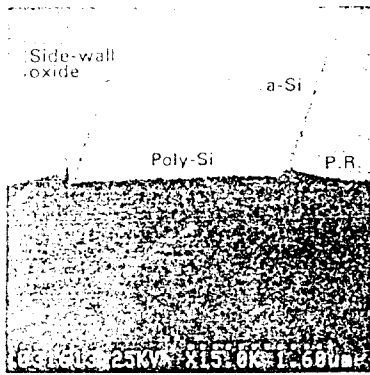


그림 6. SES 기법에 관한 공정 schematics. (a) PSG deposition, gate patterning, sidewall 형성, 비정질 실리콘층의 증착, 이온주입, (b) photoresist coating 및 etch-back, 비정질 실리콘층의 etch-back, 및 (c) Ti silicidation

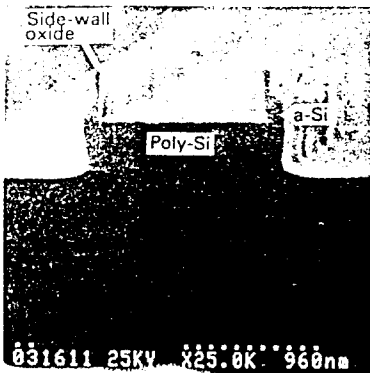
Fig. 6. Process schematics for the SES technology: (a) PSG deposition, gate patterning, sidewall formation, a-Si deposition, implantation. (b) PR coating and etch-back, a-Si etching, and (c) Ti silicidation.

Silicidation 시의 alloy 조건은 1차로 650°C에서 30초간, 2차로 800°C에서 20초간 수행하였다. 그림에서의 각각은 silicidation 전에 As-Preamorphization 에너지를 달리하였거나 비정질 실리콘층을 완전히 제거시킨 경우의 결과들을 같이 나타내었다. 그림에서 보듯이 As-Preamorphization 에너지가 65keV인 경우(curve b)에 비해 75keV인 경우(curve c)의 역방향 누설전류가 더 높게 나타났으며 특히 silicid-

ation 전에 비정질 실리콘층을 제거시킨 경우(curve d)는 누설전류가 급격히 증가하는 것으로 나타났다. 곡선 'a'로 부터 곡선 'd'로 감에따라 누설전류가 점점 증가하는 것은 silicide/Si 계면과 $p^+ - n$ 접합 위 치와의 거리가 더욱가까와 지기 때문이다.



(a)



(b)

그림 7. SES 공정을 이용해 제작된 게이트 구조의 SEM 단면 사진. (a) photoresist etch-back, 비정질 실리콘층의 etch-back 및 PSG 제거후, (b) photoresist 전면 제거 후
Fig. 7. The SEM cross-sectional views of the gate structure fabricated with the SES process. (a) after the etch-back of the photoresist and PSG removal, and (b) after the photoresist removal.

그림 5에서와 같이 silicidation 하기전의 누설전류는 모든 경우에 대해 거의 같은 order 정도로 발생하였다. 이들 결과로 부터 비정질 실리콘층은 silicidation 시 발생하는 실리콘층의 소모원으로서 효과적으로 이용될 수 있음을 알 수 있다.

위의 방법들을 실제의 PMOSFET 소자제조에 이용

할 수 있도록 하기 위한 SES 공정기법의 schematics가 그림 6에 나타나 있다. 공정과정에서 sidewall oxide막은 APCVD (Atmospheric Pressure Chemical Vapor Deposition) 방법을 이용하였으나 HTO (High Temperature Oxide)나 TEOS (Tetraethylorthosilicate)와 같은 보다 양질의 산화막을 이용한다면 공정을 더욱 용이하게 처리할 수 있을 것으로 기대된다. 이와같은 방법을 통해 진행된 경우의 게이트 구조에 대한 SEM (Secondary Electron Microscopy) 단면 사진이 그림 7에 나타나 있다. 그림 7(a)는 photoresist를 coating 처리한 다음 RIE로 적정 두께만큼 etch-back 하고나서 게이트 상에 드러난 비정질 실리콘층 및 PSG 층을 제거한 후의 단면사진이고 그림 7(b)는 photoresist를 전면 제거한 후의 단면사진이다.

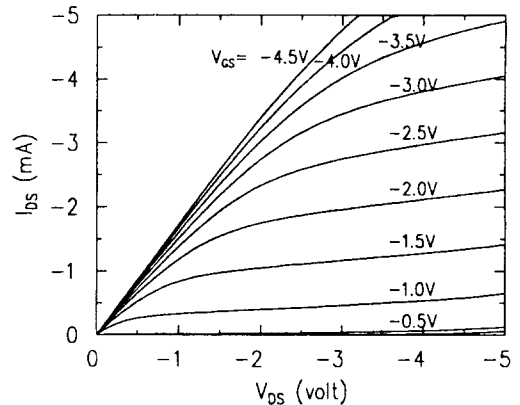


그림 8. SES 공정기법을 이용하여 제작된 PMOSFET의 I-V 특성곡선. 게이트 길이와 폭은 각각 0.3 μm 와 20 μm 였다
Fig. 8. I-V characteristics of the PMOSFET fabricated with SES technology. W/L was 20/0.3 μm .

위의 방법을 이용해 게이트 길이가 0.3 μm 이고 게이트 폭이 20 μm 인 PMOSFET를 제작하였으며 이 소자에 대한 I-V 특성곡선이 그림 8에 나타나 있다. 드레인 전압 5V 까지도 short channel 효과가 거의 없는 안정적 특성이 얻어졌으며, 특성 결과로 부터 위의 방법을 MOSFET 소자제조에 성공적으로 적용할 수 있다는 결론을 얻을 수 있었다.

IV. 결 론

미리 증착된 비정질 실리콘층을 통해 As-Preamorphization 방법을 추가함으로써 후속으로 이온주입되

는 B 이온의 channeling 현상을 방지할 수 있었다. 50nm의 비정질 실리콘층을 통해 As^+ 이온을 75keV의 에너지로 $2 \times 10^{14} cm^{-2}$ 만큼 주입시킴으로써 후속으로 주입되는 10keV의 B^+ 이온에 대해 channeling을 완전히 억제시킬 수 있었다. 또한 증착된 비정질 실리콘층을 소오스/드레인 상에만 선택적으로 남김으로써 Ti silicidation 시 발생하는 실리콘층의 소모원으로서 효과적으로 이용할 수 있었다.

SES 공정기법을 이용해 이 방법들을 PMOSFET 소자제작에 실질적으로 적용할 수 있었으며 0.3 μ m의 게이트 길이를 갖는 PMOSFET를 성공적으로 제작하였다.

감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체 분야 학술연구 조성비(과제번호: ISRC 94-E-1011)에 의해 수행되었습니다.

참 고 문 헌

- [1] B.Eitan and D.Frohman-Bentchkowsky, "Surface Conduction in Short-Channel MOS Devices as a Limitation to VLSI Scaling," IEEE Trans. Electron Devices, vol. ED-29, no.2, p.254, 1982.
- [2] J.Zhu, R.A.martin, and J.Y.Chen, "Punchthrough Current for Submicrometer MOSFET's in CMOS VLSI," IEEE Trans. Electron Devices, vol.35, no.2, p.145, 1988.
- [3] H. Mikoshiba, T. Horiuchi, and K. Hamano, "Comparison of Drain Structures in n-Channel MOSFET's," IEEE Trans. Electron Dev., Vol. ED-33, No. 1, pp.140-144, Jan. 1986.
- [4] H.Shibata, Y.Suizu, S.Samata, T.Matsuno, and K.Hashimoto, "High Performance Half-Micron PMOSFETs with 0.1 μ m Shallow p^+n Junction Utilizing Selective Silicon Growth and Rapid Thermal Annealing," IEDM-87, p.590, 1987.
- [5] K.H.Weiner and T.W.Sigmon, "Thin-Base Bipolar Transistor Fabrication Using Gas Immersion Laser Doping," IEEE Electron Device Lett., vol.10, no.6, p.260, 1989.
- [6] T.Yamazaki, S.Watanabe, T.Sugii, and T.Ito, "Ultra-Shallow p^+ Junction Formed by Photo-Enhanced Low-Temperature Epitaxy," IEDM-87, p.586, 1987.
- [7] E.Ling, P.D.Magurie, H.S.Gamble, and B.M.Armstrong, "Very-Shallow Low-Resistivity p^+n Junction for CMOS Technology," IEEE Electron Device Lett., vol. EDL-8, no.3, p.96, 1987.
- [8] C.M.Osburn, "Formation of Silicided, Ultra-Shallow Junction Using Low Thermal Budget Processing," *J.Electronic Materials*, vol.19, no.1 p.67, 1990.
- [9] M.Delfino, D.K.Sadana, and A.E. Morgan, "Shallow Junction Formation by Preamorphization with Tin Implantation," Appl. Phys., Lett., vol.49, no.10, p.575, 1986.
- [10] B.Y.Tsaur and C.H.Anderson, "Dual Ion Implantation Technique for Formation of Shallow p^+/n Junction in Silicon," *J. Appl. Phys.*, vol.54, no.11, p.6336, 1983.
- [11] M.C.Ozturk, J.J.Wortman, and C.Lee, "Optimization of the Germanium Preamorphization Condition for Shallow-Junction Formation," IEEE Trans. Electron Devices, vol.35, no.5, p.659, 1988.
- [12] R. B. Fair, "Low-Thermal Budget Process Modeling with the PREDICT Computer Program," IEEE Trans. Electron Dev., Vol. 35, No. 3, pp. 285-293, 1988.
- [13] S. J. Kwon and J. D. Lee, "Shallow p^+n Junction Formation by the Optimization of As^+ -Preamorphization Conditions," *J. Electrochem. Soc.*, vol.138, no.3, pp.867-870, March 1991.
- [14] S. J. Kwon, H. J. Kim, and J. D. Lee, " As^+ -Preamorphization Method for Shallow p^+n Junction Formation," *Jpn. J. Appl. Phys.*, vol.29, no.12,

pp.L2326-2328, Dec. 1990.
 [15] G.A.M.Hurkx, H.C.deGraff, W.J.Kloosterman, and M.P.G. Knuvers, "A New Analytical Diode Model Including Tun-

neling and Avalanche Breakdown", IEEE Trans. on Electron Devices, Vol.39, No.9, pp.2090-2098, Sept. 1992.

저 자 소 개



權相直(正會員)

1982년 경북대학교 공과대학 전자공학과(공학사). 1983년~1988년 한국전자통신연구소(연구원). 1985년 경북대학교 공과대학 전자공학과(공학석사). 1988년~1992년 서울대학교 반도체공동연구소(연구원). 1991년 서울대학교 공과대학 전자공학과(공학박사). 1992년~현재 경원대학교 공과대학 전자공학과(조교수).



金如煥(正會員)

1975년 경북대학교 공과대학 전자공학과(공학사). 1981년 경북대학교 공과대학 전자공학과(석사). 1981년~1995년 한국전자통신연구소 반도체연구단 선임연구원. 1993년 서울대학교 공과대학 전자공학과(공학박사). 1995년~현재 관동대학교 공과대학 전자공학과 조교수. 주관심분야는 반도체소자 및 공정. 평판표시기.



申永和(正會員)

1970년 서울대학교 공과대학 금속공학과(공학사). 1982년 University of Kentucky 재료공학과(공학박사). 1982년~1985년 N.C.S.U.(연구관). 1985년~1988년 에너지연구소(선임 연구원). 1988년~현재 경원대학교 전자공학과(부교수). 주관심분야는 실리콘아이드, FED(Field Emission Display).



金鍾俊(正會員)

1984년 건국대학교 공과대학 환경공학과(공학사). 1986년 건국대학교 산업대학원(석사). 1973년~1985년 한국과학기술연구소 반도체재료연구실 연구원. 1985년~1986년 금성사 중앙연구소 반도체소자설계 및 공정분야 연구원. 1986년~현재 서울대학교 반도체공동연구소 장비실장. 주관심분야는 반도체 공정. 반도체제조설비 및 layout.

李鍾德(正會員) 전자공학회지 제 22권 제3호 참조