

論文95-32A-6-5

3.3V 동작 68% 효율, 디지털 휴대전화기용 고효율 GaAs MESFET 전력소자 특성

(A 3.3V, 68% Power Added Efficiency, GaAs Power MESFET for Mobile Digital Hand-held Phone)

李 鐘 覽 *, 金 海 千 *, 文 載 京 *, 李 載 振 *, 朴 亨 茂 *

(J.-L. Lee, H. Kim, J. K. Mun, J. J. Lee, and H. M. Park)

요 약

3.3V 차세대 디지털 휴대전화기에 사용이 가능한 출력증폭용 소자를 최고의 성능으로 개발하였다. 반 절연 갈륨비소 기판위에 분자선 에피택시로 성장시킨 low-high 도핑구조의 기판 위에 구동전압이 3.3V인 디지털 휴대전화기용 출력 증폭용 전력소자를 제작하였다. 소자 구조는 게이트 길이가 0.8 μm , 총 게이트 폭이 16 mm 이었다. 제작된 소자는 4.2 A의 포화전류, 포화드레인 전류의 10%에 해당하는 게이트 전압인 -2.1V에서 1700 mS의 트랜스컨덕턴스 및 28 V 의 게이트-드레인 항복전압을 보여주었다. rf 특성은 900 MHz 대역에서 3.3 V 동작시 출력이 32.5 dBm, 효율이 68%, 3차 교차점 특성이 49.5 dBm, 소비전력에 대한 소자의 선형성은 LFOM (Linearity Figure-Of-Merit, IP3 / PDC)은 45로 평가되었다. 본 연구에서 개발된 전력 MESFET은 3차 교차점 특성이 매우 큰, 우수한 선형성을 보이고, 선형이득이 매우 커서 출력의 선형 영역에서 큰 값의 전력변환효율을 얻을 수 있으므로 향후 디지털 휴대전화기의 출력 증폭용 소자로 사용이 가능하리라 기대된다.

Abstract

A state-of-the-arts GaAs power metal semiconductor field effect transistor (MESFET) for 3.3V operation digital hand-held phone at 900 MHz has been developed for the first time. The FET was fabricated using a low-high doped structures grown by molecular beam epitaxy (MBE). The fabricated MESFETs with a gate width of 16 mm and a gate length of 0.8 μm shows a saturated drain current (I_{dss}) of 4.2A and a transconductance (G_m) of around 1700mS at a gate bias of -2.1V, corresponding to 10% I_{dss} . The gate-to-drain breakdown voltage is measured to be 28 V. The rf characteristics of the MESFET tested at a drain bias of 3.3 V and a frequency of 900 MHz are the output power of 32.5 dBm, the power added efficiency of 68%, and the third-order intercept point of 49.5 dBm. The power MESFET developed in this work is expected to be useful as a power amplifying device for digital hand-held phone because the high linear gain can deliver a high power added efficiency in the linear operation region of output power and the high third-order intercept point can reduce the third-order inter modulation.

* 正會員, 韓國電子通信研究所, 半導體研究團
(Semiconductor Division, Elec. and Telecom

munications Research Institute)
接受日字: 1994年12月21日, 수정완료일: 1995年5月26日

I. 서론

최근 휴대전화기의 소형, 경량, 저전력 소모화에 추세에 따라 배터리의 전원전압이 낮아지고 있다. 현재 까지 출력전압이 4.8V인 Ni-Metal Hydride 이차전지가 사용되어 왔으나, 축전용량이 Ni-Metal Hydride 이차전지의 단위 부피 및 무게에 대해 2배 이상인 Lithium 이온 이차전지의 개발에 따라 '95년 이후 부터는 출력전압이 3.0~4.0V 인 Lithium 이온 이차전지의 채용 가능성이 유력시되고 있다^[1]. 일반적으로 전원전압이 낮아지면, 전력소자의 출력 및 전력 부과효율(power added efficiency, PAE)가 동시에 낮아지게 된다. 따라서 3.0V 대역에서 휴대전화기의 요구성능을 만족하는 31 dBm 이상의 출력 (전력모듈에서 안테나까지의 3dB loss 감안) 및 60%이상의 PAE를 갖는 전력소자의 개발이 필요하다. 이를 위해 현재 낮은 전원전압에서 높은 출력 및 PAE를 갖는 전력소자에 대한 연구가 활발히 진행되고 있다^[2-11].

낮은 전원전압에서 높은 PAE를 갖는 전력소자를 개발하기 위해서는 다음과 같은 점이 고려되어야 한다. 첫째, 소자의 I-V특성이 최대 포화전류 상태에서 무릎전압 (knee voltage, V_k)이 작아야 한다. V_k 가 작게 되면, 입력 rf신호에 대해 드레인 전압 swing에 해당되는 출력 rf 신호의 동작폭을 크게할 수 있으므로, 출력이득을 증가시킬 수 있으며, 동시에 PAE도 증가하게 된다. Iwata 등은^[7] AlGaAs/InGaAs/GaAs pseudomorphic heterojunction 구조로 100 mA/mm의 최대 전류밀도에서의 드레인 전압인 effective knee voltage가 0.35~0.45인 power FET를 제작하였고, 이 소자를 950 MHz의 주파수 및 3.0V의 드레인 전압에서 동작시켰을 때, 출력 31.4 dBm, PAE 61%를 얻었다. 둘째, 게이트와 드레인 사이의 누설전류가 작아야 하며, 동시에 게이트-드레인 항복전압 (breakdown voltage, BV_{gd})이 커야 한다. 게이트-드레인 항복전압이 작은 경우, 게이트와 드레인사이의 누설전류가 존재하게 되어 입력신호가 주어지게 되면 입력이 가해지는 게이트 쪽으로 반사되는 leakage power가 증가하게 되어 출력이득이 감소하게 된다. 예를들면, 3.3V 동작시 $V_k = 1.0V$, $V_p = -2.0V$ 의 전력소자인 경우, 동작에 필요한 최소 항복전압은 9.6V 이다. 그러나, 현재까지 발표된 3.0~3.6V power FET의 경우^[6-11], 요구되는 최소 항복전압보다 6V ~ 13V정도 큰 15V ~ 22V의 항복전압을 갖는 것으로 보고되고 있다. 셋째, 주어진 소자에 대해 높은 PAE를 얻기 위해서는 소비전력이 작고 출력 증폭도가 커야 한다. PAE는 주어진 DC 전

력중 rf 신호로 변환된 rf 신호 크기의 비로 정의 되므로^[12], 동작점이 최대 전류의 50%에 해당하는 Class A 보다는 동작점이 pinchoff 전압 (V_p) 근처인 Class B 동작을 시킬 때 DC 전력을 줄일 수 있으므로 높은 PAE를 얻을 수 있다. 또한, 선형 영역에서 높은 출력 이득(power gain)을 얻기 위해서는, 즉 small-signal current gain을 증가시키기 위해서는 Class B 동작의 동작점에 해당되는 V_p 근처에서 트랜스컨덕턴스 (gm)가 커야한다. 넷째, 비선형 영역에서 입력신호에 대한 출력신호를 크게 하기 위해서는 Output Conductance가 작아야 한다. Output conductance가 큰 경우, V_p 근처에서 누설전류에 대한 leakage power가 증가하고 출력신호 파형의 왜곡 현상(distortion)이 나타나므로 출력이득이 감소하게 된다. 다섯째, 소자의 선형성을 향상시키기 위해서는 2차 및 3차 고조파 (2nd- and 3rd harmonics)가 작은 것이 필요한데, 이는 소자가 게이트 전압에 따라 일정한 gm값을 갖도록 함으로써 해결할 수 있다.

표 1. 3.0V 대역 GaAs Power FETs의 연구 결과

Table 1. Summary on power performance of previously reported 3.0 V-operating power devices.

Device	Operation Voltage	Frequency	Linear Gain	Output Power	PAE	IP3	Reference
MESFET	3.5V	950MHz	12.0	31.6 dBm	65%	-	[8]
HFET	3.0V	950MHz	12.5	31.4dBm	60%	-	[7]
MESFET	3.0V	1.9GHz	-	28.0dBm	50%	-	[9]

표 1은 현재까지 발표된 3V 대역 전력 FET의 연구 결과이다. 현재까지 발표된 연구결과중 Maeda^[8] 등이 게이트 폭이 0.6mm인 Power FET를 제작하여 950 MHz의 주파수 및 3.5V의 드레인 전압에서 얻은 출력 31.6 dBm, PAE 65%의 특성이 실용성 측면에서 최고의 결과로 평가되고 있다. 그러나 향후 실용화 될 디지털 이동 전화기에 응용되기 위해서는 소자의 선형성이 매우 중요한데, 이에 대한 결과는 아직 발표되고 있지 않은 상태이다.

본 연구에서는 위의 다섯가지 점들을 고려하여 기관의 에피구조인 채널층 농도와 구조를 설계하였으며, 자체 개발한 공정을 통하여, 3.3 V 동작시 출력이 32.5 dBm, 효율이 68%, 소자의 선형성을 의미하는 3차 교차점 특성이 49.5 dBm인 디지털 휴대전화기용 GaAs MESFET 전력소자를 개발하였다.

II. 제작 공정

그림 1은 본 연구에서 제작한 전력소자의 구조이다. 채널층은 3인치 반 절연 갈륨비소 기판 위에 MBE로 형성하였다. 채널층은 이중 구조로 설계되었는데, 아래층은 수백 Å의 두께에 $\sim 10^{17} \text{Si/cm}^3$ 의 도핑농도를 위층은 수천 Å의 두께에 $\sim 10^{16} \text{Si/cm}^3$ 의 도핑농도로 설계하였다. 채널층을 보호하기 위하여 채널층 위에 도핑되지 않은 갈륨비소층을 성장시켰다. GaAs이 공기중에 노출되면, 공기중의 산소가 표면에 화학흡착되어 자연 산화막 층이 형성되며, 이때 표면부위의 Ga과 As원자의 out-diffusion에 따라 표면부위의 Ga 및 As원자층은 재배열되며, 따라서 표면부위에 점결함 층이 생성된다. n형 GaAs 상태에서 이 점결함은 donor 상태로 존재하며, 전계가 주어지면 double donor 형태로 변화하여, 소자동작시 output conductance를 증가시키고, 표면 층에서의 electron avalanche를 발생시켜 소자의 항복전압을 저하시킨다^{11,13}. 따라서 채널층 위에 undoped GaAs층을 사용하는 경우, 채널층을 표면의 결함층과 효과적으로 분리시킬 수 있으므로, output conductance 및 항복전압과 같은 전기적 특성을 향상시킬 수 있다. 소자 동작시, 기판을 통한 누설전류의 흐름을 차단하기 위해 기판과 채널층 사이에 초격자층을 삽입하였다. 게이트층 형성시 리세스 에칭을 채널층 안까지 행하였으며, pinch-off voltage (V_p) 및 포화 드레인 전류를 조절하기 위하여 리세스 에칭 도중 포화전류 값을 계속 측정하였다.

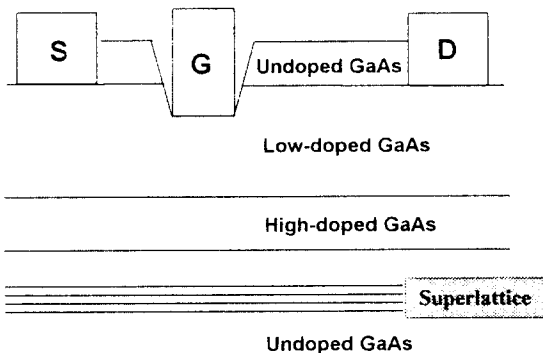


그림 1. Low-high doped GaAs MESFET 전력 소자 구조
 Fig. 1. Schematic drawing of structure of low-high doped GaAs power MESFET.

그림 2는 본 연구에서 개발한 GaAs MESFET 전력소자의 제작 공정도이다. 소자와 소자사이의 습식

식각으로 분리시켰고, 형상반전 리소그래피로¹¹⁴¹ 오옴익 금속층의 패턴을 형성하였다. AuGe/Ni/Au의 다층 구조인 오옴익 전극층은 전자선 증착장치로 형성하였다. 열처리하는 급속 열처리장치로 390C, 20초간 수행되었으며, 접촉저항은 $\sim 2 \times 10^{-6} \text{cm}^2$ 로 측정되었다. 게이트 전극은 게이트 길이가 0.8 μm 인 Ti/Pt/Au 다층구조를 전자선 증착장치로 증착시켜 제작하였다. 증착된 게이트 장벽크기는 0.8eV 이었고, Ideality factor는 1.2이내로 측정되었다. 전체 게이트 폭은 16 mm로 설계하였다. 소오스 패드와 패드 사이는 금도금에 의해 공기다리를 형성시켜 연결하였다.

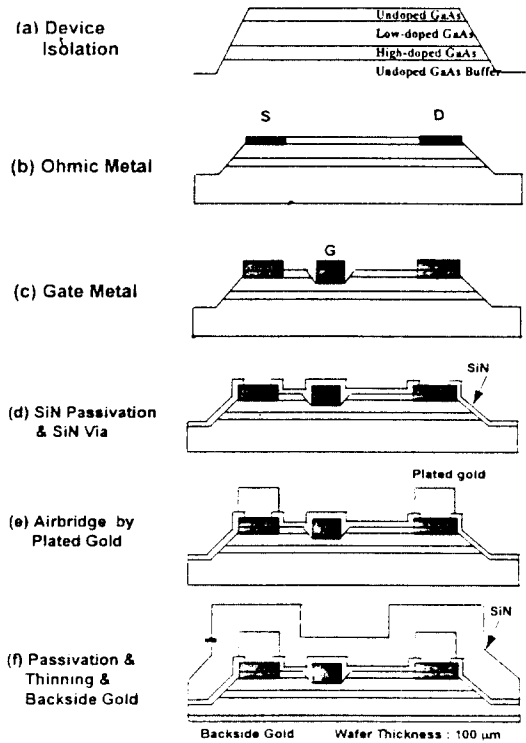


그림 2. GaAs MESFET 전력소자 제작 공정 흐름도
 Fig. 2. Schematic drawing of process flow of GaAs power MESFET.



그림 3. 3.3V 동작 전력소자 chip 사진
 Fig. 3. Photograph of 3.3V operation power MESFET chip.

소자 동작시 발생된 열의 방출 및 Packaging시의 die bonding을 고려하여 기판 뒷면을 100 μm 두께로 랩핑하고 금을 진공증착 시켰다. 그림 3은 공정 후의 전력소자의 칩사진이다.

III. 소자특성

1. DC특성

그림 4는 본 연구에서 개발한 16 mm 게이트 폭 갖는 전력소자에 0.1msec의 pulse 신호를 게이트에 주입시키면서 측정된 전류-전압 곡선이다. 포화전류밀도는 260 mA/mm, 포화전류는 4.2 A로, 게이트 전압 0.5V에서 측정된 최대전류밀도는 330 mA/mm, 최대 전류는 5.0A로 측정되었다. 소오스 저항은 0.08 ohm 으로 측정 되었으며, $V_{gs} = +0.5V$ 일 때의 무릎전압 (knee voltage)은 1.0V로 측정되었다. 특히 $V_{gs} = +0.5V$ 에서의 최대전류밀도가 100 mA/mm에 해당되는 드레인 전압은 0.3V로 측정되었는데, 이 값은 heterojunction pseudomorphic FET¹⁷⁾에서 측정된 0.35~0.45V 보다 작은 값으로 평가되어 고효율 동작이 가능한 소자임을 알 수 있다.

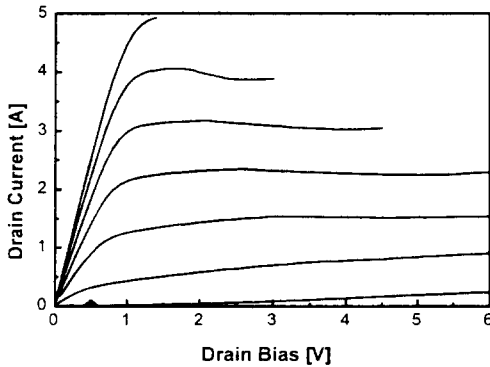


그림 4. 전력소자의 전류-전압특성 (게이트 폭 : 16mm). 맨 위의 곡선은 $V_{gs} = +0.5V$ 일 때의 I-V 특성이며, V_{gs} 의 간격은 $-0.5V$ 임
Fig. 4. Typical I-V characteristics of power MESFET with gate width of 16mm. Top curve corresponds to $V_{gs} = +0.5V$ and DV_{gs} is $-0.5V$.

그림 5는 게이트 전압에 따른 트랜스컨덕턴스의 변화이다. 트랜스컨덕턴스는 게이트 전압 $-1.8V$ 에서 $+0.5V$ 에 이르기까지 일정한 값인 1700mS로 측정되었으며, 최대전류의 10%인 500mA의 드레인 전류에서도 그 값을 유지하였다. 이것은 제작된 전력소자가 B급 동작에 적합한 소자임을 보여준다. 즉, 게이트

전압에 따른 일정한 크기의 트랜스컨덕턴스는 입력 신호에 따른 출력 신호 발생시 생성되는 2차 및 3차 harmonics를 줄여주며, 그 결과 입력 신호에 대해 소자가 선형적으로 동작할 수 있음을 암시한다.

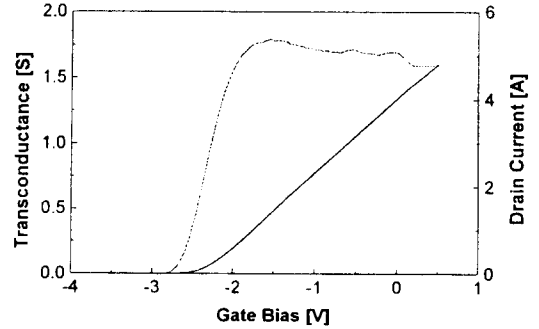


그림 5. 게이트 전압에 따른 트랜스컨덕턴스 및 드레인 전류 특성 ($V_{ds} = 2.0V$)
Fig. 5. Transconductance and drain current of power MESFET with gate bias at $V_{ds} = 2.0V$.

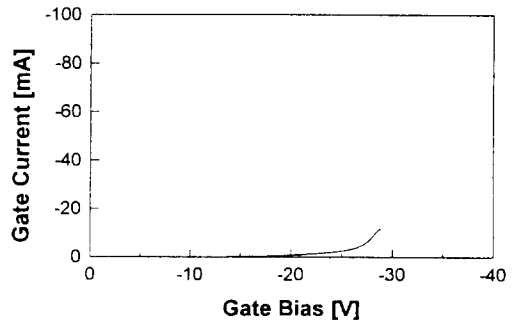


그림 6. 전력소자의 게이트-드레인 항복전압 특성 (게이트 폭 : 16mm)
Fig. 6. Gate-to-drain breakdown characteristics of power MESFET with gate width of 16mm.

게이트 항복전압은 그림 6과 같이 28 V로 측정되었다. Kuwata 등은¹⁶⁾ 본 연구에서의 결과보다 작은 310mA/mm의 최대 드레인 전류를 갖는 planar gate 구조의 MESFET에서 22V의 항복전압을 얻었고, Iwata 등은¹⁷⁾ AlGaAs/InGaAs/GaAs pseudomorphic heterojunction FET ($I_{max} = 220$ mA/mm)에서 21V를 얻었으나, 본 연구에서는 이들보다 큰 항복전압인 28V를 얻었다. 이것은 본 연구에서 사용한 GaAs/AlGaAs의 buffer 층이 소자 동작중 소오스로부터 carrier가 undoped buffer층을 통해

드레인으로 흐르는 것을 효과적으로 막아 주었고, 동시에 500 A 두께의 undoped GaAs의 표면층이 공기 중의 산소 흡착에 의해 생성된 donor형의 격자결함 층을 채널층으로부터 분리하는 데^[13], 기여하였기 때문으로 사료된다.

2. Microwave 특성

단위 게이트 폭이 200 mm 인 두개의 finger를 갖는 MESFET에 대해 HP8510B network analyzer를 이용하여 500MHz 부터 18GHz까지 소신호 전류이득을 측정하였다. 본 연구에서 수행한 전력측정에 대한 조건인 Class AB 조건 ($V_{gs} = -2.1V$, $V_{ds} = 3.3V$)에서 측정한 결과, 전류이득 cutoff frequency는 그림 7과 같이 18GHz로 측정 되었으며, 이는 900MHz의 주파수 대역에 사용하기에 충분한 소자임을 보여준다.

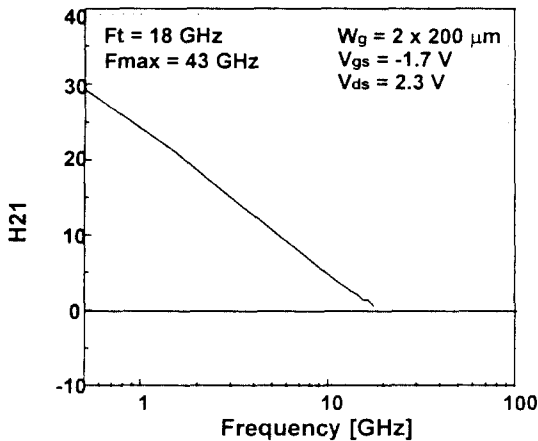


그림 7. 전력소자의 소신호 전류이득 특성 (게이트 폭 : 200mm x 2)

Fig. 7. Small signal current gain characteristics of power MESFET (gate width : 200mm x 2).

제작된 전력 FET의 여러 특성 가운데 가장 핵심이 되는 특성은 전력 특성이다. 그러나 소자 자체가 가지는 특성만으로는 초고주파 신호가 소자로 제대로 전달 되지 않기 때문에, 소자의 입력단과 출력단 쪽의 impedance를 matching 시켜주는 matching 회로를 꾸민 상태에서, 소자의 출력 특성을 측정해야 한다. 이를 위해 입력단과 출력단에 각각 tuner를 설치하여 impedance matching을 시킨 후, 전력 특성을 측정하였다. 본 연구에서 사용된 전력측정 시스템은 그림 8과 같이 측정될 전력소자가 장착된 DUT 전후에

impedance matching용 tuner가 있고, 직류 전압을 공급하기 위한 bias tee와 DC power supply, 반사되어 나오는 전력을 막아주는 isolator, 입력 신호를 측정을 위한 directional coupler와 power sensor, 출력 신호를 측정을 위한 attenuator와 power sensor, 입/출력 신호 크기를 측정을 위한 power meter, 입력 신호를 넣어주기 위한 microwave signal generator와 SSPA(Solid State Power Amplifier), 그리고 전체 system을 제어하는 computer로 구성되어 있다. 먼저 주어진 입력단의 최적점에서 load-pull 방법으로 출력단의 최적점을 결정하고, 다시 출력쪽 impedance를 고정한 후 입력단에 대해 source pull 측정을 수행한다. 이러한 과정을 2-3회 반복하면 최적의 impedance 위치와 입력단 / 출력단의 전력 및 효율 contour를 얻을 수 있다.

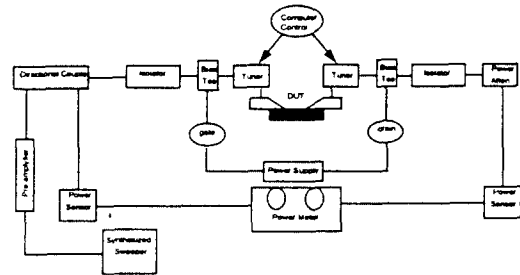


그림 8. 전력 측정장치 개략도

Fig. 8. Schematic drawing of power measurement system.

그림 9의 (가) 및 (나)는 900MHz 주파수에서 위의 방법을 통해 얻은 입력단 / 출력단의 전력 및 효율 contour 이다. 동작점은 게이트 전압을 -2.1V로 하여 8% I_{max} 에 해당하는 400mA로, 드레인 전압은 3.3V로 고정하였으며 입력은 20dBm 으로 고정하였다. 입력 임피던스에 대해 최고의 효율은 $\Gamma = 0.927 / -179.4^\circ$ 에서 85.4%로, 최대출력은 $\Gamma = 0.944 / 177.9^\circ$ 에서 33.0dBm으로 측정되었다. 출력 임피던스에 대해 최고의 효율은 $\Gamma = 0.825 / -178.6^\circ$ 에서 86.0%로, 최대출력은 $\Gamma = 0.773 / -159.3^\circ$ 에서 33.1dBm으로 측정되었다. 따라서, 입력 20.0 dBm 에서 출력 32.5 dBm 을 만족하고 동시에 효율 68% 를 만족하는 입력 임피던스가 $\Gamma = 0.882 / -174.8^\circ$, 출력 임피던스가 $\Gamma = 0.793 / -165.8^\circ$ 로 tuner를 고정한 후, 소자의 전력 특성을 측정하였다.

900MHz에서 게이트 전압을 -2.1V로 하여 8% I_{max} 에 해당하는 400mA로 드레인 전류를 흘려 주면

서, 드레인 전압은 3.3V로 고정한 후, 입/출력 임피던스가 $\Gamma = 0.882/-174.8^\circ$ 와 $\Gamma = 0.793/-165.8^\circ$ 인 점에서의 입력 신호에 대한 출력 및 PAE특성의 변화를 조사하였다. 그림 10에서와 같이, 21dBm의 입력 시, 출력은 32.5dBm, 전력부과효율이 68%로 측정되었다. 이때의 2차 및 3차 harmonics는 -45dBc 및 -35dBc로 측정되었다.

었으며, 입력 21 dBm에서의 associate gain은 11.5 dB로 측정되었다. 1.0dB 이득 압축점 (1dB gain compression point)은 31.0 dBm으로 측정되었다. 본 연구에서 제작된 소자는 그림 11과 같이 입력신호에 대해 출력 이득이 매우 일정함을 보여준다. 출력이 15 dBm ~ 30 dBm의 범위에서 이득의 변화량이 +/- 0.1 dB범위를 만족하였다.

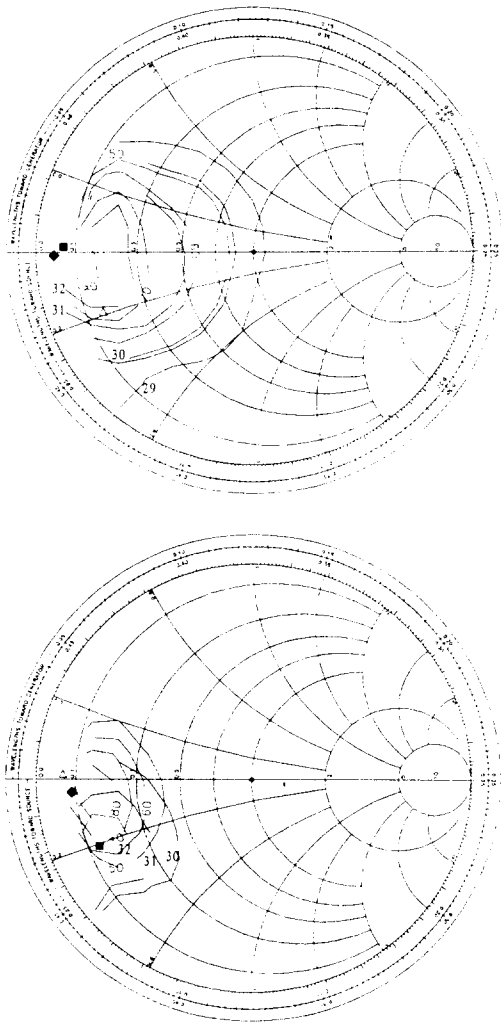


그림 9. 입력단 임피던스 (가) 및 출력단 임피던스 매칭에(나) 대한 전력소자의 PAE와 출력의 contours

Fig. 9. Contours of drain efficiency and output power after both input(a) and output impedance matching(b).

그림 11은 입력신호에 대한 전력 이득 특성의 변화이다. 선형이득 (linear gain)은 16.5 dB로 측정되

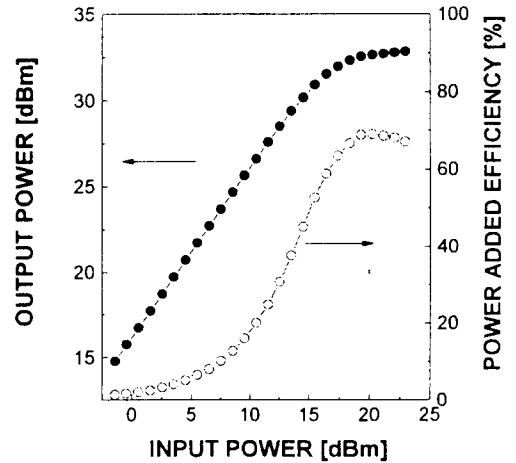


그림 10. 900MHz, 3.3V 동작시 입력-출력 및 전력부과효율 특성

Fig. 10. Output power and power-added-efficiency with input power at 3.3V operation under 900 MHz frequency.

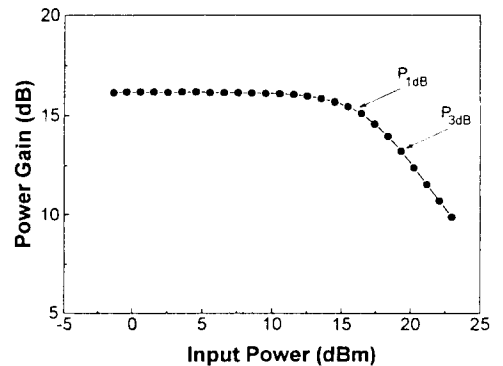


그림 11. 900MHz, 3.3V 동작시 입력에 따른 증폭 이득 특성

Fig. 11. Variation of power gain with input power at 3.3V operation under 900 MHz frequency.

이 소자를 그림 9와 같은 측정조건에서 드레인 전압만을 3.0V로 낮추었을 때, 출력 31.4 dBm, 효율 68%를 얻을 수 있었으며, 이는 표 1의 HFET에서 얻은 최고 성능보다 더 우수함을 보여 준다.

본 연구에서 제작된 소자는 그림 5와 같이 게이트 전압의 변화에 대해 일정한 transconductance를 갖는 것으로 평가되었으며, 그 결과 선형성이 매우 우수할 것으로 예측되었다. 소자의 선형성을 평가하기 위해 그림 8의 DUT에 위치한 소자에 900.00 MHz와 900.03MHz의 두 주파수를 입력시키면서 1차 출력(fundamental output power) 및 3차 출력(third-order power)을 측정하였다.

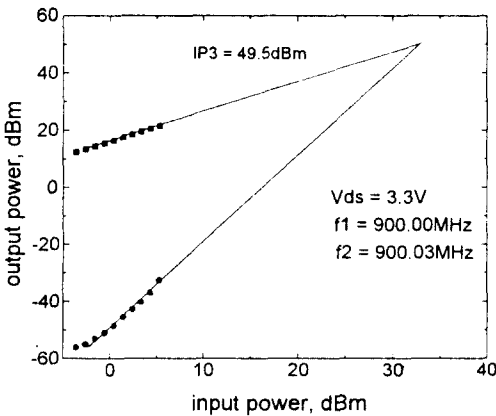


그림 12. 900MHz, 3.3V 동작시 입력에 따른 선형성 특성

Fig. 12. Linear characteristics at 3.3V operation under 900MHz frequency.

그림 12는 입력에 따른 1차 출력 및 3차 출력의 변화이다. 측정조건은 드레인 바이아스가 3.3V이고, 최대 전류의 12%가 되도록 게이트 전압을 -1.95V로 고정하였다. 3차 교차점 값은 (third-order intercept point, IP3) 49.5 dBm으로 측정되었다. 소비전력에 대한 소자의 선형성은 LFOM (Linearity Figure-Of-Merit, IP3 / PDC)으로 정의될 수 있다. 즉, LFOM이 클수록 주어진 선형성을 얻기 위한 DC 전력이 작게 소비됨을 의미한다. 현재까지 발표된 HBT 소자에 대해 발표된 LFOM의 최고 값은 44이었으며¹⁵⁾, spike-doped MESFET에 대해서는 50으로 발표되었다¹⁶⁾. 본 연구에서 개발한 low-high doped MESFET은 제작공정의 난이도가 위 두 소자에 비해 작기 때문에, 제작 수율을 증가시킬 수 있는 장점에도 불구하고, 현재까지 발표된 HBT 나 spike-doped

MESFET와 동일한 수준인 45의 LFOM을 갖는 것으로 평가되었다.

본 연구에서 개발한 소자의 DC 특성 및 Microeave 특성을 표 2에 요약하였다. 지금까지 보고된 MESFET소자 중 최고특성은 표 1에서 보여주는 바와 같이, 3.5V 동작시 출력 31.6 dBm, 효율 65%이었으며¹⁸⁾, Hetero-structure 소자의 경우, Iwata등이 발표한 3.0V 동작시 출력 31.4dBm, 효율 61%가 최고의 성능으로 평가되어 왔다¹⁷⁾. 그러나 본 연구에서 개발한 소자는 이미 발표된 기존의 최고 성능을 지닌 소자들 보다 우수한 특성을 (3.0V 동작시 출력 31.4dBm, 효율 68%) 보여주었다. 특히 휴대전화기용 소자로 개발 발표한 전력소자의 경우, 소자의 선형특성에 대해서는 발표된 바가 없었으나, 본 연구에서 개발한 소자의 경우, IP3가 49.5 dBm, LFOM이 45로 디지털 휴대전화기에서 요구하는 성능을 모두 만족하는 것으로 평가되었다.

표 2. 본 연구에서 개발한 3.3V GaAs Power MESFET의 특성 요약

Table 2. Summary of performance of power MESFET developed in this work operated at a drain voltage of 3.3V.

Item	Unit	Performance
Pinchoff Voltage	V	-2.4
Knee Voltage	V	1.0
Maximum Drain Current	A	5.0
Transconductance	S	1.7
Breakdown Voltage	V	28
Frequency	MHz	900
Linear Power Gain	dB	16.5
Output Power	dBm	32.5
PAE	%	68
IP3	dBm	49.5
LFOM	-	45

이와같이 본 연구에서 개발한 소자가 3V 대역에서 현재까지 발표된 소자로는 처음으로 모든 전력특성에 대해 최고의 성능을 보여주는 것은 소자 구조를 적절히 설계하여, 무릎전압을 줄이고, 항복전압을 증가시켰으며, 게이트 전압에 따른 일정한 값의 transconductance특성 및 작은 output conductance등 소자의 고 효율화를 위한 제반 모든 특성이 우수하였기 때문으로 사료된다. 특히 높은 효율을 얻는데 용이한

Class B급에 가까운 Class AB용 소자로 개발하여 동작조건인 8%의 최대전류 점에서 높은 transconductance를 얻을 수 있었으며, 따라서 선형영역에서 16.5 dB의 높은 전력 이득을 얻을 수 있었다. 이 값은 기존에 발표된 MESFET 소자의 12.0 dB^[8] 및 HFET의 12.7 dB^[7]보다 매우 큰 값이다. 선형 이득이 크면, 선형영역에서 효율이 증가되므로 출력 신호의 선형성을 향상시키기 위해 선형 영역을 사용하는 디지털 휴대전화기에서 높은 효율을 기대할 수 있으므로 통화시간을 향상시킬 수 있다.

IV. 결론

3.3V 차세대 디지털 휴대전화기에 사용이 가능한 출력증폭용 소자를 최고의 성능으로 개발하였다. 반절연 갈륨비소 기판위에 Si를 low-high 도핑시킨 이층구조의 채널층을 MBE로 성장시켜, 0.8 mm의 게이트 길이와 16 mm의 게이트 넓이를 갖는 갈륨비소 전력소자를 제작하였다. 제작한 소자는 4.2 A의 포화전류, 1700 mS의 트랜스컨덕턴스 및 28 V의 항복전압을 보여주었다. rf 특성은 3.3 V 동작시 900 MHz 대역에서 32.5 dBm의 출력과 68%의 효율, 16.5 dB의 선형 이득의 특성을 보여주었으며, 입력 21 dBm에서 11.5 dB의 증폭도를 보여주었다. 1.0dB 이득 압축점 (1dB gain compression point)은 31.0 dBm으로 측정되었으며, 출력이 15 dBm ~ 30 dBm의 범위에서 증폭도의 변화량이 +/- 0.1 dB범위를 만족하였다. 드레인 전압만을 3.0V로 낮추었을 때, 출력 31.4 dBm, 효율 68%를 얻을 수 있었다. 900.00 MHz와 900.03MHz의 두 주파수를 입력시키면서 드레인 바이어스가 3.3V이고, 게이트 전압을 최대 전류의 12%가 되도록 게이트 전압을 -1.95V로 고정하여 측정된 3차 교차점 값은 (third-order intercept point, IP3) 49.5 dBm 이었다. 소비전력에 대한 소자의 선형성인 LFOM (Linearity Figure-Of-Merit, IP3 / PDC)은 45로 평가되었으며, 이 값은 현재까지 발표된 HBT (LFOM = 44)나 spike-doped MESFET (LFOM = 50)과 동일한 수준으로 평가되었다. 그러나, 본 연구에서 개발한 low-high doped MESFET가 제작공정의 난이도 면에서 HBT나 spike-doped MESFET에 비해 작아 제작수율을 증가시킬 수 있는 장점을 갖고 있다. 따라서, 본 연구에서 개발한 low-high doped MESFET 전력소자는 출력 선형성이 우수하므로 곧 실용화가 예견되는 3V 대역의 디지털 휴대전화기의 전력 증폭용 소자로 사용되기에 충분한 성능을 보유하고 있으므로,

3.3V 전원을 사용할 차세대 디지털 휴대전화기에 사용이 가능할 것으로 기대된다.

후 기

본 연구는 정보통신부의 지원을 받아 수행 되었습니다.

참 고 문 헌

- [1] K. Ozawa, "Cycle performance of Lithium ion rechargeable battery," 10th Int. Seminar on Primary Secondary Battery Tech. and Appl., 1993.
- [2] H. Q. Tserng, "GaAs power MMIC amplifiers : recent advances," in Tech. Dig. of 1993 Int. Conf. on VLSI and CAD, 1993, pp. 424-429.
- [3] J.-L. Lee, H. Kim, J. K. Mun, H.-G. Lee, H. M. Park, "2.9V operation GaAs power MESFET with 31.5-dBm output power and 64% power-added efficiency," IEEE EDL, vol 15, pp.324-326, 1994.
- [4] Y. Ota, M. Yanagihara, T. Yokoyama, C. Azuma, M. Maeda, and O. Ishikawa, "Highly efficient, very compact GaAs power module for cellular telephone," IEEE MTT-S Int. Microwave Symp. Digest, 1992, pp. 1517-1520.
- [5] T. Takagi, Y. Ikeda, K. Seino, G. Toyoshima, A. Inoue, N. Kasai, and M. Takada, "A UHF band 1.3W monolithic amplifier with efficiency of 63%," in IEEE MMWMC Symp. Digest, 1992, pp. 35-38.
- [6] N. Kuwata, K. Otake, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High breakdown voltage MESFET with planar gate structure for low distortion power applications," GaAs IC Symp. Tech. Dig. Oct. 1993, pp. 181-184.
- [7] N. Iwata, K. Inosako, and M. Kuzuhara, "3V operation L-band power double-doped heterojunction FETs," IEEE MTT-S Digest, June, 1993, pp.1465-

- 1468.
- [8] M. Maeda, M. Nishijima, H. Takehara, C. Adachi, H. Fujimoto, Y. Ota, and O. Ishikawa, "A 3.5V, 1.3W GaAs Power Multi Chip IC for Cellular Phone", GaAs IC Symp. Tech. Dig., pp. 53-56 (1993).
- [9] D. Ngo, B. Beckwith, P. O'Neil, and N. Camilleri, "Low voltage GaAs power amplifiers for personal communications at 1.9GHz," in IEEE MTT-S Int. Microwave Symp. Digest, 1993, pp. 1461-1464.
- [10] K. Takeoka, A. Sugimura, H. Furukawa, M. Yuri, N. Yoshikawa and K. Kanazawa, "A GaAs MCM power amplifier of 3.6V operation with high efficiency of 49% for 0.9 GHz digital cellular phone system," in IEEE MTT-S Int. Microwave Symp. Digest, 1994, pp.569-572.
- [11] S. Murai, T. Sawai, T. Yamaguchi, and Y. Harada, "A high power-added efficiency GaAs power MESFET and MMIC operating at a very low drain bias for use in personal handy phones," IEICE Trans. Electron, vol.E76-C, pp. 901-906, 1993.
- [12] 이종람, 김해천, 문재경, 권오승, 이해권, 황인덕, 박형무, "900 MHz 대역 4.7V 동작 전력 소자 제작 및 특성," 대한전자공학회지 제 31권 A편 제 10호, pp.1328~1335, 1994.
- [13] J.-L. Lee, D. Kim, S. J. Maeng, H. H. Park, J. Y. Kang, and Y. T. Lee, "Improvement of breakdown characteristics of GaAs power FET using (NH₄)₂Sx treatment," J. of Appl. Phys., vol. 73, pp.3539~3524, 1993.
- [14] H. Moritz, "Optical single layer lift-off process," IEEE Electron Devices, vol. ED-32, pp. 672-676, 1985.
- [15] S. L. G. Chu, J. C. Huang, A. Bertrand, M. J. Schindler, W. Struble, R. Binder and W. Hoke, "High linearity monolithic broadband pseudomorphic spike-doped MESFET amplifiers," GaAs IC Symp. Tech. Dig., pp.211-214, 1992.
- [16] S. L. G. Chu, J. Huang, W. Struble, G. Jackson, N. Pan, M. J. Schindler, and Y. Tajima, "A Highly Linear MESFET," GaAs IC Symp. Tech. Dig., pp.725-728, 1991.

저 자 소 개

李 鐘 覽(正會員)

1980년 2월 한양대학교 금속공학과 학사. 1982년 한국과학기술원 재료공학과 석사학위 취득. 1985년 한국과학기술원 재료공학과 공학박사학위 취득. 1985년 6월~1986년 10월 North-western 대학 및 Michigan 공과대학 Post Doctor. 1989년 9월 1990년 9월 Tsukuba 대학 초빙연구원. 1986년 11월~현재 한국전자통신연구소 반도체연구단 책임연구원. 주 관심분야는 화합물반도체 재료공정, 갈륨비소 전력소자 등 화합물반도체 소자와 공정 관련분야

文 載 京(正會員)

1966년 7월 5일생. 1990년 아주대학교 재료공학과 졸업. 1992년 한국과학기술원 재료공학과 공학석사학위 취득. 1992년~현재 한국전자통신연구소 반도체연구단 연구원. 주 관심분야는 GaAs MESFET 전력소자 설계, CAD, 및 후공정

朴 亨 茂(正會員) 第31卷 第7號 參照.

현재 한국전자통신연구소 반도체 연구단 책임연구원

金 海 千(正會員)

1958년 8월 5일생. 1982년 서울대학교 금속공학과 졸업. 1984년 한국과학기술원 재료공학과 석사학위 취득. 1992년 Illinois Institute of Technology 재료공학과 공학박사학위 취득. 1984년~1988년 금성사 중앙연구소 선임연구원. 1993년~현재 한국전자통신연구소 반도체연구단 선임연구원 선임연구원. 주 관심분야는 GaAs MESFET 전력소자 및 관련공정

李 載 振(正會員) 第31卷 第7號 參照.

현재 한국전자통신연구소 반도체 연구단 책임연구원