

論文95-32A-3-15

직접 접합된 실리콘 기판쌍에 있어서 계면 산화막의 상태와 이의 새로운 평가 방법

(Condition and New Testing Method of Interfacial Oxide Films in Directly Bonded Silicon Wafer Pairs)

朱炳權*, 李允熙*, 鄭會煥**, 丁寬秀**,
D.B.Murfett***, M.R.Haskard***, 車均鉉****,
吳明煥*

(B.K.Ju, Y.H.Lee, H.H.Chung, K.S.Chung, D.B.Murfett, M.R.Haskard, K.H.Tchah, and M.H.Oh)

요약

직접 접합된 (100) 실리콘 기판 쌍의 (110) 접합 단면을 KOH 식각할 경우에 나타나는 (111) 결정 면들이 이루는 구조가 접합 계면에서 다양한 모양들로 관찰되며, 이를 통하여 접합된 기판 쌍의 계면에 존재하는 계면 산화막의 상태를 평가할 수 있었다. 즉, 계면 산화막이 일정하게 존재하는 안정화(stabilization) 상태로 부터 분해(disintegration) 과정을 거쳐 구형화(spheroidization)될 때 접합 계면에서 (111) 결정면들이 이루는 교차선이 굵은 실선(thick solid line)->가는 실선(thin solid line)->가는 점선(thin broken line) 모양으로 변화하였다. 고안된 평가 방법을 적용하여 열처리 조건(시간-온도)이 다른 기판 쌍들의 계면 산화막을 평가한 결과 열처리 온도가 900°C를 넘어서면서 계면 산화막이 분해 및 구형화되기 시작함을 알 수 있었으며, 임계 각도 이상으로 회전하여 비정렬 접합된 기판 쌍의 경우 계면 산화막의 분해가 일어나지 않고 지속적으로 안정화되어 있음을 확인하였다.

Abstract

We discovered that each distinct shape of the roof-shaped peaks of (111) facets, which are generated on (110) cross-section of the directly bonded (100) silicon wafer pairs after KOH etching, can be mapped to one of three conditions of the interfacial oxide existing at the bonding interface as follows. That is, thick solid line can be mapped to stabilization, thin solid line to disintegration, and thin broken line to spheroidization. Also we confirmed that most of the interfacial oxides of a well-aligned wafer pairs were disintegrated and spheroidized through high-temperature annealing process above 900°C while the oxide was stabilized persistently when two wafers are bonded rotationally around their common axis perpendicular to the wafer planes.

* 正會員, 韓國科學技術研究院 情報電子部
(Div. of Electronics and Information Technology, KIST)
** 正會員, 慶熙大學校 電子工學科
(Dept. of Electronic Engineering, Kyunghee Univ.)

*** 正會員, Microelectronics Centre, Univ. of South Australia
**** 正會員, 高麗大學校 電子工學科
(Dept. of Electronic Engineering, Korea University)
接受日字: 1994年 9月 12日

I. 서 론

플라-화학적 매개물이 없이 두 장의 실리콘 웨이퍼를 접합시키는 실리콘 직접 접합(Silicon-wafer Direct Bonding: SDB) 방법은 최근 고 전력 소자, Silicon-on-Insulator(SOI) 구조, 그리고 실리콘 micromachining 분야에 있어서 광범위하게 응용되고 있다^[1,2]. 접합된 실리콘 기판 쌍들을 이용하여 보다 향상된 특성을 지닌 소자들을 제조하기 위해서는 접합 계면에 관한 연구가 매우 중요하며, 따라서 접합 계면에 존재하는 비접촉 영역(non-contact area나 void 등으로 불림), 열처리에 의한 접합 강도의 변화, 접합 메카니즘의 규명, 접합 계면에 존재하는 결정 및 격자 결함, 불순물의 재분포 현상 및 전기적인 과도 현상, 그리고 접합된 기판 간에 존재하는 계면 산화막(interfacial oxide)의 상태에 관한 연구등이 매우 활발히 수행되고 있다.

특히, 접합을 행하기 위한 화학적 전처리 공정에서 필연적으로 발생하는 계면 산화막의 상태가 열처리 조건에 따라 어떻게 변화하는가, 즉, 분해(disintegration)되어 소멸되는가 혹은 안정화(stabilization)되어 일정하게 남아있는가는 접합된 기판쌍들을 토대로 제조될 소자의 공정 변수나 성능을 결정하는데 매우 중요한 요인이 되고 있다. 예를 들어, 다결정 실리콘 에미터 쌍극성 트랜지스터(polycrystalline silicon emitter bipolar transistor)의 경우, 다결정 실리콘층과 단결정 실리콘 기판간에 존재하는 계면 산화막이 분해될 경우 이득이 약 1/5~1/35 정도에 이르기까지 감소하며, 따라서 일정 두께의 계면 산화막이 균일하게 유지됨으로써 고농도로 도핑된 다결정 실리콘 에미터를 단결정 실리콘 기판으로부터 격리시켜주는 것이 바람직하다는 보고가 있다^[3]. 또한, 직접 접합에 의해 형성된 Si-SiO₂-Si 구조를 SOI 기판으로 응용하기 위해서도 산화막이 분해되지 않고 안정화되어 있는 것이 바람직하다. 반면에 이를 이용하여 급격한 p-n junction을 가지며 전류가 접합 계면을 가로질러 흐르는 고전력 소자를 형성할 경우에는 계면 산화막이 터널 장벽(tunneling barrier)으로 작용하지 않도록 완전히 분해되어 제거되어야만 한다^[4-6]. 또한, 에피택셜 성장을 대체할 목적으로 SDB 방법을 적용하거나 micromachining에의 응용을 위해서도 계면 산화막이 존재하는 것이 바람직하지 않은 경우가 많다^[9]. 이와 같이 계면 산화막은 접합된 기판 쌍의 응용도에 따라 일정하게 존재하는 것이 바람직한 경우와 분해되어 소멸되는 것이 바람직한 경우가 있으며, 따라서 열처리 조건에 따른 산화막 상태의 변화를 조사하

는 것은 매우 중요하다.

그러나, 계면 산화막의 상태를 조사하기 위한 방법은 지극히 제한되어 있어 현재까지 발표된 연구결과의 대부분이 계면에 존재하는 지극히 얇은 두께의 산화막을 관찰할 수 있는 유일한 수단으로서 TEM에만 전적으로 의존하고 있다^[4-8,10-12]. 따라서 그 연구 결과도 매우 좁은 영역에만 국한될 뿐 아니라 시편의 준비가 간단하지 않아 다수의 시편을 이용하여 재현성있는 결과를 얻는 것이 용이하지 않으며, 이로 인해 결과적으로 계면 산화막의 상태나 형상에 관한 연구 내용을 살펴볼 때 제 III절에서 설명하겠지만 그 연구 결과들이 서로 상이하여 일치점을 찾기가 어렵다.

상술한 연구 배경을 바탕으로 본 연구에서는 접합된 (100) 실리콘 기판쌍의 (110) 단면을 KOH 수용액으로 식각할 경우 접합 계면에 형성되는 (111) 결정면들의 교차선이 이루는 모양을 통해 계면 산화막의 상태를 평가할 수 있는 새로운 평가 방법을 고안하였다. 이를 이용하면 계면 산화막의 상태를 매우 간단히 평가할 수 있을 뿐 아니라 넓은 영역에 걸쳐 보다 신뢰성 있는 결과를 얻을 수 있다. 또한 고안된 방법을 토대로 하여 접합 후 열처리 시간 및 온도에 따른 계면 산화막 상태의 변화를 측정하여 얻어진 실험 결과들을 제시하였다.

II. 계면 산화막의 생성 원인 및 기존의 연구 결과

직접 접합된 실리콘 기판쌍의 접합 계면에 존재하는 계면 산화막의 생성 원인은 다음과 같다. RCA 세척을 한 실리콘 표면상에는 항상 1.3~1.5nm 두께의 자연 산화막(native oxide film)이 생성되며 접합을 이를 경우 이의 두께는 두 배가 된다^[13,14]. 또한 접합된 기판의 표면에 다량의 OH기를 형성시키기 위하여 hydrophilizing 용액내에 시편을 담글 경우 표면상에서 역시 약간의 산화 현상이 일어나게 된다. 뿐만 아니라 접합된 계면간에는 OH group들로 구성된 두께 0.16~0.7nm 정도의 계면 상태(interfacial phase)도 존재한다. 따라서, RCA 세척 및 hydrophilizing 처리를 거쳐 초기 접합된 실리콘 기판쌍의 계면에는 상술한 세가지 효과에 의해 상온에서 3.5~4nm 정도의 두께를 갖는 계면 산화막이 항상 존재하게 된다^[4-6,10-12,15].

초기 접합 후 열처리 과정을 통해 이들 산화막이 어떻게 변화할 것인가는 전술하였듯이 연구 결과에 따라 상당한 차이를 보이고 있다. K.-Y. Ahn 등^[4,5]의 local diffusion 모델에 따르면 이러한 계면 산화막은

고온-장시간의 열처리 과정을 겪으면서 분해되고 궁극적으로는 2차원적으로 6각형 모양을 갖는 구형체 (two-dimensional hexagonal lattice of spheroid)들로 구형화(spheroidization)된다고 보고 있다. 또한 이러한 현상은 실리콘 bulk내의 산소 끼어들기(interstitial oxygens)의 농도에 관계없이 CZ-(Czochralski-) 및 FZ-(floating zone-) 실리콘 웨이퍼 모두에 대해 일어나는 것으로 보고하였다.

그러나, T.Abe등^[10] 및 S.-I.Ishigami등^[17]은 FZ-실리콘에 비해 상대적으로 산소 끼어들기의 농도가 높은 CZ-실리콘에 있어서 1000~1200°C 범위의 고온 열처리를 행할 경우 bulk내의 산소 원자들이 접합 계면으로 외부 확산(out-diffusion)되어 계면 산화막의 실질적인 두께가 증가하는 것으로 보고한 바 있다.

반면에, L.Ling등^[12]은 200~600°C의 열처리 온도 범위에서는 온도가 증가함에 따라 CZ- 및 FZ-실리콘 모두에 대해 산화막의 두께가 감소하며 600~1200°C의 온도 범위에서는 온도에 무관하게 일정 두께를 유지한다고 보고하였다. 이들은 최근의 보고^[6]에서 CZ-실리콘 기판상에 존재하는 계면 산화막이 FZ-실리콘 기판상의 경우에 비해 구조적으로 보다 안정하다고 발표한 바 있다. 아울러, 산소 원자의 외부 확산이 계면 산화막에 미치는 영향은 무시할 수 있을 정도로 미미하다고 보고하였는데 이는 T.Abe등^[10]의 연구 결과와 대조를 이루고 있다.

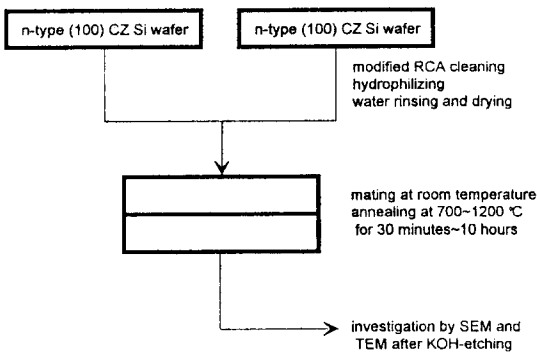


그림 1. 실리콘 웨이퍼의 접합 공정도
Fig. 1. Schematic diagram of Si wafer bonding procedure.

III. 실험 방법

그림 1은 시편을 준비하는 과정을 보인 것이다. 사용된 기판은 직경 4 인치, 두께 525 μm , 저항률 5.3~7.1 Ωcm 인 n-형 (100) CZ-실리콘 웨이퍼로 함유된 산소 끼어들기의 농도는 ASTM F121-83에 의거하여 $7.5 \times 10^{17} \text{ cm}^{-3}$ 로 측정되었다^[16]

실리콘 기판들은 수정된 RCA 방법(modified RCA method)^[17]에 의해 세척되었다(단, A.Preliminary cleaning step은 생략하였음.) 다음으로 hydrophilizing 용액(57°C, $6\text{H}_2\text{O} + \text{H}_2\text{O}_2 + 4\text{NH}_4\text{OH}$)내에 2 분간 담궈 기판 표면에 다량의 OH기들로 이루어진 hydrophilic 층을 형성한 뒤^[18], deionized water로 세척하고 spin dryer로 건조시켰다. 그림 2는 이상의 공정을 거친 실리콘 기판의 표면 거칠기를 AFM (atomic force microscope)으로 측정한 결과로 평균 거칠기는 약 0.838nm 정도로 나타났다.

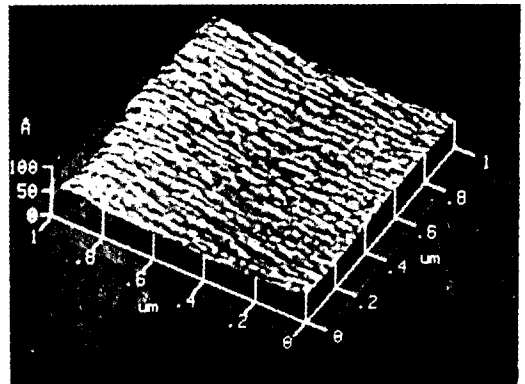


그림 2. 화학적 처리 후 실리콘 기판의 표면 거칠기
Fig. 2. Surface roughness of Si wafers after chemical treatment.

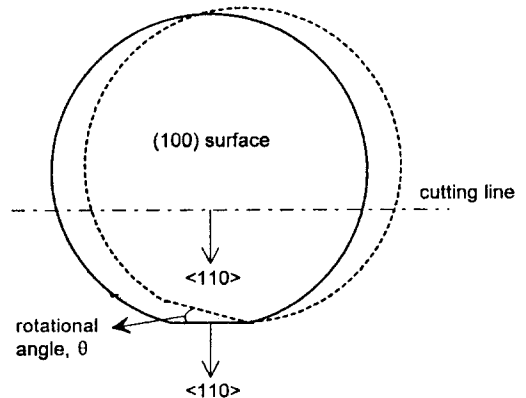


그림 3. (100) 실리콘 기판의 회전각 및 절단선의 묘사
Fig. 3. Illustration of rotational angle and cutting line of (100) Si wafer.

다음으로, 상온에서 두 장의 시편들을 한 쌍으로 하여 그림 3에 보인 바와 같이 회전각(rotating angle) θ 가 0° 혹은 5° 를 갖도록 수소 접합을 행하였다. 상

온에서 약하게 접합된 기판 쌍들은 700~1100°C의 질소 분위기내에서 30분~10시간 동안 후-열처리(post-annealing)하였다. 계면 산화막의 상태(안정화, 분해, 구형화)에 관한 대부분의 연구가 1100°C 부근의 열처리 온도를 중심으로 하여 수행되었기 때문에^{4-6,10,12}, 주로 이 온도에서 열처리된 시편들을 중심으로 하여 실험 결과를 분석하였다.

표 1. 제작된 시편의 규격

Table 1. Specification of the fabricated samples.

sample number	oxygen concentration	surface	rotational angle	annealing condition
		roughness (after chemical treatment)		
#S1	$7.5 \times 10^{17} \text{cm}^{-3}$	0.838 nm(rms)	$\langle 0.3^\circ$	1100°C, 30min
#S2	$7.5 \times 10^{17} \text{cm}^{-3}$	0.838 nm(rms)	$\langle 0.3^\circ$	1100°C, 3hr
#S3	$7.5 \times 10^{17} \text{cm}^{-3}$	0.838 nm(rms)	$5.0 \pm 0.2^\circ$	1100°C, 3hr
others	$7.5 \times 10^{17} \text{cm}^{-3}$	0.838 nm(rms)	$\langle 0.3^\circ$ or $5.0 \pm 0.2^\circ$	700~1200°C 30min~10hr

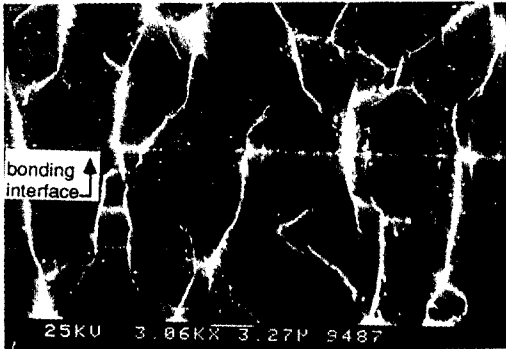


그림 4. 시편 #S1(a) 및 #S2(b)에 있어서 KOH 식각된 (110) 단면의 SEM 사진
Fig. 4. SEM photographs of the KOH-etched (110) cross-section for the samples #S1(a) and #S2(b).

접합된 기판 쌍들은 역시 그림 3에 보였듯이 (110) 기준면(primary flat)에 대해 평행하도록 diamond saw로 절단한 뒤, 90°C의 KOH 수용액(44gr + 100ml water)내에서 4 분간 식각하고¹⁹, 접합 계면을 관찰하였다. 또한 TEM 관찰용 시편들은 별도로 준비하였다. 본 실험에 사용된 시편들의 규격을 표 1에 나타내었다.

IV. 실험 결과 및 토의

그림 4의 (a)와 (b)는 표 1에 나타난 시편 #S1과 #S2의 (110) 단면을 KOH 수용액으로 식각한 뒤 SEM을 통하여 관찰한 것으로, 두 경우 모두 계면에 존재하는 결정면들을 발견할 수 있다. 이들 facet들의 결정성은 그 모양으로부터 간단히 결정될 수 있다. 즉, 그림 5는 그림 4(a)에 대한 프로파일(scanned by Nanosurf 488, SAS Tech Co.)로서, facet의 '높이/폭의 비가 '0.35'로 측정되어 결정면이 (100) 기판과 이루는 각도가 35.25°로 나타났는데(그림 8(b) 참조) 이는 결정면의 면지수가 (111)임을 의미한다. 그림 4를 자세히 관찰하여 보면 알 수 있듯이 30분간 열처리한 시편 #S1의 경우(그림 4(a)), 접합 계면에 형성되는 (111) 결정면들의 교차선이 매우 가느다란 실선(thin solid line) 모양으로 나타나는 반면, 3시간 동안 열처리한 시편 #S2의 경우에는 접합 계면에 존재하는 교차선은 간헐적으로 끊어져서 마치 가는 점선(thin broken line)모양을 띠고 있음을 알 수 있다.

접합 계면 근처에서 두 시편간의 차이를 알아보기 위해 TEM 분석을 수행하였다. 그림 6(a)는 시편 #S1의 접합 계면에 대한 TEM 사진으로, 이를 보면 알 수 있듯이 1100°C에서 단지 30분간 열처리를 행한 기판 쌍에 있어서도 계면 산화막이 분해되고 있음을 확인할 수 있다. 분해된 oxide island들의 두께는 대략 7~9nm, 길이는 15~40nm 정도에 이르고 있다. 보다 오랜 시간인 3시간 동안 열처리된 기판 쌍인 시편 #S2의 경우에 있어서는 그림 6(b)에 보였듯이 산화막이 완전히 구형화되어 있는데 이는 K.-Y.Ahn등^{4,5}이 예측한 결과와 일치한다. 관찰된 구형 산화물(oxide spheroid)의 최대 직경은 그림 6(c)에 보인 바와 같이 대략 12nm 정도로 측정되었다.

이상의 실험 결과를 토대로 할 때 K.Mitani등¹⁹이 추측하였듯이 (111) 결정면들의 생성 원인을 계면 산화막이 식각 마스크로서 작용한다는 점으로만 해석한다는 점에는 다소 무리가 있음을 알 수 있다. 아울러 계면 산화막이 단지 분해된 상태인가 혹은 분해과정이 더욱 진행하여 구형화에 이른 상태인가는 그림 4에 보

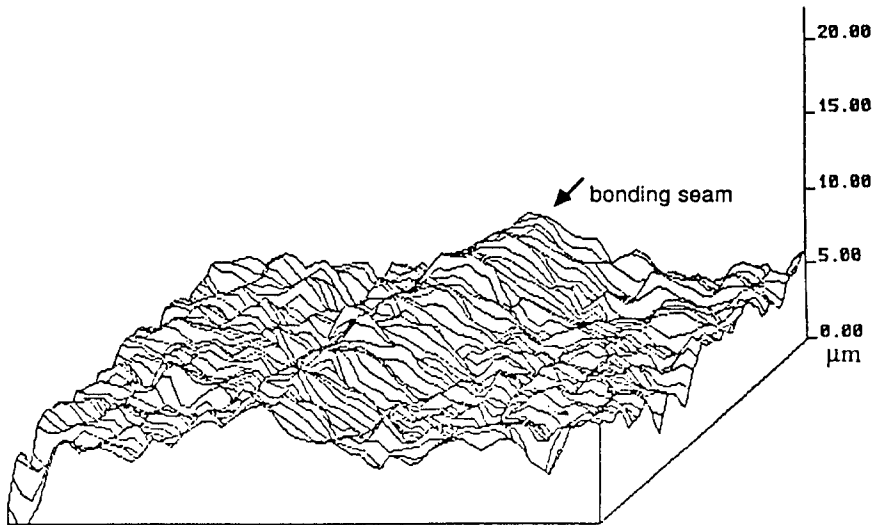


그림 5. 시편 #S1에 있어서 KOH 식각된 (110) 단면의 표면 프로파일 (측정 영역: 60 x 50 μm)
 Fig. 5. Surface profile of the KOH-etched (110) cross-section of the sample #S1. (measured area: 60 x 50 μm)

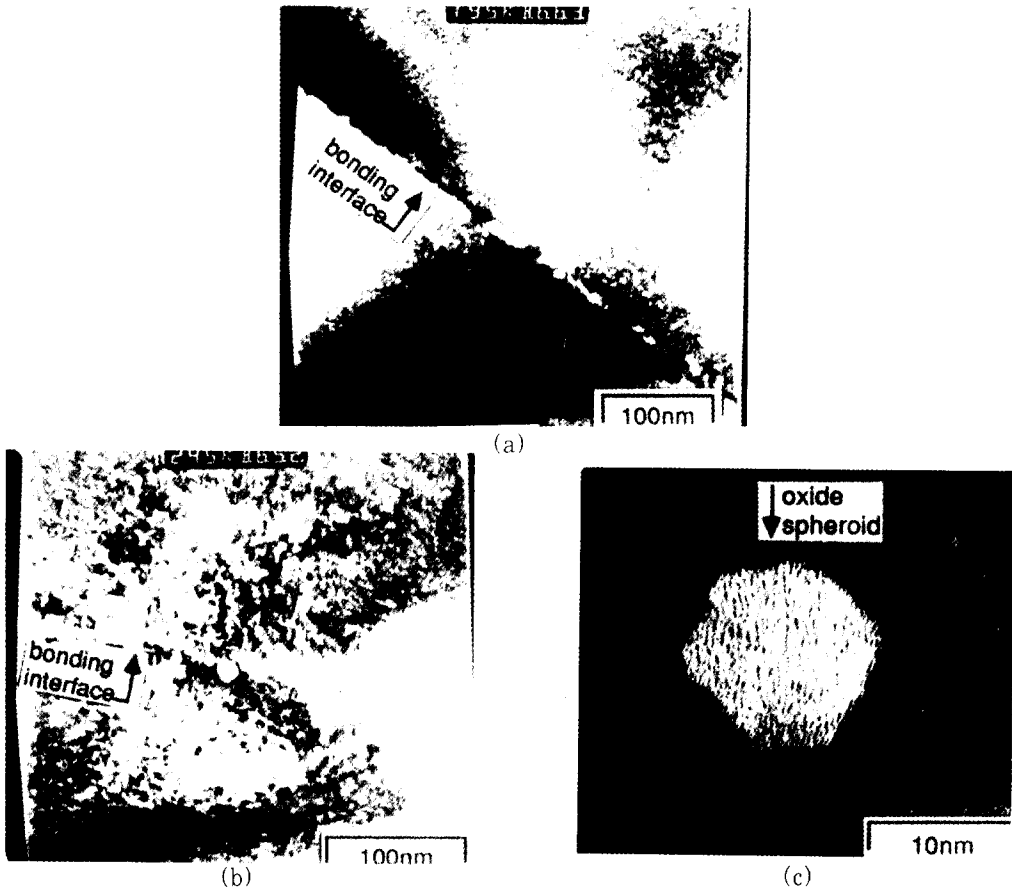
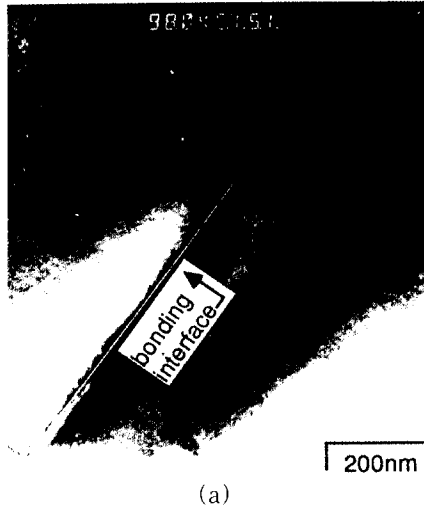
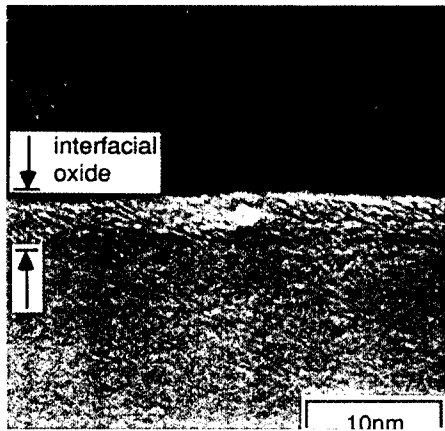


그림 6. 시편 #S1(a) 및 #S2(b)에 있어서 접합 계면의 TEM 사진과 구형 산화물의 확대 사진(c)
 Fig. 6. TEM photographs of the bonding interface of the samples #S1(a), #S2(b), and magnified view of the oxide spheroid(c).

였듯이 식각된 (100) 단면에서의 접합 계면에 나타나는 (111) 결정면들의 교차선이 어떠한 모양을 띄는가에 의해 추측할 수 있음을 명확히 알 수 있다.



(a)



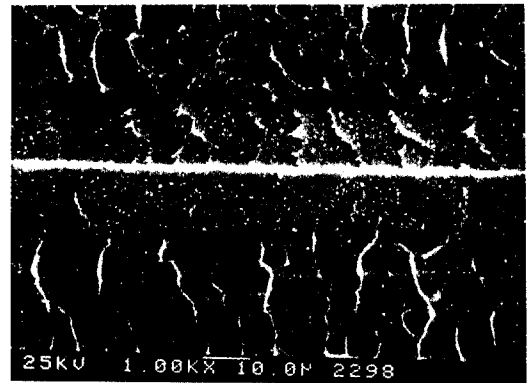
(b)

그림 7. 시편 #S3에 있어서 접합 계면의 TEM(a) 및 HR-TEM(b) 사진

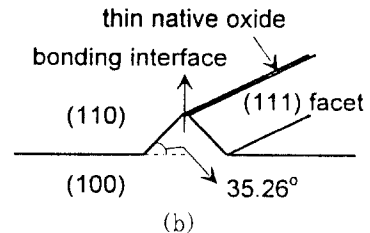
Fig. 7. TEM(a) and HR-TEM(b) photographs of the bonding interface for the sample #S3.

다음으로, 접합된 실리콘 기판 쌍의 사이에 계면 산화막이 일정하게 남아있는 경우, 즉 산화막이 안정화(stabilization)되었을 때 계면에서 교차선의 모양이 어떻게 변화하는가에 관하여 조사해 보았다. K.-Y. Ahn등^[4,5]에 따르면, 그림 3에 보였듯이 두 장의 웨이퍼를 임의의 회전각 θ_{crit} 이상으로 회전 비정합(rotational misorientation)하여 접합시킬 경우 접합 계면에 결정의 불일치(mismatch)로 인해 나선 전위(screw dislocation)들이 발생하게 된다. 이러한

전위들이 계면 산화막이 분해되는 것을 에너지적으로 방해하고 따라서 접합 초기에 생성된 산화막은 분해되지 않고 일정하게 유지된다. 일반적으로 산화막이 분해되지 않고 안정화되기 시작하는 임계각 θ_{crit} 는 Si/SiO₂간의 계면 에너지, shear modulus, 그리고 나선 전위의 Burgers vector에 의존하며 주로 1°~5° 범위의 값을 갖는다.



(a)



(b)

그림 8. 시편 #S3에 있어서 KOH 식각된 (110) 단면의 SEM 사진(a) 및 결정학적 묘사(b)

Fig. 8. SEM photograph(a) and crystallographic illustration(b) of the KOH-etched (110) cross-section for the sample #S3.

그림 7은 $\theta=5^\circ$ 의 회전각을 갖도록 초기 접합된 후 1100°C의 질소 분위기에서 3시간 동안 열처리된 시편 #S3에 대한 단면 TEM 사진이다. 그림 7(a)를 통하여 볼 수 있듯이 극히 국소적인 영역에서만 산화막이 깨어져 있을 뿐 전반적으로 매우 안정하게 남아있음을 알 수 있다. 산화막의 두께는 그림 7(b)에 보인 바와 같이 약 4.2nm 정도로 측정되었으며 0.4nm 정도의 굴곡(fluctuation)을 가지고 있다. 이는 F.P. Widderhoven등^[11]의 실험 결과와 매우 유사한데, 이들은 FZ-실리콘과 CZ-실리콘을 정합한 상태로 초기 접합시키고 1100~1125°C의 질소 분위기내에서 3시간동안 열처리한 접합 계면에서 4.4nm 두께의 계면 산화막이 존재하는 것을 관찰한 바 있다.

표 2. 본 실험에서 얻어진 결과의 요약
Table 2. Summarization of the obtained results in this experiment.

annealing temp-time (°C)-(min)	rotational angle (degree)	shapes of (111) facet	interfacial oxide (by TEM)	remarks
700-180	<0.3	thick ^a	- ^e	
700-600	<0.3	thick	stabilization	
800-180	<0.3	thick	-	
800-600	<0.3	thick	stabilization	
900-180	<0.3	thin ^b	-	
900-600	<0.3	thin-broken ^d	disintegration	
1000-30	<0.3	thin	-	
1000-180	<0.3	thin-broken	-	
1000-180	~5.0	thick	-	
1000-600	<0.3	broken ^c	spheroidization	
1000-600	<0.3	thick	stabilization	
1100-30	~5.0	thin	disintegration	#S1
1100-180	<0.3	broken	spheroidization	#S2
1100-180	~5.0	thick	stabilization	#S3
1100-600	<0.3	broken	-	
1100-600	~5.0	thick	stabilization	
1200-30	<0.3	broken	-	
1200-180	<0.3	broken	-	
1200-180	~5.0	thick	-	
1200-600	<0.3	broken	-	
1200-600	~5.0	thick	-	

- a, b, c: The "thick," "thin," and "broken" lines mean the shapes of peak of (111) facets at the bonding interface like the photographs in Fig.8(a), Fig.4(a) and Fig.4(b), respectively.
- d: The "thin-broken" means a coexisted shape of the "thin" and "broken" line-shaped (111) facet's peak.
- e: "-" marks mean that the TEM observation or measurement of surface energy was not carried out.

결과적으로, 회전-비정합된 기판상에 있어서 계면 산화막은 열처리 과정을 거친 후에도 비교적 안정화되어 존재하고 있음을 확인할 수 있다.

이와 같이 안정화된 산화막을 갖는 접합 계면이 KOH 식각된 후에는 어떤 모양의 facet 구조를 갖는가를 관찰하여 보았다. 그림 8(a)는 시편 #S3에 대해 KOH 식각 후의 단면을 보인 것으로, 접합 계면을 중심으로 하여 한 쪽면은 (110)면이고 다른 한 쪽면은 (110)면으로부터 5°만큼 틀어져 있다. 접합 계면에 해당하는 부분에 매우 굵은 실선(thick solid line) 모양으로 (111) 결정면들의 교차선이 연결되어 있음을 명확히 알 수 있다. 즉, 이의 결정학적 모양(crystallographic feature)을 묘사한 그림 8(b)에서 알 수 있듯이 두 장의 실리콘 기판 사이에 존재하는 얇은 계면 산화막이 strip 모양의 식각 마스크로 작용함으

로써 일어나는 비등방성 식각에 의해 (111)면들로 이루어지는 결정면들이 명확히 드러나게 된다. 따라서 이 경우에는 K.Mitani등^[19]이 가정한 바와 같이 계면 산화막이 식각 마스크로서 작용하고 있음을 알 수 있다.

이상의 결과에서 알 수 있듯이 직접 접합된 (100) 실리콘 기판 쌍에 있어서 접합 계면에 존재하는 계면 산화막의 상태는 KOH 식각된 (110) 단면에서 나타나는 (111) 결정면들의 교차선의 형태에 따라 간접적으로 추측될 수 있다. 이에 근거하여 열처리 온도와 시간을 변화시키면서 계면 산화막의 상태를 평가한 결과를 표 2에 요약하였다. 이로부터 알 수 있듯이 (111) 결정면의 교차선의 형태에 의해 간접적으로 추측된 계면 산화막의 상태를 TEM을 통하여 직접 확인한 결과 굵은 실선-안정화, 가는 실선-분해, 가는 점선-구형화의

관계가 매우 명확히 성립하고 있다. 또한, 산화막의 분해 과정이 일어나기에는 열처리 온도가 낮아(900°C 이하) 산화막이 일정하게 남아있는 경우에도 역시 결정면의 교차선은 굵은 실선 모양을 띄고 있다.

아울러, 잘 정합되어 접합된 기판 쌍의 경우, 900°C의 열처리 온도에 이르러 산화막의 분해가 일어나기 시작하며 열처리 온도가 더욱 증가하고 열처리 시간이 길어짐에 따라 대부분의 산화막은 분해→구형화 과정을 거침을 알 수 있다. 두 장의 기판을 임계각 θ_{crit} 이상으로 회전 비정합하여 접합을 이룬 경우 산화막은 1200°C-10시간의 열처리 이후에도 매우 안정되게 남아있으며 상술한 실험 결과들은 K.-Y.Ahn 등^[4,5]이 보고한 결과와 일치하고 있다.

V. 결론

직접 접합된 실리콘 기판쌍의 접합 계면에 존재하는 계면 산화막의 상태를 접합 계면을 KOH 비등방성 식각한 뒤 나타나는 결정면들의 모양을 통해 평가하는 방법을 고안하였으며, 이를 토대로 임계 온도(900°C) 이상에서 잘 정합된 기판 쌍의 계면에 존재하는 산화막은 대부분 분해→구형화 과정을 거침을 확인할 수 있었다. 아울러, 이러한 결정면의 형성 메커니즘은 표면이 거칠거나 불균일할 경우 기판 표면상의 국부적인 영역들별로 서로 다른 식각률에 의해 기판이 식각되어지는 현상과, 또한 용액 자체가 갖는 고유의 비등방성 식각 특성이 함께 작용함으로써 형성된다고 추측할 수 있다. 또한, 계면 산화막이 안정화된 경우에 비해, 분해되고 구형화됨에 따라 표면 에너지가 증가하는 성향을 띄고 있는 점도 발견되었는데 이러한 (111) 결정면의 생성 메커니즘과 계면 산화막의 상태-접합 강도간의 관계등에 관해서는 보완 연구를 통해 발표하고자 한다.

이상을 통해 얻어진 연구 결과들은 전류의 경로가 접합 계면을 가로 질러 형성되는 고전력 소자나 SDB 공정에 의해 제작되는 매우 얇은 매몰 산화층을 갖는 SOI 소자등의 연구에 있어서 매우 유용하리라고 생각 된다.

참 고 문 헌

[1] P.W.Barth, "Silicon fusion bonding for fabrication of sensors, actuators and microstructures," *Sensors and Actuators*, vol.A21-A23, p.919 (1990).

- [2] W.P.Maszara, "Silicon-on-insulator by wafer bonding: A review," *J. Electrochem.Soc.*, vol.138, no.1, p.341 (1991).
- [3] G.R.Wolstenholme et al., "An investigation of the thermal stability of the interfacial oxide in polycrystalline silicon emitter bipolar transistors by comparing device results with high-resolution electron microscopy observations," *J.Appl.Phys.*, vol.61, no.1, p.225 (1987).
- [4] K.-Y.Ahn et al., "Stability of interfacial oxide layers during silicon wafer bonding," *J.Appl.Phys.*, vol.65, no.2, p.561 (1989).
- [5] K.-Y.Ahn et al., "Growth, shrinkage, and stability of interfacial oxide layers between directly bonded silicon wafer pairs," *Appl.Phys.*, vol.A50, p.85 (1990).
- [6] L.Ling et al., "The stability of thin interfacial SiO₂ layers in directly bonded Czochralski and float-zone silicon wafer pairs," *J.Electrochem.Soc.*, vol.140, no.1, p.252 (1993).
- [7] S.-I.Ishigami et al., "Effect of interstitial oxygen on formation of amorphous SiO_x layer in directly bonded Czochralski silicon wafers," *Jpn. J. Appl. Phys.*, vol.32, part 1, no.12A, p.5463 (1993).
- [8] H.Himi et al., "Silicon wafer direct bonding without hydrophilic native oxides," *Jpn.J.Appl.Phys.*, vol.33, part 1, no.1A, p.6 (1994).
- [9] K.Ljungberg et al., "Spontaneous bonding of hydrophobic silicon surfaces," *Appl.Phys.Lett.*, vol.62, no.12, p.1362 (1993).
- [10] T.Abe et al., "Surface impurities encapsulated by silicon wafer bonding," *Jpn.J.Appl.Phys.*, vol.29, no.12, p.2315 (1990).
- [11] F.P.Widdershoven et al., "Boron contamination and antimony segregation at the interface of directly bonded silicon wafers," *J.Appl.Phys.*, vol.68, no.12,

- p.6253 (1990).
- [12] L.Ling et al., "Relationship between interfacial native oxide thickness and bonding temperature in directly bonded silicon wafer pairs," *J.Appl.Phys.*, vol.71, no.3, p.1237 (1992).
 - [13] R.C.Henderson, "Silicon cleaning with hydrogen peroxide solutions: A high energy electron diffraction and Auger electron spectroscopy study," *J. Electrochem. Soc.*, vol.119, no.6, p.772 (1972).
 - [14] B.Soerowirdjo et al., "Effects of surface treatments on the electrical characteristics of bipolar transistors with polysilicon emitters," *Solid-State Electronics*, vol.26, no.5, p.495 (1983).
 - [15] R.Stengl et al., "A model for the silicon wafer bonding process," *Jpn. J. Appl. Phys.*, vol.28, no.10, p.1735 (1989).
 - [16] ASTM standards, vol.10.05, section 10, p.191, American Society for Testing and Materials (1989).
 - [17] W.Kern, "Purifying Si and Si O₂ surfaces with hydrogen peroxide," *Semiconductor International*, p.94 (Apr. 1984).
 - [18] R.Stengl et al., "Bubble-free silicon wafer bonding in a non-cleanroom environment," *Jpn.J.Appl.Phys.*, vol.27, no. 12, p.L2364 (1988).
 - [19] K.Mitani et al., "A new evaluation method of silicon wafer bonding interfaces and bonding strength by KOH etching," *Jpn.J.Appl.Phys.*, vol.31, part 1, no.4, p.969 (1992).

저 자 소 개

朱炳權(正會員) 第28卷 A編 第8號 參照.
현재 KIST 정보전자부 선임연구원

李允熙(正會員) 第26卷 第11號 參照.
현재 KIST 정보전자부 선임연구원

鄭會煥(正會員) 第28卷 A編 第8號 參照.
현재 경희대학교 전자공학과 박사과정

丁寬秀(正會員) 第28卷 A編 第8號 參照
현재 경희대학교 전자공학과 교수

D.B.Murfett(正會員) Research engineer, Microelectronics Centre, Univ. of South Australia

M.R.Haskard(正會員) Professor, Microelectronics Centre, Univ. of South Australia

車均鉉(正會員) 第28卷 A編 第8號 參照.
현재 고려대학교 전자공학과 교수

吳明煥(正會員) 第28卷 A編 第8號 參照.
현재 KIST 정보전자부 책임연구원 및 정보소자센터 센터장