

論文95-32A-3-10

# 다층 기판 위에 표면실장된 SRAM 모듈 설계 제작

## (The Design and Fabrication of SRAM Modules Surface Mounted on Multilayer Boards)

金昌淵\*, 池龍\*

(Chang-Yeon Kim, and Yong Jee)

## 요약

본 논문에서는 다중칩 모듈화 방법으로 SRAM 메모리의 대용량화 및 고성능화를 이루는데 있어 MCM-L 기법이 메모리 모듈 설계와 제작에 미치는 영향을 살펴보았다. 이를 위해 메모리 모듈 구성 방법과 칩 배치 방법 및 배선층 수에 따른 메모리 모듈 배선을 실시하고 모듈 면적과 배선 길이 면에서 가장 효율적인 방법을 찾아보았다. 패키징된 32K×8bit SRAM 칩 8 개를 사용하여 256K×8bit SRAM 모듈을 제작한 결과 칩 배치 방법에 대해서는 칩 단자와 모듈 단자를 평행하게, 칩 배열은 일렬로 배열하였을 때, 모듈 단자 패드 배열면 수는 칩소자 패키지 형태인 DIP 형태와 같이 2 면으로 하였을 때, 모듈 면적과 배선 길이를 최적화할 수 있었다. 배선층 수는 칩을 단면실장할 경우 3 층으로 배선할 때가 칩을 양면실장할 경우에는 5 층으로 배선할 때가 효율적으로 배선될 수 있었다. 이에 따라 제작된 모듈의 배선 밀도는  $18.9 \text{ cm/cm}^2$ , 칩 점유율은 65 %, 모듈에서의 신호 지연 시간은 1.1 nsec를 보여주었고, 패키징된 칩은 soldering에 의해 부착되었으며, 메모리 모듈의 성능은 메모리 모듈 성능 시험기를 통해서 정상적으로 동작함을 확인할 수 있었다.

## Abstract

In this paper, we examined the effect that MCM-L technique influences on the design and fabrication of multichip memory modules in increasing the packing density of memory capacity and maximizing its electrical characteristics. For that purpose, we examined the effective methods of reducing the area of module layout and the wiring length with the variation of chip allocation and the number of wiring layers. We fabricated a 256K × 8bit SRAM module with eight 32K × 8bit SRAM chips. The routing experiment showed that we could optimize the area of module layout and wiring length by placing chips in a row, arranging module I/O pads parallel to chip I/O pads, and equalizing the number of terminal sides of module I/O's to that of chip I/O's. The routing was optimized when we used three wire layers in case of one sided chip mounting or five wire layers in case of double sided chip mounting. The fabricated modules showed  $18.9 \text{ cm/cm}^2$  in wiring density, 65 % in substrate occupancy efficiency, and 1.1 nsec of signal propagation delay in the module. Chips on the module were soldered on the module substrate and functionally tested to find out the module working perfectly.

\* 正會員, 西江大學校 電子工學科  
(Dept. of Elec. Eng., Sogang Univ.)

※ 본 연구는 93년도 교육부 반도체분야 학술연구조성

비에 의해 수행되었습니다.

接受日字 : 1994年 2月 3日

## I. 서 론

고속 대용량 시스템 메모리의 이용은 전자 기기의 성능이 고성능화되어감에 따라 개인용 컴퓨터 및 중, 대형 컴퓨터 뿐만 아니라 영상 처리 및 데이터 처리 영역으로 확산되어 가고 있다. 이와 같은 고속 대용량 메모리 수요에 다각적으로 충족시킬 수 있는 방안으로는 단일칩 내부에서 메모리 용량을 확장시키는 방법과, PCB(printed circuit board) 보드나 MCM(multichip module) 공법으로 확장시키는 방법이 있다. 단일칩 내부에서 용량을 확장시킬 경우에는 칩 제작 공정 비용과 메모리의 집적도가 문제된다. 따라서 저렴하고 손쉬운 공법으로 메모리 용량을 확장시킬 수 있는 MCM 기법을 모색하게 된다.

MCM 기술은 기판 재질과 제작 기술에 따라 MCM-C(multichip module-ceramic), MCM-D(multichip module-deposition), MCM-L(multichip module-laminating)로 구분되는데,<sup>[1,2]</sup> MCM-L은 기존의 PCB 제조 공정을 이용하는 기술로, glass-epoxy 절연층 위에 동박이 수십 마이크로의 두께로 적층된 기판을 이용하여 제작하는 방법으로 기존의 PCB 제작 기술을 이용함으로써 공정 비용이 저렴하고 손쉽게 제작될 수 있다는 장점을 갖는다. 그러나 비아 홀(via hole) 가공으로 사용되는 드릴 비트의 공정 가능한 비아 홀 크기가 약 0.2 mm 정도로 기판 설계의 배선 시 도선 선폭(0.1 mm 정도)에 비해 커서 면적을 많이 차지하는 단점이 있어 MCM-C나 MCM-D 방법에 비해 무시되어 왔다.<sup>[3]</sup> 따라서 MCM-C나 MCM-D 공정 기법만 많이 연구되었고, 이 방법들만이 단위 면적당 논리 소자 밀도를 증가시킬 수 있다고<sup>[4]</sup> 판단하여 왔었다. 하지만 그 공정에 드는 장비 비용과 공정의 어려움 때문에 MCM-C나 MCM-D 공정 기법보다는 MCM-L 기법을 이용하는 것이 더 효과적인 기술이라고 판단하게 되었다.<sup>[5,6]</sup>

MCM-L 기술을 이용하여 메모리 용량을 확장시키는 방법은 메모리 모듈을 구성하고 전자 패키징 방법으로 메모리 모듈을 3 차원적으로 확장시켜 나가는 개념이다.<sup>[7]</sup> 가능한 소규모 용량의 메모리 모듈을 형성하여 소규모 용량(수백 Mbit)을 필요로 하는 개인용 컴퓨터나 영상 기억 장치 등에 적용시킬 수 있도록 하고, 슈퍼 컴퓨터 등의 대규모 용량(Gbit 단위)을 필요로 하는 전자기기에 대해서는 확장된 메모리 보드 단위로 메모리 시스템에 적용될 수 있도록 하는 것이다. 메모리 모듈 확장 개념으로 구성된 고속 대용량 시스템 메모리 장점은 현재 기술 수준으로 제작 불가능한 giga bit나 terra bit급의 메모리 모듈을 구성하여 고

속용 메모리 용량 문제를 해결할 수 있고, 모듈 단위, 카드 단위로 손쉽게 필요한 메모리 용량을 구성할 수 있는 것이다. 따라서 새로운 메모리용 재료를 개발하지 않아도 현재 생산되는 Mbit 급의 메모리 칩으로 terra bit 단위의 메모리 모듈을 구성할 수 있어서 전자 산업 분야나 정보 통신에서의 메모리 수요에 대한 문제를 해결할 수 있게 된다.

한편 SRAM은 DRAM에 비해 시스템적으로 사용하기 쉽고, 고속화나 저 소비 전력을 피하기 쉽다는 등 장점이 있다.<sup>[8]</sup> 그러나 집적도가 DRAM에 비해 약 1/4 정도이고 bit당 가격이 높은 것이 단점이다. 이러한 단점들을 극복하고 대용량, 고속화, 저 소비 전력, 저 전압에서 동작할 수 있는 메모리 모듈을 개발하기 위해서는 SRAM 메모리 칩을 이용하여 메모리 모듈을 구성하는 것이 해결 방법이라 할 수 있다.<sup>[9,10,11,12]</sup> 기존의 SIMM(single in line memory module) 모듈은 본 논문에서 고찰되는 여러가지 SRAM 모듈의 한 가지 형태가 된다.

본 논문에서는 다층 기판 위에 메모리 칩을 실장시키는 모듈화 구조로 메모리의 대용량화 및 고성능화를 이룰 수 있도록 MCM-L 기법이 메모리 모듈 설계와 제작에 미치는 영향을 살펴보았다. 2 장에서는 메모리 모듈 구성을 위한 회로 구조를 기술하였고, 3 장에서는 MCM-L 기법에 따르는 배선 규격을 결정하고 메모리 모듈 구성 방법과 칩 배치 방법 및 배선층 수에 따른 메모리 모듈 면적과 배선 길이 면에서 효율적인 방법을 찾았다. 실험적으로 패키징된 32K×8bit SRAM 칩 8 개를 사용하여 256K×8bit SRAM 모듈을 설계하였다. 4 장에서는 모듈 제작과 그 성능 시험을 실시하였고, 5 장에서는 결과에 대해 분석하였고, 6 장에서 결론을 맺었다.

## II. 메모리 모듈 구성

### 1. 메모리 입출력 단자수와 배선 길이

컴퓨터를 비롯한 대부분의 전자 기기들은 8bit로 구성된 1byte를 데이터의 기본 단위로 사용한다. 또한 좀 더 많은 양의 데이터를 한꺼번에 처리하기 위하여 16bit 및 32bit를 데이터의 기본 단위로 사용하기도 한다. 이에 따라 본 실험에서는 32K×8bit SRAM 칩 8 개를 사용하여 256K×8bit SRAM 모듈과 128K×16bit SRAM 모듈을 구성하였다.

메모리 모듈이 제작될 때는 각 모듈에 대한 입출력 단자 수와 총 배선 길이가 계산되어야 한다. Rent's rule에 의하면 메모리 모듈 패키지 입출력 단자 수는

아래의 식으로 주어진다.<sup>[7]</sup>

$$A_i = A_c^n M_c^r \quad (1)$$

여기서,  $A_i$  = 논리 패키지에서 사용되는 입출력 단자 수,  $A_c$  = 각 논리 회로에서 사용된 평균 입출력 단자 수,  $M_c$  = 패키지에서 논리 회로의 수,  $r$  = 논리 기능을 지닌 회로에 대한 지수로 주어진다. 메모리 칩에 대한 입출력 단자 수는 아래와 같이 유도된다.

$$A_i = 2^n M_c^r \quad (2)$$

여기서,  $M_c$  = 메모리 칩 bit 수,  $n = 1.93$ ,  $r = 0.16$ 으로 주어진다.<sup>[13]</sup> 이에 따라서 공식(2)에 메모리 bit 수를 대입하여 계산하면 256Kbit 메모리 모듈에 대해서는 입출력 단자 수가 28 개, 1Mbit 모듈에 대해서는 35 개, 2Mbit 모듈에 대해서는 39 개로 주어진다.

배선 연결에 요구되는 총 배선 길이  $L$  은

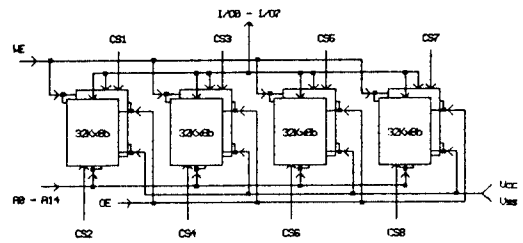
$$L = 1.5P(1.5 \frac{N_T}{2}) \quad (3)$$

으로 주어진다.<sup>[14]</sup> 여기서,  $P$  = 부품간의 피치,  $N_T$  = 모듈 내에서 사용되는 총 입출력 단자 수이다. 256K × 8bit SRAM 모듈의 경우는 각 SRAM 칩의 단자 수가 28 개이고, 8 개의 칩이 한 개의 모듈로 구성되므로 칩에 의한 입출력 단자 수만 모두 224 개가 된다. 또한 모듈에 의한 단자는 메모리 모듈 회로 구성에 필요한 것이 39 개이므로 메모리 모듈 구성에 사용되는 총 단자 수  $N_T = 264$  개가 된다. 이에 따라 총 배선 길이는  $L = 291.4P$  가 된다.<sup>[14]</sup> 따라서 부품간 피치  $P = 2$  cm 라고 하면,  $L = 583$  cm 가 된다. 128K × 16bit SRAM 모듈을 구성하는 경우에도 총 메모리 bit수는 같으므로 같은 결과를 얻게 된다.

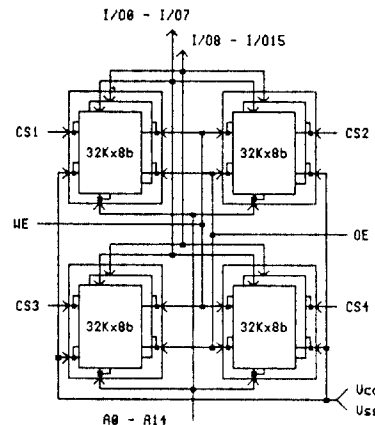
### 2. 메모리 모듈 회로

SRAM 칩 8 개를 이용하여 8bit 및 16bit SRAM 모듈을 구성하는 회로 구조는 그림 1과 같다. 8bit SRAM 모듈은 32K × 8bit SRAM 칩 8개를 사용하여 256K × 8bit SRAM 모듈을 구성하는데, 8bit의 데이터 입출력이 개별적으로 이루어지므로 칩 한 개가 하나의 입출력 블록을 이룬다.<sup>[15]</sup> 그러므로 메모리 모듈은 그림 1 (a)와 같이 하나의 입출력 블록을 이루는 각각의 칩들을 평행하게 연결하여 구성된다. 각 칩의 단자 구성은 15 개의 주소 단자, 8 개의 입출력 단자, 전력 단자, 접지 단자, WE(write enable) 단자,

OE(output enable) 단자로 27 개의 단자와 CS(chip select) 단자로 구성된다. 이 중 CS 단자는 메모리 모듈에서 입출력 블록을 선택하는 데 사용된다. 그러므로 메모리 모듈에서는 주소, I/O, 전력, 접지, WE, OE 단자가 각 칩에 모두 연결되어 있으며 CS 단자만이 입출력 블록의 선택을 위해 개별적으로 연결되게 된다. 이와 같은 구성 방법으로 8 개의 칩을 한 개의 모듈로 구성하기 위해서는 각 칩에 필요한 27 개의 단자 외에 8 개의 CS 단자를 추가하면 그림 1 (a)와 같이 총 35 개의 단자가 필요하다.<sup>[16]</sup>



(a)



(b)

그림 1. (a) 8bit SRAM 모듈 구성도, (b) 16bit SRAM 모듈 구성도

Fig. 1. (a)Block diagram of a 8bit SRAM module, (b)Block diagram of a 16bit SRAM module.

16bit SRAM 모듈은 32K × 8bit SRAM 칩 8 개로 128K × 16bit SRAM 모듈을 구성할 수 있다. 8bit SRAM 모듈을 구성할 때에는 각 칩들이 8bit의 입출력이 가능하므로 한 개의 칩이 하나의 입출력 블록을 이루었지만 16bit의 입출력을 이루기 위해서는 두 개의 칩이 하나의 입출력 블록을 이루어야 한다. 즉 하나의 입출력 블록 안에서 한 개의 칩이 상위 주소(A15 ~ A8)에 의한 데이터의 입출력을 담당하고 나머지 한

개의 칩이 하위 주소(A7~A0)에 의한 데이터의 입출력을 담당해야 한다. 그러므로 16bit SRAM 모듈에서 두 개의 칩으로 구성되는 하나의 입출력 블록을 8bit SRAM 모듈의 한 칩과 같다고 볼 수 있다. 각 블록의 단자 구성은 15 개의 주소 단자, 16 개의 입출력 단자, 전력 단자, 접지 단자, WE 단자, OE 단자로 35 개의 단자와 CS 단자로 구성되어 있다. 그러므로 16bit 메모리 모듈에서는 주소, I/O, 전력, 접지, WE, OE 단자가 각 블록에 모두 연결되어 있으며 CS 단자만이 입출력 블록의 선택을 위해 개별적으로 연결되게 된다. 4 개의 블록을 한 개의 모듈로 구성하기 위해서는 각 블록에 필요한 35 개의 단자 외에 4 개의 CS 단자를 추가해야 하므로 총 39 개의 단자가 필요하다.<sup>[16]</sup> 이에 따라 16bit SRAM 모듈을 구성하기 위하여 필요한 모듈의 단자 수는 그림 1 (b)와 같이 총 39 개가 된다.

### Ⅲ. 메모리 모듈 설계

메모리 모듈 면적은 모듈 입출력 bit 수, 칩 배치 방법, 배선층 수, 칩 실장면 수, 모듈 패드 면 수 등의 변수에 따라 바뀔 수 있다. 각 변수에 대한 영향을 조사하기 위하여 먼저 입출력 단자 bit수의 변화와 칩 실장 면수와 배치 방법에 대한 영향을 단면실장의 경우와 양면실장의 경우로 나누어서 조사하였다. 또한 메모리 모듈 단자 패드 배열면 수를 기존의 패키지 구조인 SIMM 구조, dual-in-line package (DIP) 구조, quadruple flat package (QFP) 구조에 맞추어서 1면, 2면, 4면으로 나누어 살펴 보았고, 배선층 수의 증가에 따른 효과도 조사하였다. 실험 과정에서는 PCAD 프로그램을 이용하여 자동배선만으로 모듈 배선작업을 수행하여 8bit 와 16bit SRAM 메모리 모듈을 구성하는데 필요한 모듈 면적과 배선 길이의 변화를 살펴보았다.<sup>[17]</sup>

#### 1. SRAM 메모리 모듈 설계 변수

256Kbit 메모리칩 8 개로 SRAM 메모리 모듈을 구성하는 배선 설계에서 8bit SRAM 모듈 배선 규격으로는 표면 실장 기술을 적용하여 칩이 실장되도록 패드의 크기를  $850 \mu\text{m} \times 1750 \mu\text{m}$ , 패드피치를  $1250 \mu\text{m}$ 로, 배선층 사이를 연결하는 비아의 직경을  $\varnothing 750 \mu\text{m}$ 로 하였고, 선폭은  $250 \mu\text{m}$ , 선피치는  $750 \mu\text{m}$ 로 정한 다음,  $35 \mu\text{m}$  두께의 구리판을 전선으로 하여 자동 배선을 실시하였다.<sup>[18,19]</sup> 기판 외부 회로와 연결되는 모듈단자 수는 총 35 개가 된다.

16bit SRAM 모듈 배선 규격은 8bit SRAM 모듈

에서와 같게 정하고 칩 배치 방법은 8bit SRAM 모듈을 배선하기 위한 칩 배치 방법과 같게, 모듈 단자의 배열 방향은 2 면으로 배열하여 DIP 형태를 취하도록 하였다.

#### 1) 단면실장 모듈 구조

##### 가) 칩 배치 구조

모듈 구성에서 설계 변수의 효과를 판단하기 위하여 먼저 칩은 한 면에 실장하고 배선층 수는 2 층으로 하였으며 모듈 단자 패드 배열면 수는 한 면으로 배치하여 SIMM 형태를 갖게 하였다. 이와같은 구조에서 칩 배치 형태를 변형시키면 그림 2와 같이 6가지 구조를 갖을 수 있다.

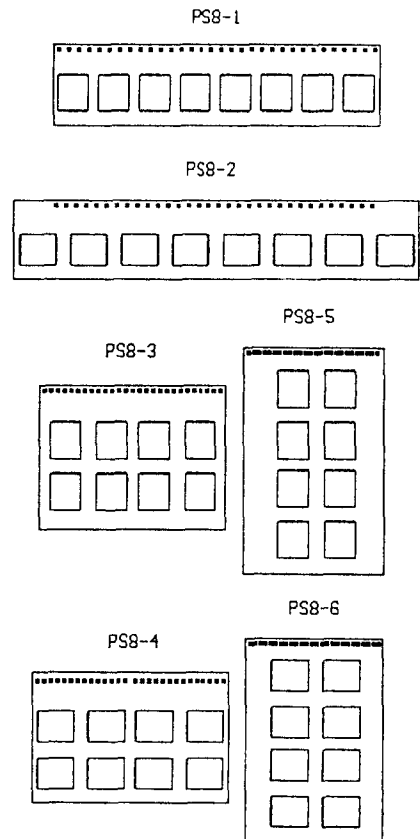


그림 2. 8bit SRAM 모듈 구성을 위한 칩 배치 구조(단면실장)

Fig. 2. Chip arrangement configurations of 8bit SRAM modules (one sided chip mounting).

그림 2에서 PS8-1 칩 배치 구조는 칩 단자와 모듈 단자의 패드 배열 방향이 평행하도록 칩을 배치하고 가로 방향으로 8 개의 칩을 일렬로 배열한 형태이고, PS8-2 칩 배치 구조는 칩 단자와 모듈 단자 패드의

배열 방향이 서로 수직되도록 칩을 배치하고 가로 방향으로 8 개의 칩을 일렬로 배열한 형태이다. 이 때는 칩이 PS8-1 칩 배치 방법에 대해서 90° 회전된 것이다.

표 1. 8bit SRAM 모듈 배선을 위한 모듈 기판 조건과 칩 배치 방법

Table 1. The conditions of module substrates and the chip arrangement configurations for wiring 8bit SRAM modules.

배치구조	칩실장 면수	배선층 수	모듈패드면수	칩배치방향
PS8-1	단면	2 층	1 면	평행(8×1)
PS8-2	단면	2 층	1 면	수직(8×1)
PS8-3	단면	2 층	1 면	평행(4×2)
PS8-4	단면	2 층	1 면	수직(4×2)
PS8-5	단면	2 층	1 면	평행(2×4)
PS8-6	단면	2 층	1 면	수직(2×4)
PS8-7	단면	2 층	2 면	평행(8×1)
PS8-8	단면	2 층	4 면	평행(8×1)
PS8-9	단면	3 층	2 면	평행(8×1)
PS8-10	단면	4 층	2 면	평행(8×1)
PS8-11	양면	5 층	2 면	평행(4×1)
PS8-12	양면	5 층	2 면	수직(4×1)
PS8-13	양면	5 층	2 면	평행(2×2)
PS8-14	양면	5 층	2 면	수직(2×2)
PS8-15	양면	3 층	2 면	평행(2×2)
PS8-16	양면	4 층	2 면	평행(2×2)
PS8-17	양면	6 층	2 면	평행(2×2)

칩패드크기: 60 mils×28 mils 모듈패드크기: 60 mils×60 mils 칩패드피치: 50 mils

PS8-3 칩 배치 구조는 PS8-1 칩 배치 구조와 같게 칩 단자와 모듈 단자의 배열 방향이 평행하도록 칩을 배치하였지만, 다른점은 가로 방향으로 4 개, 세로 방향으로 2 열로 배열된 형태이다. PS8-4 칩 배치 구조는 PS8-2 칩 배치 구조와 같이 칩 단자와 모듈 단자의 배열 방향이 서로 수직하도록 칩을 배치하고 가

로 방향으로 4 개, 세로 방향으로 2 열로 배열한 형태이다. PS8-5 칩 배치 구조는 칩 단자와 모듈 단자의 패드 배열 방향이 평행하도록 칩을 배치하고 가로 방향으로 2 개, 세로 방향으로 4 열로 배열한 형태이다. PS8-6 칩 배치 구조는 칩 단자와 모듈 단자의 패드 배열 방향이 서로 수직되도록 칩을 배치하고 가로 방향으로 2 개, 세로 방향으로 4 열로 배열한 형태이다. 표 1은 이것을 정리하였다.

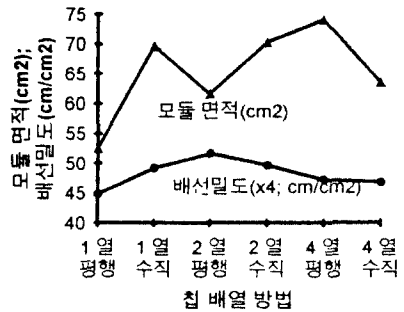


그림 3. 칩 배치 방법에 따른 모듈 면적과 배선 밀도(단면실장, 배선층수: 2층, 모듈패드면수: 1면)

Fig. 3. Module area and wiring density of module routing by varying chip arrangement configurations(one sided chip mounting, wiring layer: 2, module I/O terminal side: 1)

그림 2에 나타난 칩 배치 구조에 따라 배선을 실시한 결과 그림 3과 같이 PS8-1의 칩 배치 구조가 가장 효율적인 형태로서 모듈 면적은 52.5 cm², 평균 배선 길이는 2.5 cm, 배선 밀도는 11.2 cm/cm², 칩 점유율은 39.3 %로 보여 주었다. 따라서 칩 단자와 모듈 단자의 패드 배열 방향은 서로 평행하도록 하고, 일렬로 칩을 배치하는 것이 효율적인 형태임을 알 수 있었다. 그림 4는 그 배선 결과를 나타내고 있다.

나) 모듈 단자 패드 배열면 수  
모듈 단자 패드 배열면 수가 모듈 면적과 배선 길이

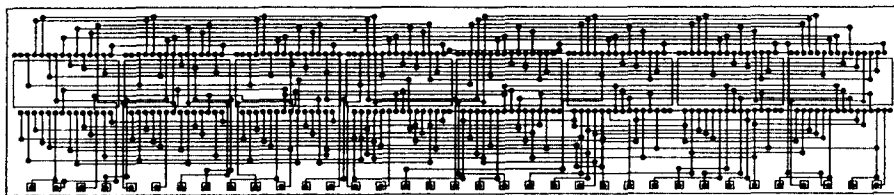


그림 4. PS8-1 칩 배치 방법에 의해 배선된 모듈(단면실장)

Fig. 4. The layout of a routed module by PS8-1 chip arrangement configuration. (one sided chip mounting)

에 미치는 효과는 그림 5와 같이 배열면 수가 1 면인 SIMM 구조의 PS8-1 구조를 기준으로 하여 2면인 DIP 형태의 PS8-7 구조와 4 면인 QFP 형태의 PS8-8 구조를 서로 비교하였다. 그 결과 가장 효율적인 형태는 그림 6과 같이 모듈 패드 면 수를 DIP 형태로 구성한, 칩 패드와 평행한 방향으로, 2 면(PS8-7)으로 하는 것임을 알 수 있었다. 그 이유는 모듈 단자 패드가 칩 패드의 배열 형태와 같게 됨에 따라 칩 패드와 모듈 패드간의 배선이 최적화되었기 때문인 것으로 보인다.

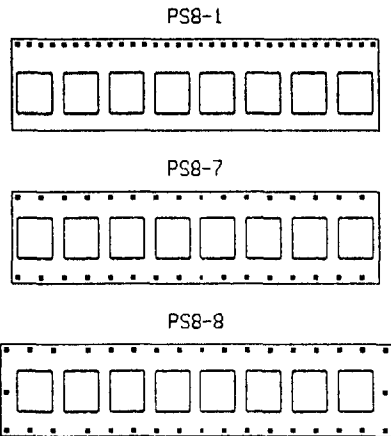


그림 5. 모듈 단자 패드 배열면 수에 따른 모듈 구조

Fig. 5. Module configurations due to the number of module I/O terminal sides.

다) 배선층 수

배선층 수에 대한 효과는 DIP 형태인 PS8-7 칩 배치 방법을 기준으로 2 층에서 4 층까지 증가시켜 가면서 배선을 수행하였다. 그 결과 그림 7과 같이 칩을 단면실장하였을 때 배선층 수를 3 층 이상으로 하는 것이 효율적임을 알 수 있었다. 이 결과는 배선층 수가 증가함에 따라 2 층 배선 구조를 지닌 배선 결과에 비해서 총 배선 길이는 다소 증가하지만, 모듈 면적은 감소되고 배선 밀도가 증가됨을 보여 주었다. 다층 기판을 제작할 때는 FR-4 양면 기판을 적용하므로써 구성하는데 이 때는 배선층 수를 2 층, 4 층, 6 층과 같은 짝수로 배선층 수를 증가시키는 것이 제작 측면에서 보면 효과적이다. 이 점을 감안하면 칩을 단면에 실장하여 메모리 모듈을 제작할 경우에는 4 층으로 기판을 배선하는 것이 바람직하다는 것을 알 수 있었다.

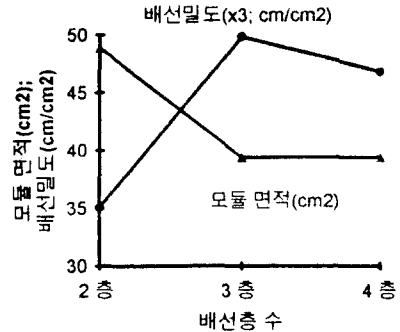


그림 7. 배선층 수에 따른 모듈 면적과 배선 밀도  
Fig. 7. Module area and wiring density due to the number of wiring layers.

2) 양면실장 모듈 구조

칩을 양면실장시키는 구조에서는 단면실장된 8bit SRAM 모듈 배치 구조 가운데 최적 방법인 PS8-9 배치 형태인 3 층 배선을 중심으로 고려하였다. 모듈 단자의 배열 방향은 그림 8과 같이 DIP 패키지 형태인 2 면으로 배치하고 칩 단자와 모듈 단자의 배열 방향은 서로 평행하게 하였다. 3 층에서 6 층으로 배선층 수를 증가시켜 가며 모듈 배선을 실시하였다. 그림 9는 배선층 수가 증가함에 따라 모듈 면적이 감소하며, 배선 밀도가 증가하는 것을 보여주고 있다. 즉 5 층 배선과 2 열로 칩을 배치한 PS8-13 칩 배치 구조가 양면실장 구조에서 모듈 면적 31.7 cm² 및 평균 배선 길이 565.9 cm로서 가장 좋은 결과를 보였다. 이로써 양면실장인 경우에는 단면실장인 것과 같이 칩 단자와 모듈 단자의 패드 배열 방향이 평행하도록 배치하며 모듈 단자 패드 배열은 2 면으로 하는 DIP 패키

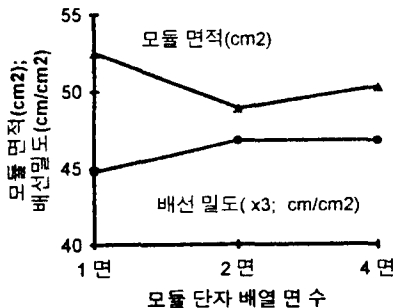


그림 6. 모듈 단자 패드 배열면 수에 따른 모듈 면적과 배선 밀도

Fig. 6. Module area and wiring density due to the number of module I/O terminal sides.

지 형태가 효율적이고 5 층으로 배선하는 것이 효율적임을 알 수 있었다.

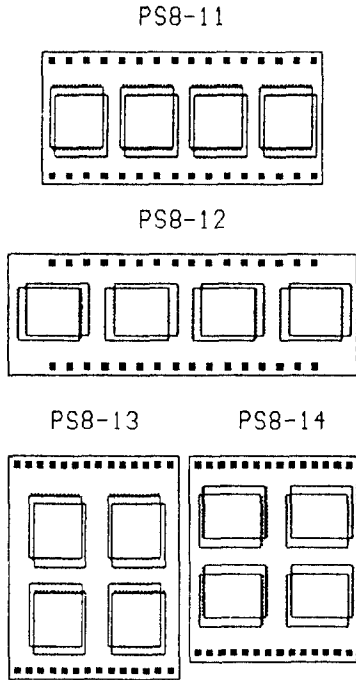


그림 8. 양면실장시 8bit SRAM 모듈 구성을 위한 칩 배치 구조

Fig. 8. Chip arrangement configurations of 8bit SRAM modules in the case of double sided chip mounting.

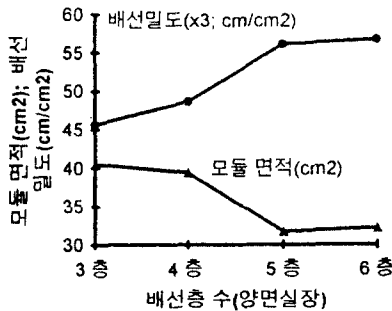


그림 9. 양면실장시 배선층 수에 따른 모듈 면적과 배선 밀도

Fig. 9. Module area and wiring density due to the number of wiring layers in the case of double sided chip mounting.

16bit SRAM 모듈은 8bit 모듈 배선에서와 같은 결

과를 얻을 수가 있었다. 칩을 단면에 실장한 경우에는 8bit 모듈의 PS8-1 칩 배치 방법과 같은 구조인 PS16-1 칩 배치 방법이 그림 10과 같이 모듈 면적은 53.8 cm<sup>2</sup>로서 배선 밀도는 11.3 cm/cm<sup>2</sup>로서 가장 좋은 결과를 보였다. 결국 입출력 단자 수를 8bit로 또는 16bit로 선택한다 할지라도 모듈을 구성하는 칩 수가 같기 때문에 칩 배치 방법에 따른 모듈 배선에서 는 동일한 결과를 보여 주었다.

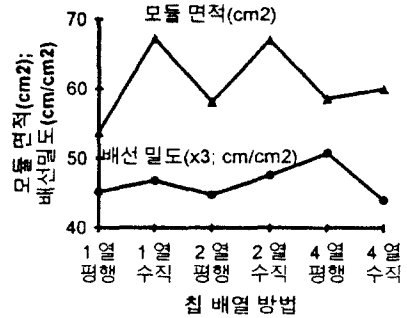


그림 10. 16bit 모듈에서의 칩 배치 방법에 따른 모듈 면적과 배선 밀도

Fig. 10. Module area and wiring density of module routing by varying chip arrangement configurations in the case of 16bit module.

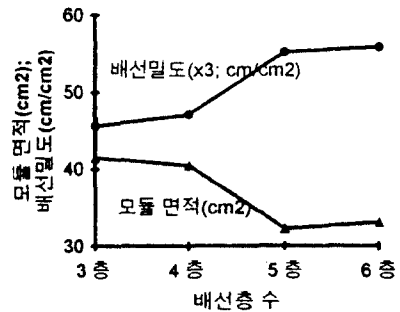


그림 11. 16bit 모듈에서의 배선층 수에 따른 모듈 면적과 배선 밀도

Fig. 11. Module area and wiring density due to the number of wiring layers in the case of 16bit module.

칩을 양면에 실장한 경우에도 마찬가지로 8bit 모듈 의 PS8-13 칩 배치 방법과 같은 구조가 모듈 면적과 평균 배선 길이면에서 가장 좋은 결과를 보였다. 이로써 칩을 단면실장하는 경우와 양면실장하는 경우 그리고 입출력 단자 수를 8bit로 하는 경우, 16bit로 하는 경우 모두 모듈을 구성하는 칩 수가 같으면 칩 단자와

모듈 단자의 패드 배열 방향을 평행하도록 칩을 배치하는 것이 가장 효율적인 방법임을 알 수 있었다. 배선층 수에 따른 배선 결과도 8bit 모듈에서와 마찬가지로 단면실장하는 경우에는 그림 11과 같이 3 층 이상으로 하는 것이 양면실장하는 경우에는 5 층으로 하는 것이 가장 효율적인 방법임을 알 수 있었다.

#### IV. 메모리 모듈 제작

메모리 모듈 배선 결과를 토대로 칩을 단면실장시킬 때는 PS8-1 칩 배치 구조를, 양면실장시킬 때는 PS8-13 칩 배치 구조를 선택하여 256K×8bit SRAM 모듈을 배선하고 제작하였다. 모듈 기판은 다층으로 제작되는데 다층 기판 공정 과정은 5 단계로 수행된다.<sup>[20]</sup> 먼저 각각의 copper foil clad dielectric 배선층을 준비하고, 준비된 각 배선층의 도체를 패터닝하고 식각하여 회로를 배선한다. 각 배선층들간의 회로 연결을 위한 비아 형성과 모든 배선층을 관통하는 plated through-hole(PTH) 형성을 위해 드릴링을 실시한다. 비아는 내부 배선층들간의 연결을 위한 내장된 비아(buried via)와 모든 배선층을 연결하는 관통 홀비아(hole via)로 나누어 진다. 다음은 각 배선층들을 정렬하고 적층 과정을 통해 하나의 기판으로 구성한다. 정렬된 기판은 비아와 PTH 형성을 위해 드릴링한 홀들을 도금하여 전기적으로 연결되게 한다.

자동배선된 layout에 따라서 수행된 메모리 모듈 기판 제작에서는 구리 동판과 glass-epoxy로 구성된 0.8 mm 두께의 양면 인쇄회로기판을 사용하여 배선된 회로 패턴을 필름으로 떠서 사진식각 공정을 통해 기판 위에 패턴을 형성하였다.<sup>[21]</sup> 감광 용액으로는 인쇄회로기판 제작용 negative 감광 용액을 사용하여 스핀 코팅시켜 도포하였다. 이 때 감광 용액의 점착력을 강화하고 표면의 불순물을 제거하기 위하여 알루미늄 분말을 이용하여 표면 처리를 하였다. 현상 후 도선의 패턴을 위한 식각 용액으로 ammonium persulfate ( $(NH_4)_2S_2O_8$  용액을 사용하여 30 분간 에칭하였고, 양면의 회로를 연결하기 위한 비아 홀은 0.3 mm 드릴로 연결하였다. 제작된 기판 위에 패키징된 칩의 부착은 납땀을 이용하여 메모리 모듈을 제작하였다.

8 개의 32K×8bit SRAM 칩을 이용하여 메모리 모듈을 제작할 때 표면 실장 기술을 적용할 수 있도록 단면실장과 양면실장의 경우 모두 설계 규칙에 따라서 배선하였다. 표 2은 배선 결과를 종합하였다. 실험에 사용되는 칩의 특성은 공급 전력이 5 V이고 동작 전류는 80 mW/MHz 이며 주소 액세스(access) 시간과

cycle time은 85 nsec이다. 칩의 패키지 형태는 SOP(small outline package)이다.

표 2. 제작된 모듈의 결과

Table 2. A summary of a fabricated module.

형태	단면 실장	양면 실장
모듈 면적	$22.8 \times 2.3 = 52.5$	$6.28 \times 5.05 = 31.7$
모듈 높이	3.5 mm	6 mm
총 net 길이	561 cm	566 cm
총 net 수	35 개	35 개
평균 net 길이	16.0 cm	16.2 cm
칩 사용 면적	$20.6 \text{ cm}^2$ (39.3 %)	$20.6 \text{ cm}^2$ (65 %)

모듈 제작에서 칩을 단면실장할 때 모듈 면적은  $52.5 \text{ cm}^2$ 가 되었고, 총 net의 길이는 561 cm가 되었으며 총 net 수는 35 개로 net당 평균 길이는 16.0 cm가 되었다. 양면실장할 때는 모듈 면적은  $31.7 \text{ cm}^2$ 가 되었고, 총 net 길이는 566 cm로서 net당 평균 길이는 16.2 cm가 되었다. 제작된 메모리 모듈의 무게를 각각 전자 저울로 측정하였다. 단면, 양면실장되는 모듈의 무게는 17.3 g과 16.0 g을 보여 칩을 양면실장하였을 때가 단면실장하였을 때에 비해 모듈 무게가 9 % 감소됨을 알 수 있었다. 이것은 배선에 필요한 면적이 감소되었기 때문인 것으로 간주된다.

메모리 모듈의 성능 시험은 메모리 모듈 성능 시험기를 이용하였다.<sup>[22]</sup> 메모리 칩의 성능 시험이란 주소 영역 전체에 걸쳐 데이터 쓰기/읽기를 반복함으로써 메모리 칩이 정상적으로 동작하는지를 알아보는 것이다. 즉 전 주소에 걸쳐 0과 1의 쓰기/읽기를 실시한 후 쓰여진 데이터 값과 읽은 데이터 값을 서로 비교하여 오류를 검출하는 것이다. 256Kbyte SRAM 모듈의 성능 시험을 수행한 결과 100 %의 쓰기/읽기 동작을 하므로 정상적으로 동작함을 확인하였다. 본 실험에서 작성된 프로그램으로 256K×8bit SRAM 메모리 모듈의 메모리 셀 전체를 시험하는데는 총 8분 24 초가 소요되었다.

#### V. 실험 결과 분석

8bit SRAM 모듈을 구성할 때 칩을 단면과 양면에 실장하는 경우 모두 칩 단자와 모듈 단자의 패드 배열 방향을 평행하도록 칩을 배치하는 것이 모듈 면적과 평균 배선 길이를 최소화할 수 있고, 모듈단자 패드 배열면 수의 변화에 대해서는 칩 패드의 배열 형태와 같이 2 면으로 하였을 때 가장 효율적이었다. 배선층 수를 증가시켜도 모듈 면적은  $39.4 \text{ cm}^2$ 로 같은 수준



에 머물렀으며 평균 배선 길이에 대해서는 2 층 배선 구조를 지녔을 때 제일 작은 값인 514.5 cm를 보여 주었다(PS8-7). 공식(3)에 의해 총 배선 길이를 계산하면  $N_7 = 259$  개이고,  $P = 2.03$  cm이므로  $L = 591.5$  cm가 된다. 이 값은 자동 배선에 의해서 실시된 실험 결과가 최적치를 나타내고 있음을 의미한다.

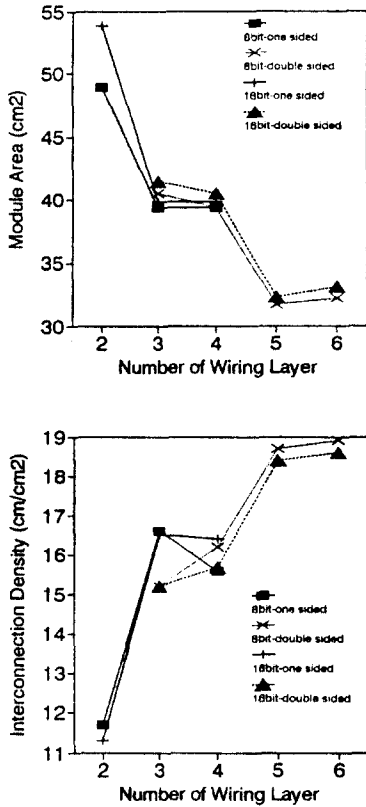


그림 12. 배선층 수 변화에 따른 모듈 배선 결과  
 Fig. 12. The results of module routing by varying the number of wiring layers.

배선층 수가 2 층에서 3 층 또는 4 층으로 증가함에 따라서 모듈 배선 면적이 22 % 감소하였고, 칩 점유율도 44.6 %에서 56.9 %로 증가하는 것을 보여주어 배선의 최적 조건이 갖추어지면 모듈 면적이 감소되어서 배선층 수를 최적치까지 증가시키는 것이 좋다는 것을 확인하였다. 따라서 단면실장시킬 때는 배선층 수를 3 층 이상으로 하는 것이, 양면실장시키는 경우에는 배선층 수를 5 층으로 하는 것이 효율적임을 알 수 있었다. 배선 길이 또한 단면 실장의 최적치인 514.5 cm에 비해 양면실장시킬때는 10 % 증가된 565.9 cm로 나타났다. 이와같은 결과를 통해 칩을 양면실장시

킬 때는 배선층 수를 5 층으로 하면 배선 길이는 다소 증가하지만, 배선 면적은 크게 감소시킬 수 있었다. 평균 배선 길이도 배선층 수가 최적 조건에 도달하면 배선층 수를 증가시킨다 하더라도 일정하게 유지됨을 알 수 있었다. 따라서 양면실장을 하면 단면실장하는 경우에 비해서 배선 밀도도 16.6  $cm/cm^2$ (PS8-9)에서 18.7  $cm/cm^2$ 로 13 % 증가시킬 수 있으며, 칩 점유율도 56.9 %에서 65 %로 증가시킬 수 있으며 메모리 집적밀도도 60.6 Kbit/cm<sup>2</sup>에서 69.2 Kbit/cm<sup>2</sup>로 증가시킬 수 있었다. 하지만 단점으로는 배선층 수를 3 층에서 5 층으로 증가시켜야 하며, 양면실장에 따른 공정상의 복잡함이 있다. 위의 결과는 Knausenberger<sup>[23]</sup>가 가정하여 계산한 양면실장 경우의 결과인 19cm/cm<sup>2</sup>의 수치와 비슷한 결과를 보여 주었다.

16bit SRAM 모듈에서도 8bit SRAM 모듈에서와 같이 칩을 단면실장하는 경우에는 칩을 1 열로, 모듈 단자와 칩 단자를 서로 평행하게 배치하는 방법이 모듈 면적 및 평균 배선 길이에서 가장 좋은 결과를 보였으며, 칩을 양면실장하는 경우에는 PS16-11 칩 배치 방법이 가장 좋은 결과를 보였다. 배선층 수에 의한 변화에서도 8bit SRAM 모듈에서와 마찬가지로 칩을 단면실장한 경우에는 배선층 수를 3 층 이하로, 양면실장한 경우에는 5 층으로 하는 것이 효율적인 구조였다. 양면실장 5 층 배선인 경우(PS16-11) 배선 면적이 30.5  $cm^2$ , 배선 길이 560.1 cm로 8bit 모듈에서의 같은 조건으로 구성할 때와 같은 결과를 얻을 수 있었다. 그림 12는 위의 경향을 정리한 것으로 배선층 수가 증가할수록 모듈 면적은 대체로 감소하고 배선 밀도는 증가하는 것을 보여주고 있다. 그림 12에서 8bit 모듈이나 16bit 모듈 구조가 동일하게 나타나는 것은 8bit SRAM 모듈과 16bit SRAM 모듈의 구성 칩 수가 같으므로 기본 배선 구조가 다소 다르더라도 모듈 면적과 배선 길이는 실장되는 칩의 수에 따라 변함을 알 수 있었다.

메모리의 집적도를 살펴보면 양면실장에 5 층 배선으로 DIP 형태의 배선을 할 경우에는 모듈당 67.6 Kbit/cm<sup>2</sup>를 보여 주어서 패키징된 칩 한 개당 집적도인 120.3 Kbit/cm<sup>2</sup>에 비해 집적 밀도가 1/2 정도로 줄어들었다. 하지만 메모리 총 용량은 모듈을 구성하므로 해서 256Kbit에서 2Mbit로 8 배 늘릴 수 있음을 볼 수 있었다. 배선 밀도도 다층 기판과 패키징된 칩을 이용하여 배선할 경우에는 최대 16.6  $cm/cm^2$ 의 배선 밀도를 보이고 있어 다층 기판-표면 실장 구조가 지닌 최적치를 보이고 있다.

신호 전송 지연 시간은 배선 거리에 따라 변화하는데, PCB glass-epoxy 기판 위에서의 신호 속도는

$V_p = c/\sqrt{K}$ ,  $c$  = 광속도,  $K$  = 비유전상수(4.7)로 주어지며, 신호 속도는 13.8 cm/nsec가 된다. 이에 따라 모듈 기판에서의 신호 전송 지연 시간을 계산하면 평균 배선 길이가 8bit 구조인 경우는 15.4 cm로서 1.1 nsec가 되며, 16bit 구조인 경우는 14.5 cm로서 1.05 nsec가 되어 계산된 지연 시간은 모듈 기판에서 약 1 nsec 정도가 됨을 알 수 있었다.<sup>[24]</sup>

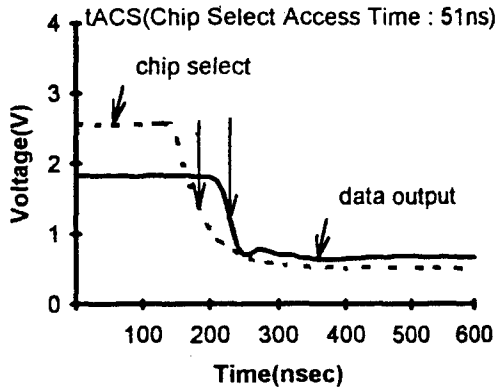


그림 13. 메모리 모듈에서의 신호 전송 지연 시간  
Fig. 13. Propagation delay time in the memory module.

그림 13은 제작된 메모리 모듈의 read cycle에서의 칩 선택 액세스 시간(chip select access time) tACS를 측정된 결과를 나타내고 있다. 측정 결과 51 nsec로서 칩 자체의 최대 tACS인 50 nsec에 비해 약 1 nsec의 지연된 신호 전송을 확인할 수 있었다.

## VI. 결 론

본 실험에서는 메모리 다중칩 모듈화 방법으로 메모리 부품의 대용량화 및 고성능화를 이루는데 있어 다층 기판과 표면 실장 기술이 메모리 모듈 설계와 제작에 미치는 영향을 살펴보았다. 32K×8bit SRAM 칩을 이용하여 8bit, 16bit SRAM 모듈을 구성하므로써 모듈 면적과 배선 길이의 변화를 살펴보았다. 메모리 모듈을 구성하기 위한 회로 배선은 PCAD 프로그램을 이용하였으며, 메모리 모듈 기판은 양면 인쇄회로기판으로 제작하였다. 메모리 모듈 배선 결과 칩 배치 방법에 대해서는 칩 단자와 모듈 단자를 평행하게 배열하며, 칩을 일렬로 배치시키는 것이 효율적이며, 모듈 패드의 면 수는 DIP 구조의 패키지 칩을 사용할 경우 DIP 구조와 같이 모듈 패드 면 수를 2 면으로 하는 것이 모듈 면적을 최소화시킬 수 있었다. 배선층 수에 대해서는 칩을 단면실장할 경우에는 3 층으로, 양면실

장할 경우에는 5 층으로 배선하는 것이 효율적임을 볼 수 있었다. 배선 길이는 배선층 수를 증가시킴에 따라 다소 증가하지만 배선 면적을 약 23 % 정도로 감소시켜서 모듈 기판을 설계할 때는 2 층 기판을 사용하는 것보다 다층 기판을 사용하는 것이 더 효율적임을 보여 주었다. 또한 칩 실장 면 수에 대해서는 양면실장 방식이 배선 밀도를 증가시키고 칩 점유율도 증가되기 때문에 양면실장하는 것이 모듈 배선 효율을 높일 수 있음을 확인하였다.

본 실험에서 다층 기판과 표면 실장 기술에 의해서 256K×8bit 모듈기판을 제작하고, 양면실장하여 5 층으로 배선한 결과, 칩 점유율은 65 %, 배선 밀도는 18.9 cm/cm<sup>2</sup>, 신호 지연 시간은 약 1.1 nsec로 극대화시킬 수 있어서 Knausenberger가 계산한 수치와 같은 결과를 보여줌을 확인하였다.

## 참 고 문 헌

- [1] R.W. Johnson, R.K.F. Teng, and J.W. Balde, Multichip Modules, IEEE Press, 1991.
- [2] P. Lall and S. Bhagath, "An Overview of Multichip Module," Solid State Technology, vol. 36, no. 9, p. 65-76, 1993.
- [3] T.A. Lane, F.J. Belcourt, and R.J. Jensen, "Electrical Characteristics of Copper/Polymide Thin-Film Multilayer Interconnection," IEEE Trans. Components, Hybrides, Manuf. Technol., vol. CHMT-12, no. 4, p. 577-585, Dec. 1987.
- [4] J.W. Balde and R.W. Johnson, "Part I Introduction," Multichip Modules, IEEE Press, p. 1-4, 1991.
- [5] L.M. Higgins III, "Perspectives on Multichip Modules : Substrate Alternatives," Proc. 1992 IEEE Multi-chip Module Conf. MCMC-92, p. 12-15, 1992.
- [6] D.P. Seraphim, "Chip-module-package Interface," Proc. Electron, Insulation Conf., Sept. 1977.
- [7] R.R. Tummala and E.J. Rymaszewski, Microelectronics Packaging Handbook, Van Nostrand Reinhold, p. 56-57, 1989.
- [8] 尹光鉉, 朴大永, "SRAM 제품 및 기술의 현황과 전망," 電子工學會誌, 第 19 卷 第 5 號 p.

- 16-21, 1992년 12월.
- [9] E. Clark, "Transitioning to MCM Production," Printed Circuit Fabrication Asia, p. 28-32, Spring, 1993.
- [10] G. Messner, "Laminate Technology for Multichip Modules," Electron Packaging & Production, Special Supplement: Concurrent Engineering for Packaging, Fabrication & Assembly, p. 32-40, Oct. 1992.
- [11] Memory Module Selection Guide, Mitsubishi Electric Corp., p. 30-32, 1989.
- [12] B. Prince, Semiconductor Memories, John Wiley & Sons, 2nd ed., 1991.
- [13] P. Cinato and K.C. Young, Jr., "Optical Interconnections within Multichip Modules," Opt. Eng., vol. 32, no. 4, p. 852-860, 1993.
- [14] G. Messner, "Cost-Density Analysis of Interconnection," IEEE Trans. Components, Hybrids, Manuf. Technol., vol. CHMT-10, no. 2, p. 143-151, 1987.
- [15] MOTOROLA Memory Data, Motorola, p. 7.26-7.30, 1990.
- [16] J. Uffenbeck, Microcomputer & Microprocessor, Prentice-hall, 1989.
- [17] 이옥양, 완벽 P-CAD 활용, 가남사, 1993
- [18] D. Nayak, L.T. Hwang, and I. Turlik, "Simulation and Design of Lossy Transmission Lines in a Thin-Film Multichip Package," IEEE Trans. Components, Hybrids, Manuf. Technol., vol. 13, no. 2, p. 294-302, June 1990.
- [19] 김창연, 지 용, "128K × 8bit SRAM 메모리 다중칩 패키지 제작," 제3회 반도체 Workshop 발표 논문집, 1993
- [20] D.A. Doane and P.D. Franzon, Multichip Module Technologies and Alternatives, Van Nostrand Reinhold, 1993.
- [21] G.L. Ginsberg, Printed Circuits Design, McGraw-Hill, 1991.
- [22] 김창연, "SRAM을 이용한 다중칩 메모리 모듈 구성에 관한 연구," 서강대학교 석사 논문, 1994
- [23] W.H. Knausenberger and L.W. Schaper, "Interconnection Costs of Various Substrates-the Myth of Cheap Wire," IEEE Trans. Components, Hybrids, Manuf. Technol., vol. 13, no. 2, p. 294-302, June 1990.
- [24] C.S. Walker, Capacitance, Inductance, and Crosstalk Analysis, Artech House, 1990.

---

 저 자 소 개
 

---

金 昌 淵(正會員) 제 31권 A편 제 3호 참조  
현재 금성사연구소 근무중

池 龍(正會員) 제 31권 A편 제 3호 참조  
현재 서강대학교 전자공학과 조교수