

論文95-32A-3-2

D/A 변환기의 비선형왜곡을 보상하는 Echo Cancellor

(Echo Cancellor compensating a nonlinear distortion of D/A converter)

鄭基碩 *

(Gi-seong Jeong)

요약

본 논문에서는 전이중 디지털 가입자 선로 모뎀에서 사용될 수 있는 새로운 비선형 echo canceller 를 제안하였다. 가입자 선로 모뎀은 전송 펄스 비선형, 하이브리드 변성기 포화, 테이타변환기 비선형등의 비선형 왜곡에 의하여 방해를 받는다. 제안된 비선형 echo canceller는 canonical piecewise-linear(CPWL) 함수에 기초한 비선형 디지털필터를 사용하며, 이러한 비선형 왜곡을 보상할 수 있다. 컴퓨터 시뮬레이션 결과 제안된 CPWL 알고리즘의 수렴특성은 absoluter를 갖는 선형필터의 개수 초기값에 달려 있고 D/A 변환기의 비선형은 비교적 작은 수의 absoluter를 갖는 선형 필터에 의하여 보상될 수 있다는 것이 보여지고, 또한 Volterra 알고리즘과 비교하여 더 빠른 수렴률을 갖는 것이 보여 진다.

Abstract

This thesis proposes a new echo canceller that can be used in a full-duplex digital subscriber loop modem. The modem suffers from nonlinear distortion such as transmitted pulse asymmetry, saturation in transformers, and nonlinearity of data converters. The proposed nonlinear echo canceller can compensate the nonlinear distortion by using a nonlinear digital filter based on canonical piecewise-linear (CPWL) function. Numerical results based on computer simulation are given in this paper. It is shown that the convergence characteristics depend on the initial values of weights of linear filters with absoluters and that the nonlinearity in digital-to-analog(D/A) converter can be compensated by a relatively small number of linear filters with absoluters. It is also shown that the proposed algorithm has a faster convergence rate in comparison with Volterra algorithm.

I. 서론

여러가지 새로운 데이터서비스에 대한 요구는 전화 네트워크의 데이터서비스 집적화를 촉진하여 종합정보 통신망(ISDN)을 출현시켰다.

* 正會員, 永同工科大学 情報通信工學科
(Youngdong Institute of Technology Dept. of Information and Communication)

接受日字 : 1994年 8月 17日

가입자 선로(subscriber loop)가 디지털화 될 때 디지털 전송을 경제적으로 실현하기 위하여 전이중(full-duplex) 디지털 데이터를 전송하는 수단으로서 현존하는: 연선 쌍(twisted pair) 케이블을 이용하여 주요 3 가지 전송기술, 1)주파수 분리(frequency separation), 2)시간 분리(time separation), 3)반향 소거(echo cancellation) 가 조사된 바 있다^{[1], [2]}. 그 결과 반향 소거 방법이 다른 두 방법에 비하여 사용 가능한 선로길이 면에서 장점을 지니고 있는 것으로

로 나타났다.

지금까지 대부분의 반향 소거기(echo canceller (EC)) 는 반향 경로(echo path) 혹은 의사 반향(echo replica)의 비선형 왜곡 효과를 완전히 무시하였다^{[3] [5]}. 그러나 실제 시스템에서 전송 펄스 비대칭(transmitted pulse asymmetry), 변성기 포화(saturation in transformer), 데이터 변환기의 비선형등이 존재하며, 이 중에서 가장 심한 비선형은 데이터 변환기의 비선형이다^[6].

디지털 구현으로 이루어진 비선형 보상을 위한 반향 소거기에 memory compensation (look-up table) 반향 소거기가 있다^{[7]-[8]}. 이것은 입력 샘플을 합성하기 위하여 2N 의 탭을 갖는다. 이 EC 는 N 전송 비트의 각 가능한 결합에 대하여 하나의 독립적인 출력을 할당한다. 다시 말하면 N 비트의 조합은 메모리의 주소가 되고 그 주소지의 내용이 출력이 된다. 따라서 보상될 수 있는 비선형에 대하여 완전히 일반적인 알고리즘이 된다. 이 일반성에 대한 댓가는 탭의 수가 2N 에 따라 증가하는 것과 매 샘플시간에 단지 하나의 탭의 계수가 새로운 값을 갖게 되는 것이다. 따라서 N 이 클때 요구되는 메모리가 아주 커지고 수렴속도가 아주 느려진다.

또 다른 비선형 EC에 Volterra 급수를 이용한 것이 있다^{[9]-[10]}. 이것은 선형 EC 에 비선형 탭(extra tap) 을 추가하여 비선형을 보상한다. 비선형 탭은 Volterra 급수의 2차 혹은 3차 커널(kernel) 만으로 한다. 왜냐하면 커널이 커지면 메모리가 증가하고 회로가 복잡해지기 때문이다. 이때 비선형 탭의 수는 비선형의 정도에 따라 증가한다. 아주강한 극한경우로서 2N 개의 탭이 필요한데 이경우에는 look-up table 알고리즘과 동가가 된다. 이와같이 Volterra 필터는 비선형에 따라서 계산량과 구현 비용이 급격히 증가 한다.

비선형 시스템을 표현할 수 있는 다른 방법에 piecewise-linear (PWL)함수가 있다. PWL함수는 전자 디바이스의 dc 비선형 특성을 모델하기 위하여^[11] 그리고 비선형 저항 네트워크(nonlinear resistive network) 의연구를 위하여^[12] 회로와 시스템 이론에 광범위하게 사용되었다. 그 후, 다차원 PWL 함수에 대한 새로운 밀집된 표현이 제시되었는데 이 표현은 하나의 방정식으로 PWL 표현들을 완전히 특성화할 수 있다^[13]. 이것이 canonical PWL(CPWL) 함수이며 PWL 함수보다 적은 메모리를 갖는다. 최근에 이 CPWL 함수를 이용한 비선형 디지털 필터가 등장하였으며^[14] Volterra 필터보다 계산과 구현 비용 면에서 장점을 갖는다. 따라서 본 논문에서는 CPWL 함수를 이용한 비선형 디지털 필터를 사용하는 echo can-

celler 를 제안한다.

본 논문의 구성은 II장에서 CPWL 비선형 EC의 적응 알고리즘을 도출하며, III 장에서는 컴퓨터 시뮬레이션에 의하여 Volterra 비선형 EC의 알고리즘과 성능 비교를 한다. 마지막 IV장에서 결론을 맺는다.

II. CPWL 적응 알고리즘

유한메모리(finite-memory) 연속 비선형 디지털 시스템의 CPWL 함수의 근사 표현은 다음과 같이된다^[15].

$$f(a(k)) = x + b^T a(k) + \sum_{j=1}^p c_j(k)(|a_j^T a(k) - 1|) \quad (1)$$

여기서,

$$a(k) = [a(k), a(k-1), \dots, a(k-N+1)]^T \quad (2)$$

는 입력 벡터이고,

$b, a_j (j=1, 2, \dots, p) : N$ 차원 계수 벡터
입력 공간(input space) 에서 선형 부지역(subregions) 의 분할의 경계는

다음과 같은 p 개의 hyperplane 에 의하여 결정된다.

$$a_j^T a(k) = 1, \quad (3)$$

$$j = 1, 2, \dots, p$$

식(1) 에 의하여 주어지는 함수는 $(1+N)(p+1)$ 개의 자유 변수(free variable) 의 최소 수를 갖는 연속 PWL 의 전체적인 모델로서 간주될 수 있다.

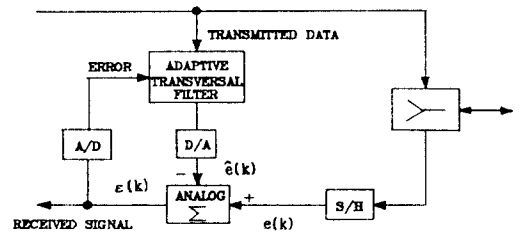


그림 1. Echo Canceller
Fig. 1. Echo Canceller.

D/A 변환기의 비선형이 입력 신호 $a(k)$ 의 unbiased finite-memory 연속 비선형 함수라고 가정하고, CPWL 함수로 표현될 수 있다고 가정하면 그

림1.과 같은 echo canceller 에서 echo replica 는 다음과 같이 될 수 있다.

$$\hat{e}(k) = d [b^T(k)a(k) + \sum_{j=1}^p c_j(k)(| \alpha_j^T(k)a(k) - 1 | - | \alpha_j^T(k)a(k) + 1 |)] \quad (4)$$

여기서, $d(\cdot) = D/A$ 변환기의 비선형.

$$b(k) = [b_0(k), b_1(k), \dots, b_{N-1}(k)]^T \quad (5)$$

$$\alpha(k) = [\alpha_0(k), \alpha_1(k), \dots, \alpha_{j, N-1}(k)]^T \quad (6)$$

잔류 echo 신호는

$$\varepsilon(k) = e(k) - \hat{e}(k) \quad (7)$$

가 되고, 잔류 echo 신호의 mean-square value 는

$$\begin{aligned} \rho(k) &= E [(e(k) - \hat{e}(k))^2] \\ &= E [(e(k) - d [b^T(k)a(k) + \sum_{j=1}^p c_j(k)(| \alpha_j^T(k)a(k) - 1 | - | \alpha_j^T(k)a(k) + 1 |)])^2] \end{aligned} \quad (8)$$

가 된다.

LMS 적응 알고리즘을 유도하기 위하여 계수 (weight) 를 다음과 같이 두 벡터로 나눈다.

$$w_1(k) = [b^T(k), c_1(k), c_2(k), \dots, c_p(k)]^T \quad (9)$$

$$w_2(k) = [\alpha_1^T(k), \alpha_2^T(k), \dots, \alpha_p^T(k)]^T \quad (10)$$

$w_2(k)$ 를 고정시키면 식(8) 은 다음과 같이 쓸 수 있다.

$$\rho(k) = E [(e(k) - w_1^T(k)u(k))^2] \quad (11)$$

여기서,

$$u(k) = \begin{bmatrix} a(k) \\ | \alpha_1^T(k)a(k) - 1 | - | \alpha_1^T(k)a(k) + 1 | \\ | \alpha_2^T(k)a(k) - 1 | - | \alpha_2^T(k)a(k) + 1 | \\ \vdots \\ | \alpha_p^T(k)a(k) - 1 | - | \alpha_p^T(k)a(k) + 1 | \end{bmatrix} \quad (12)$$

따라서 디지털 필터의 update 방정식은 다음과 같이 된다.

$$w_1(k+1) = w_1(k) + 2\mu_1 \varepsilon(k)u(k) \quad (13)$$

$w_2(k)$ 에 대한 적응 알고리즘을 구하기 위하여 식 (8),(10) 로부터

$$\frac{\partial \rho}{\partial w_2(k)} = -2E [\varepsilon(k)C(k)(v^-(k) - v^+(k))] \quad (14)$$

여기서,

$$C(k) = \text{diag} [c_1(k), c_2(k), \dots, c_p(k)] \quad (15)$$

$$v^-(k) = [q_1^-(k)a^T(k), q_2^-(k)a^T(k), \dots, q_p^-(k)a^T(k)]^T \quad (16)$$

$$v^+(k) = [q_1^+(k)a^T(k), q_2^+(k)a^T(k), \dots, q_p^+(k)a^T(k)]^T \quad (17)$$

$$q_j^-(k) = \text{sgn}(\alpha_j^T(k)a(k) - 1)$$

$$q_j^+(k) = \text{sgn}(\alpha_j^T(k)a(k) + 1) \quad (18)$$

$$j = 1, 2, \dots, p$$

여기서,

$$\text{sgn}(x) = \begin{cases} 1 & x > 0 \\ -1 & x < 0 \end{cases} \quad (19)$$

따라서 $w_2(k)$ 에 대한 LMS update 방정식은 다음과 같이 된다.

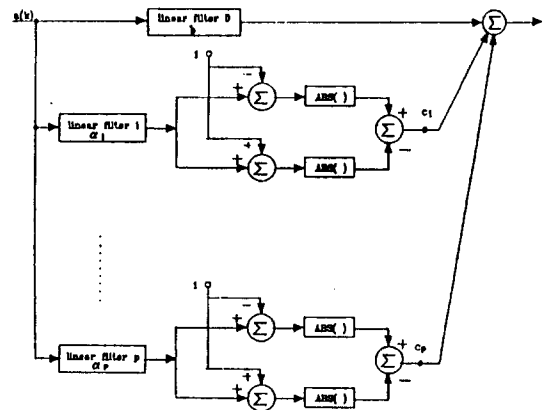


그림 2. CPWL 디지털 필터의 블럭도
Fig. 2. Block diagram of CPWL digital filter.

$$\begin{aligned} w_2(k+1) &= w_2(k) - \mu_2 \frac{\partial \rho}{\partial w_2(k)} \\ &= w_2(k) + 2\mu_2 \varepsilon(k)C(k)(v^-(k) - v^+(k)) \end{aligned} \quad (20)$$

CPWL 디지털 필터의 블록도를 나타내면 그림 2. 과 같다.

Ⅲ. 시뮬레이션 및 결과검토

1. 계수의 초기값 선택

식 (12),(13),(20) 로부터 $w_1(0)$ 과 $w_2(0)$ 의 초기 값 선택을 위하여 다음과 같은 2 가지 기본 원리를 따라야한다.

$$1) \alpha_j(0) \neq 0, \quad j=1,2,\dots,p \quad (21)$$

$$2) \quad \alpha_i(0) = \alpha_j(0) \Rightarrow c_i(0) \neq c_j(0) \\ c_i(0) = c_j(0) \Rightarrow \alpha_i(0) \neq \alpha_j(0) \quad (22) \\ i, j=1,2,\dots,p, \quad i \neq j$$

식(21)이 만족되지 않으면 $\alpha_i(k)$ 와 $c_j(k)$ 의 updating 과정이 그들의 초기값으로 부터 시작될 수 없다. 그리고 식(22)이 만족되지 않으면 $\alpha_i(k) \rightarrow \alpha_j(k)$, $c_i(k) \rightarrow c_j(k)$ 이 된다.

식(11)은 weight $w_1(k)$ 에 대한 2차식(quadratic)이므로 이 알고리즘은 고정된 $w_2(k)$ 에 대하여 전체적 최소(global minimum)에 수렴한다. 그러나 $w_2(k)$ 에 대한 반복과정은 전체적 최소 대신에 국부 최소(local minimum)를 가져올 수 있다. 왜냐하면 경계에 의하여 일어나는 $w_2(k)$ 의 unconvex learning surface 때문이다. 다른말로 하면 위 알고리즘을 통하여 최적 필터 계수에 도달하는 것은 $w_2(0)$ 의 적당한 초기치에 달려있다. 실제 적용에서 잔류 에러가 허용 범위 내에 있을 때까지 $w_2(0)$ 의 여러가지 초기값으로 반복 시행함으로써 최적값을 얻을 수 있다.

2. 시뮬레이션 결과 및 검토

컴퓨터 시뮬레이션에서 사용한 echo path impulse response 는

$$g(k) = e^{-0.8k}, \quad 1 \leq k \leq N \quad (23)$$

이고, 입력 데이터는 biphase code, 선형 탭수 $N = 8$ 이다.

D/A 변환기의 비선형을 생각할때 비선형 D/A 변환기의 전달특성은 다음과 같이 모델 될 수 있다^[10].

$$d[w(k)] = w(k) - 0.01w^3(k) \quad (24)$$

여기서, $w(k)$ 는 선형 canceller의 출력이다.

$p = 1,2,3$ 일 때 수렴상수 $\mu_1 = 0.001$ 에 대하여 μ_2 와 $\alpha(0)$ 을 변화시키면서 시뮬레이션 하였다.

제안된 CPWL 알고리즘에서의 수렴 특성은 hyperplane에 의한 선형필터의 계수 초기값에 달려있다. 선형 필터의 계수 초기 값은 0으로 놓고, updating 과정을 시작하기 위하여 hyperplane에 의한 선형필터의 계수 초기 값은 적어도 하나의 탭은 0이 아닌 작은 수를 택하였다.

Hyperplane에 의한 선형 필터가 2개 이상일 때 마지막 필터의 계수초기값이 0.1보다 작거나 1.0보다 크면 residual error에 약한 영향을 주는 경계(boundary)가 더 강한 영향을 주는 것에 의하여 사라지는 경계소멸(boundary vanish)이 일어나며 이 때는 약한 경계의 필터 계수가 0으로 수렴한다. 혹은 경계가 나타나는 경계 출현(boundary emergence)현상이 발생하고 이때는 약한 경계의 필터 계수가 강한 경계의 필터 계수와 같아진다. 이러한 경우에는 국부 최적(local optimum)에 수렴하였다. 그리고 residual error는 선형과 같은 레벨을 유지하였다.

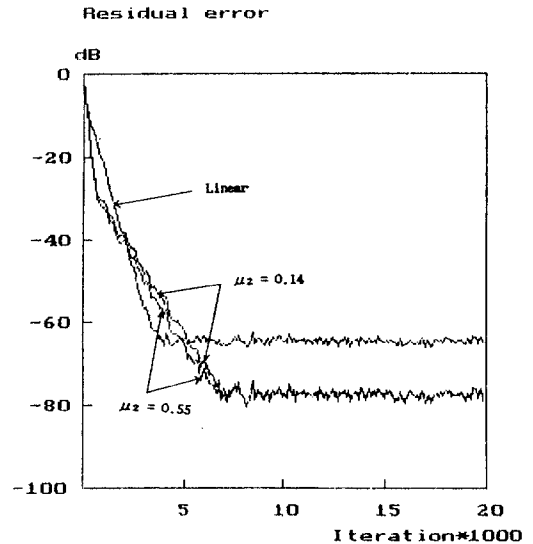
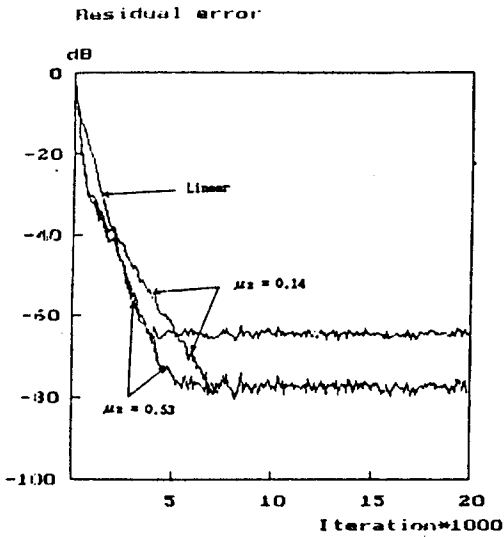


그림 3. CPWL 알고리즘의 수렴곡선(p=1)
Fig. 3. Convergence curves of CPWL algorithm at p=1.

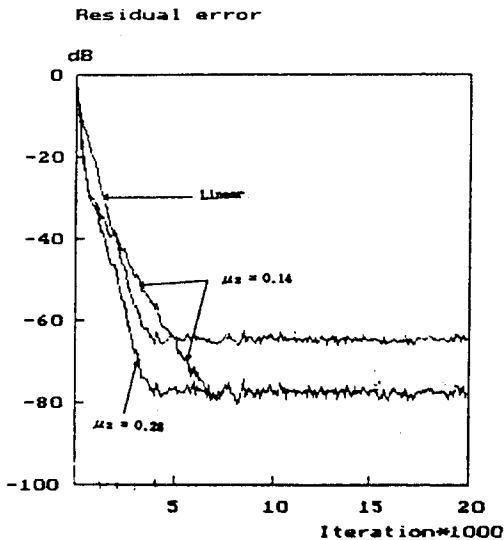
Hyperplane에 의한 선형 필터 중 마지막 필터의 계수 초기값은 0.1에서 0.9까지의 범위에서 수렴 상수의 조건이 만족되면 전체적 최적(global optimum)에 수렴하였다. Hyperplane에 의한 선형 필터의 수렴상수는 전체적 최적에 수렴하는 범위내에서 증가할 수록 수렴속도는 빨랐다.

또, 전체적 최적에 수렴하는 hyperplane 에 의한 수렴상수의 범위는 선형필터의 수렴상수가 작을수록 감소하는 것을 알 수 있었다.

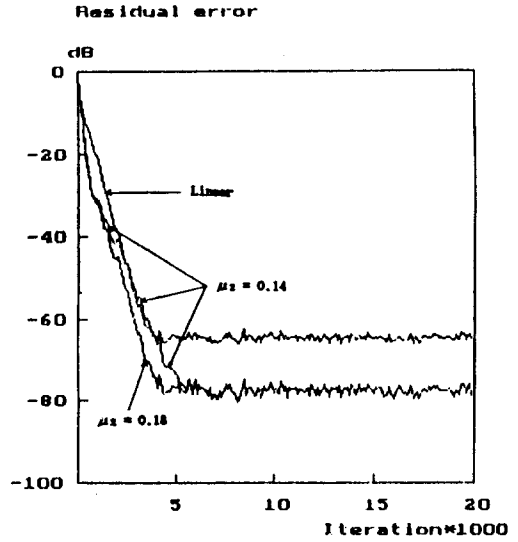
$p = 1$ 일 때 $\mu_2 = 0.14, 0.55$ 에서의 수렴곡선을 그림 3.에 나타내었다. 그림 3.에서 보듯이 $\mu_2 = 0.14$ 일 때는 residual error 는 선형일 때 보다 작아지지만 수렴속도는 더 느리다. μ_2 가 증가함에 따라 수렴속도는 빨라져서 $\mu_2 = 0.55$ 일 때 최대가 된다. 그러나 이때도 선형과 비교해서 더 느린 것을 알 수 있다. $p = 2$ 일 때 수렴곡선을 그림 4.에 나타내었다.



(a) $\alpha_1(0) = 0.001$ 일 때



(b) $\alpha_1(0) = 0.01$ 일 때

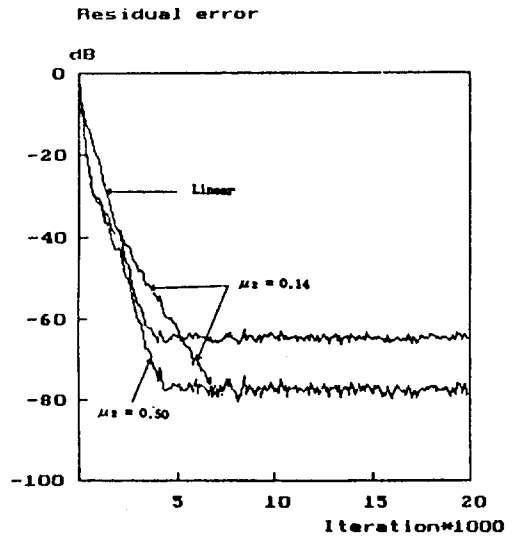


(c) $\alpha_1(0) = 0.03$ 일 때

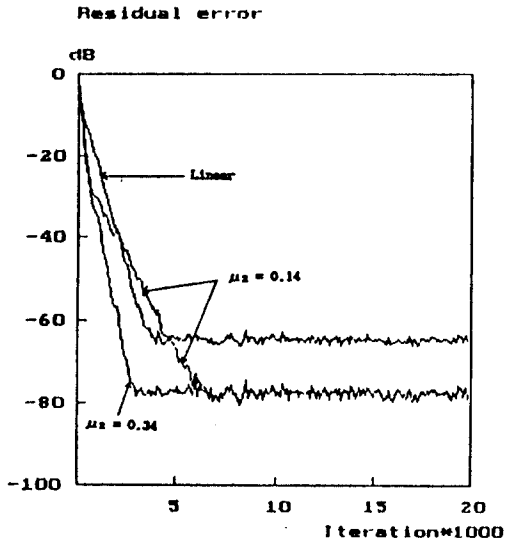
그림 4. CPWL 알고리즘의 수렴곡선 ($p=2$)
Fig. 4. Convergence curves of CPWL algorithm at $p=2$.

- (a) $\alpha_1(0) = 0.001$ 일 때
- (b) $\alpha_1(0) = 0.01$ 일 때
- (c) $\alpha_1(0) = 0.03$ 일 때

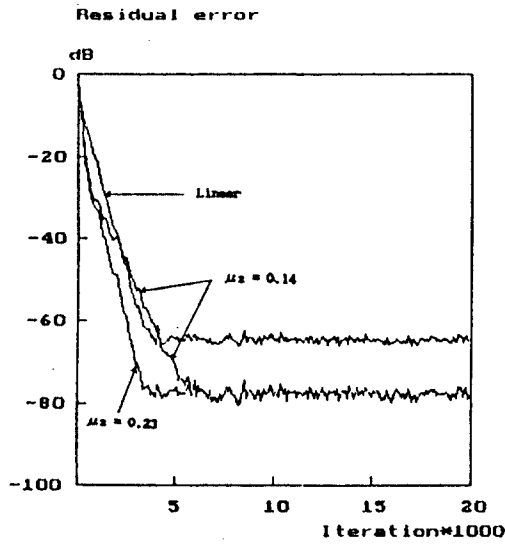
그림 4(a)에서 최대 수렴속도는 $\mu_2 = 0.53$ 일 때 이며, 이때도 선형과 비교해서 약간 더 느리다. 그림4(b)에서 최대속도는 $\mu_2 = 0.28$ 일 때 이며, 이 때는 선형과 비교해서 더 빠르다.



(a) $\alpha_1(0) = 0.001, \alpha_2(0) = 0.002$ 일 때



(b) $a_1(0)=0.01, a_2(0)=0.012$ 일 때



(c) $a_1(0)=0.01, a_2(0)=0.002$ 일 때

그림 5. CPWL 알고리즘의 수렴곡선 ($p=3$)
Fig. 5. Convergence curves of CPWL algorithm at $p=3$.

- (a) $a_1(0)=0.001, a_2(0)=0.002$ 일 때
- (b) $a_1(0)=0.01, a_2(0)=0.012$ 일 때
- (c) $a_1(0)=0.01, a_2(0)=0.002$ 일 때

그림4(c)에서 최대 수렴속도는 $\mu_2=0.18$ 일 때 이며 선형 보다 더 빠르다.

그러나 $a_1(0)=0.01$ 일 때 보다는 더 느리다. 따라서 $p = 2$ 일 때 $a_1(0)=0.01$ 에서 수렴속도가 가장

빠른 것을 알 수 있다.

$p = 3$ 일 때 수렴곡선을 그림 5. 에 나타내었다. 그림5(a)에서 보듯이 수렴 속도는 $\mu_2=0.5$ 일 때 최대가 된다. 이 때 선형과 비교해서 약간 더 빠르다. 그림5(b)에서 최대 수렴속도는 $\mu_2=0.34$ 일 때이며, 이 때는 $\mu_1=0.001, a_1(0)=0.002$ 일 때와 비교해서 더 빠르다. 그림5(c)에서 최대 수렴 속도는 $\mu_2=0.23$ 일 때이며, 선형 보다 더 빠른 것을 볼 수 있다. 그러나 $a_1(0)=0.01, a_2(0)=0.012$ 일 때 보다는 더 느리다. 따라서 $p = 3$ 일 때 $a_1(0)=0.01, a_2(0)=0.012$ 에서 수렴속도가 가장 빠른 것을 알 수 있다.

$\mu_1=0.001$ 일 때 선형, Volterra 알고리즘, CPWL 알고리즘 의 수렴특성을 그림6. 에 나타내었다. 그림6. 에서 Volterra 알고리즘은 3차 kernel 의 비선형 텅이 5개 일 때에 대하여 나타내었고, CPWL 알고리즘은 $p = 2$ 와 $p = 3$ 일 때에 대하여 나타내었다.

그림6. 에서 보듯이 잔류에러는 Volterra 알고리즘과 CPWL 알고리즘이 비슷하다. 그러나 수렴속도는 CPWL 알고리즘이 더 빠른 것을 볼 수 있다.

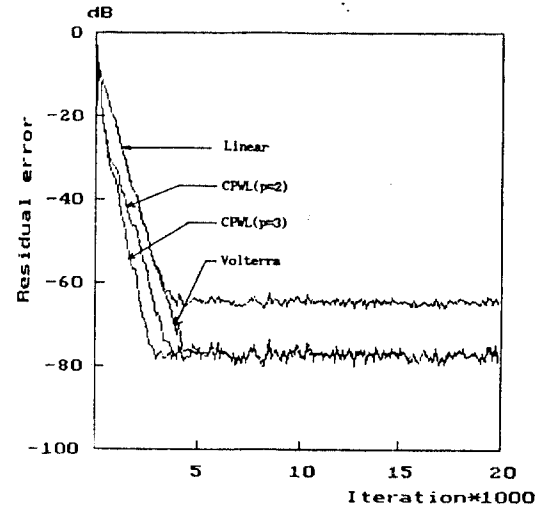


그림 6. CPWL 알고리즘과 Volterra 알고리즘 비교
Fig. 6. Comparison of CPWL algorithm and Volterra algorithm.

IV. 결론

본 논문에서는 가입자 선로 모델에서 시스템의 비선형 왜곡을 보상할 수 있는 새로운 echo canceller 를 제안하였다.

제안된 비선형 echo canceller 는 canonical

piecewise-linear (CPWL) 함수를 이용한 비선형 디지털 필터를 사용하였으며, 적응 알고리즘으로는 least-mean squares(LMS) 알고리즘을 사용하였다.

CPWL 알고리즘과 Volterra 알고리즘의 수렴특성을 비교하면 residual error는 Volterra 알고리즘에서 비선형 탭이 5개 일 때는 거의 같았고 비선형 탭이 6개 이상일 때는 Volterra 알고리즘이 CPWL 알고리즘보다 더 작았다. 그러나 수렴속도는 hyperplane 에 의한 선형필터가 1개 일 때는 CPWL 알고리즘이 Volterra 알고리즘보다 느리지만, 2 개 일때는 선형 필터의 수렴상수가 0.001 일 때 약 700 iteration 즉, 전송률 160 Kbit/s 에서 약 4.38 ms 더 빨랐고, Hyperplane 에 의한 선형필터가 3 개 일때는 선형 필터의 수렴상수가 0.001 일 때 약 1500 iteration , 즉 9.38 ms 더 빨랐다.

이와 같이 같은 수의 선형 필터에서 선형 필터의 수렴상수가 작을수록 Volterra 알고리즘과 비교해서 수렴 속도가 더 많이 증가하는 것을 알 수 있었다.

제안된 echo canceller 의 구조는 하나의 선형 필터와 뒤에 입력의 절대치를 취하는 absolute가 이어지는 선형 필터들로 이루어진다. 따라서 두 알고리즘을 구현면에서 비교하면 CPWL 알고리즘은 선형 필터만을 사용하므로 Volterra 알고리즘에서 비선형 탭의 입력에 필요한 AND gate 가 필요치 않다.

참 고 문 헌

- [1] B.Aschrafi,P.Meschkat,and K.Szencheny, "Field trial results of a comparison of time separation,echo compensation ,and four-wire transmissin on digital subscriber loops," Proc. Int. Symp. Subscriber Loops,Services,Toronto,Ont., Canada,1982,pp181-185.
- [2] J-O.Anderson,B.Calqvisit,and G.Nilsson, "A field trial with three methods for digital two-wire transmission," Proc. ISSLS'82, Canada,1982,pp186-190.
- [3] N.A.M.Verhoeckx et al., "Digital echo cancellation for baseband data transmissin," IEEE Trans. on Acoustic, Speech,and Signal Processing, Vol.ASSP -27,No.6,pp768-781,Dec.1979.
- [4] A.Kanemasa et al., " An adaptive-step Sign algorithm for fast convergence of a data ech canceller," IEEE Trans. on Communications Vol.COM-35,No.10, pp 1102-1108,Oct.1987.
- [5] M.M.Sondhi et al., " Silencing echos on the telephone network," Proc.of IEEE Vol.68,No.8,pp948-963,Aug.1980.
- [6] O.Agazzi et al., "Nonlinear echo cancellation of data signals," IEEE Vol.COM-30,No.11,pp2421-2433,Nov.1982.
- [7] N.Holte et al,"A new digital echo canceller for two-wire subscriber lines," IEEE Trans. on Commu.Vol.COM-29, No.11,pp1573-1581,Nov.1981.
- [8] P.J.V.Gerwen et al., " Design considerations for a 144Kbit/s digital transmission unit for the local telephone network," *IEEE Journal on Selected Areas in Communications*, Vol.SAC-2, No.2, pp314-323, Mar.1984.
- [9] M.J.Coker et al., "A nonlinear adaptive noise canceller," Proc. IEEE ICASSP-80,PP.470-473,Apr.1980.
- [10] G.L.Sicuranza et al., "Adaptive echo cancellation with nonlinear digital filters," Proc. IEEE ICASSP-84,pp3. 10.1-3.10.4, Mar.1984.
- [11] L.O.Chua, Introduction to Nonlinear Network Theory. New York: McGraw-Hill,1969.
- [12] J.Katzenelson,"An algorithm for solving nonlinear resistive networks," *Bell System Technical Journal*, Vol.44,pp.16 05-1620,1965.
- [13] L.O.Chua et al., "A global representation of multidimensional piecewise-linear functions with linear partitions," IEEE Trans. on Circuits and Systems, Vol.CAS-25,No.11,pp938-940,Nov.1978.
- [14] J.-N.Lin and R. Unbehauen, " Adaptive nonlinear digital filter with canonical piecewise-linear structure ," IEEE Trans. on circuits and systems,Vol.37, No.3,Mar.1990.
- [15] L.O.Chua and R.L.P.Ying,"Canonical piecewise-linear analysis" IEEE Trans. on Circuits and Systems,Vol.30,No.3,Mar .1983.

저 자 소 개



鄭 基 碩(正會員)

1960.6.18 생. 1983.2. : 고
려대학교 전자공학과 졸업.

1988 .8 : 고려대학교 대학원
전자공학과 석사과정 졸업(공학

석사) 1992.8 : 고려대학교 대
학원 전자공학과 박사과정 졸업

(공학박사) 1994.3- 현재 : 영동공과대학 정보

통신공학과 조교수 주관심분야 : 디지털 통신.

적응 신호 처리, 통신 시스템