

論文95-32A-2-8

고상원 분자선 단결정 성장법을 이용한 다결정 실리콘 에미터, 자기정렬 실리콘 게르마늄 이종접합 쌍극자 트랜지스터

(Polysilicon-Emitter, Self-Aligned SiGe Base HBT
Using Solid Source Molecular Beam Epitaxy)

李 秀 珉 * , 廉 炳 烈 * , 趙 德 鎬 * , 韓 泰 鉉 * ,
李 成 玟 * , 姜 鎭 榮 * , 姜 相 元 **

(Soo Min Lee, Byung Ryul Ryum, Deok Ho Cho, Tae Hyeon Han,
Seong Hearn Lee, Jin Yeong Kang, and Sang Won Kang)

요 약

LOCOS산화막이 형성된 구조를 가진 기판에 고상원 분자선 단결정 성장(solid source molecular beam epitaxy, SSMBE)법을 이용하여 Si/SiGe박막을 성장하고, 다결정 실리콘 에미터를 사용하여 에미터-베이스가 측면산화막으로 자기정렬(self-aligned)된 실리콘(Si)/실리콘 게르마늄(SiGe) 이종접합 쌍극자 트랜지스터(heterojunction bipolar transistor, HBT)를 제작하였다. 트랜치를 이용한 소자의 격리 공정, 기계적-화학적 연마(chemical-mechanical polishing)를 이용한 트랜치 격리후 평탄화 공정, 선택적 컬렉터 이온주입(selectively implanted collector, SIC)공정을 적용하였고, 소자의 비활성 영역의 베이스 저항을 줄이기 위하여 티타늄 실리사이드($TiSi_2$)를 베이스 전극층으로 이용하였으며, 다결정 실리콘 에미터에 이온주입된 비소(As)를 저온에서 확산시켜 180Å 깊이의 에미터-베이스 접합을 형성하였다. 에미터 크기가 $0.9 \times 3.8 \mu m^2$ 인 트랜지스터에 대해 최대 전류 이득(h_{FE})이 140, 그리고 에미터-컬렉터 항복전압(BV_{CEO})이 3.2V, 차단 주파수(f_T)는 17GHz, 그리고 최대 진동주파수(f_{max})는 10GHz로 측정되었다.

Abstract

Using the Si/SiGe layer grown by solid source molecular beam epitaxy(SSMBE) on the LOCOS-patterned wafers, an emitter-base self-aligned heterojunction bipolar transistor(HBT) with the polysilicon-emitter and the silicon germanium(SiGe) base has been fabricated. Trench isolation process, planarization process using a chemical-mechanical polishing, and the selectively implanted collector(SIC) process were performed. A titanium disilicide ($TiSi_2$), as a base electrode, was used to reduce an extrinsic base resistance. To prevent the strain relaxation of the SiGe epitaxial layer, low temperature(820°C) annealing process was applied for the emitter-base junction formation and the dopant activation in the arsenic-implanted polysilicon. For the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu m^2$ emitter size, a cut-off frequency (f_T) of 17GHz, a maximum oscillation frequency (f_{max}) of 10GHz, a current gain (h_{FE}) of 140, and an emitter-collector breakdown voltage (BV_{CEO}) of 3.2V have been typically achieved.

* 正會員, 韓國電子通信研究所 半導體研究團
(Elec. and Telecom. Research Institute(ETRI))

** 正會員, 韓國科學技術院 電子材料工學科

(Korea Advanced Institute of Science and
Tech.(KAIST) Dept. of Elec. Materials Eng.)

接受日字 : 1994年 8月 5日

I. 서론

최근, 실리콘 쌍극자 트랜지스터의 동작속도를 증가시키기 위해 베이스 물질로 단결정 SiGe를 사용한 이종접합 쌍극자 트랜지스터에 대한 연구가 활발히 진행되고 있다.

Si/SiGe/Si 이종접합 쌍극자 트랜지스터는 에미터와 컬렉터에 비해 작은 에너지 밴드갭(energy bandgap)을 갖는 SiGe를 베이스로 사용함으로써, 낮은 베이스 저항과 에너지 밴드갭 grading등의 밴드갭 엔지니어링을 이용하여 베이스내에서의 전자의 통과시간(base transit time)을 감소시킬 수 있으며^[11], 이로부터 전류이득(β), Early전압(V_A)^[2], 차단 주파수(cut-off frequency, f_T) 및 최대진동 주파수(maximum oscillation frequency, f_{max})^[3] 등 소자의 성능면에서 높은 향상을 꾀할 수 있다. 최근, SiGe를 베이스로 이용하여 113GHz의 차단주파수를 갖는 고속 이종접합 쌍극자 트랜지스터가 보고^[4]된 바 있고, 한편 16Gbps급의 MUX^[5]와 20Gbps급의 광 수신기^[6] 등 Si/SiGe 이종접합 쌍극자 트랜지스터를 이용한 IC 시제품도 발표되고 있다.

SiGe 베이스를 성장하기 위한 방법으로서 초고진공 기상 화학 증착(ultra high vacuum CVD)^[4,7], 감압 기상 화학 증착(reduced pressure CVD)^[8], 기상원 분자선 단결정 성장(gas source MBE)^[9], 그리고 고상원 분자선 단결정 성장^[10]법등이 사용되어 좋은 성능의 Si/SiGe 이종접합 쌍극자 트랜지스터 소자가 구현되었다. 본 연구에서는 기존의 이종접합 쌍극자 트랜지스터 제작 공정과는 달리 LOCOS 산화막이 형성된 구조를 가진 기판에 고상원 분자선 단결정 성장법을 이용하여 Si/SiGe 박막을 성장함으로써 IC제작이 용이한 평면구조의 다결정실리콘 에미터를 사용하는 이종접합 쌍극자 트랜지스터를 제작하였다. 즉, LOCOS 산화막이 형성된 구조를 가진 기판에 고상원 분자선 단결정 성장법을 이용하여 고품위 SiGe 베이스 박막을 형성하고, 에미터-베이스가 자기정렬된 다결정 실리콘 에미터 Si/SiGe 이종접합 쌍극자 트랜지스터를 제작하였다. 고상원 분자선 단결정 성장법을 이용한 본 Si/SiGe소자는 기존의 실리콘 베이스 쌍극자 트랜지스터 제조 공정을 그대로 적용할 수 있으므로 소자 집적화에 유리한 장점을 가지고 있다.

한편, 본 Si/SiGe 소자 제작에서는 비활성 베이스 전극으로 저저항의 티타늄 실리사이드($TiSi_2$)를 사용하여 비활성 베이스 저항을 줄이고자 하였다. 최근, 선택적으로 텅스텐(W)을 증착하여 텅스텐 실리사이드(selective WSi_2)를 형성함으로써 소자의 비활성 베이스

저항을 감소시킨 연구결과^[11]가 보고되었으며, 한편, 티타늄 금속을 반응시켜 실리사이드를 형성하는 자기정렬 티타늄 실리사이드(self-aligned $TiSi_2$) 공정을 적용하여 비활성 베이스 저항을 줄임으로써 52GHz의 최대 진동주파수를 갖는 Si/SiGe 이종접합 쌍극자 트랜지스터를 제작^[12]한 예도 발표되고 있다. 이와는 달리, 본 연구에서는 Si/SiGe 베이스를 성장한 후, 티타늄 실리사이드를 증착하고 그 위에 저온산화막을 증착한 후 건식식각 및 습식식각에 의해 패턴을 형성한다. 다음 저온산화막 측벽막을 형성함으로써 에미터와 베이스가 자기정렬되도록 한다. 이렇게 함으로써 공정이 보다 용이하고, 티타늄 실리사이드의 두께를 증가시킬 수 있으므로 비활성 베이스 저항을 최소화할 수 있다.

II. 실험 방법

자기정렬 Si/SiGe 이종접합 쌍극자 트랜지스터를 제작하기 위하여 (100), $18\sim 22\Omega\cdot\text{cm}$ 의 p형 기판위에 비소(As)를 이온주입하여 비저항이 $1.4\times 10^{-3}\Omega\cdot\text{cm}$ 인 n⁺ 매몰층을 형성하였고, 이 위에 인(P)이 주입된 비저항이 0.2 $\Omega\cdot\text{cm}$, 두께 1 μm 인 n- 실리콘 컬렉터층을 단결정으로 성장하였다. 다음 소자의 격리를 위하여 트렌치 공정을 수행하였다. 저온산화막(low temperature CVD SiO_2 , LTO)/질화막(Si_3N_4)/열산화막(thermally-grown SiO_2)을 마스크로 이용하여 폭이 1.5 μm , 깊이가 4 μm 인 트렌치를 건식식각하여 형성하였다. 트렌치에 1500 \AA 의 열산화막 측벽막을 형성하고 다결정 실리콘을 채운 후 확산로를 이용하여 920 $^{\circ}\text{C}$, N_2 분위기에서 1시간 동안 질화붕소원(BN source)으로부터 붕소(B)를 주입하였다. 그후 기계적-화학적 연마(chemical-mechanical polishing) 장비를 이용하여 웨이퍼 전면의 다결정 실리콘을 평탄화하였으며, 이때의 저온산화막에 대한 연마선택비는 약 100:1정도이다. 다음, LOCOS공정(925 $^{\circ}\text{C}$, H_2/O_2 분위기)에 의해 소자의 활성영역을 격리하였고, 컬렉터 플러그를 형성하기 위해 120keV의 에너지로 $8\times 10^{15}/\text{cm}^2$ 의 인을 이온 주입하였다. 한편, 높은 인가 전류 영역에서의 베이스 폭 증가현상을 억제시키기 위해 170keV의 에너지로 $1\times 10^{13}/\text{cm}^2$ 의 인을 활성영역 전면에 이온주입하였다.

이렇게 준비된 웨이퍼에 분자선 단결정 성장 장비(SIVA45, RIBER)를 이용하여 실리콘 게르마늄 박막을 단결정 성장하였다. 성장전에 300 $^{\circ}\text{C}$ 에서 10분, 그리고 850 $^{\circ}\text{C}$ 에서 2~3분 동안 열처리하고, $5\times 10^{18}/\text{cm}^3$

의 붕소를 동시에 주입하면서 두께가 500Å인 p형 실리콘 게르마늄 베이스를 단결정 성장하였다. 실리콘 게르마늄 박막내의 게르마늄양은 15mole%이었다. 에미터-베이스 접합에서의 터널링(tunneling) 전류^[4]와 컬렉터-베이스 접합에서의 기생 전위 장벽(parasitic potential barrier)형성^[2, 13]을 억제하기 위하여 실리콘 게르마늄 베이스박막 위 아래로 불순물 도핑이 않된 실리콘, 실리콘 게르마늄 박막을 삽입하였다. 다음, 베이스 전극으로 이용될 티타늄 실리사이드를 1000Å의 두께로 형성하고, 비활성 베이스와 에미터-베이스 활성영역 사이의 격리를 위해 3000Å의 저온산화막을 증착하였으며, 이를 식각함으로써 약 2000Å의 저온산화막 측벽막을 형성시켜 자기정렬 구조를 이루도록 하였다. 그후 비소를 이용하여 에미터-베이스 접합의 확산원으로 비소를 100keV의 에너지, $2 \times 10^{16}/cm^2$ 의 양으로 이온 주입하였다. 다음 확산로를 이용하여 820°C에서 20분 동안 열처리함으로써 비소를 활성화시켜 n' 다결정실리콘 에미터 전극을 형성하였으며, 동시에 비소의 확산으로 에미터-베이스 접합을 형성하였다. 마지막으로 저온산화막을 절연막으로 이용하여 금속전극 공정을 수행하였다. 이렇게 하여 제작된 실리콘 게르마늄 이중접합 쌍극자 트랜지스터 소자의 평면 및 단면 구조를 그림 1에 도식적으로 나타내었다.

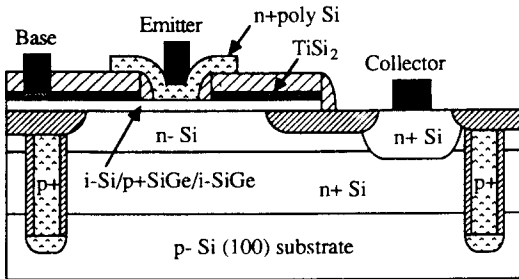


그림 1. 자기정렬 Si/SiGe HBT 소자의 단면 구조
Fig. 1. Schematic cross section of the self-aligned Si/SiGe HBT.

III. 결과 및 고찰

제작 완성된 실리콘 게르마늄 이중접합 쌍극자 트랜지스터 소자에 대해 이차이온 질량분석기(SIMS)로 조사한 불순물 농도분포 곡선을 그림 2에 나타내었다. 위의 불순물 농도분포 곡선에서 에미터-베이스 접합깊이는 130Å이며, 베이스 폭은 800Å임을 알 수 있다.

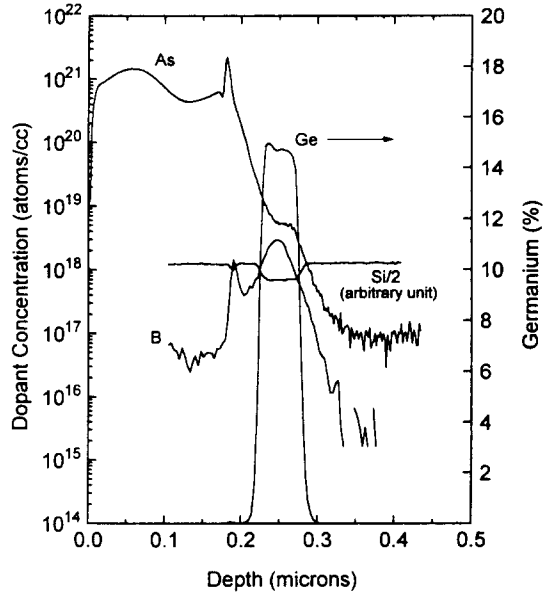


그림 2. 자기정렬 Si/SiGe HBT 소자의 SIMS 농도분포 곡선
Fig. 2. SIMS profile of the self-aligned Si/SiGe HBT.

그림 3은 Si/SiGe 이중접합 쌍극자 트랜지스터 소자의 에미터-컬렉터 전압 (V_{CE})에 따른 컬렉터 전류 (I_C)의 변화를 나타낸다.

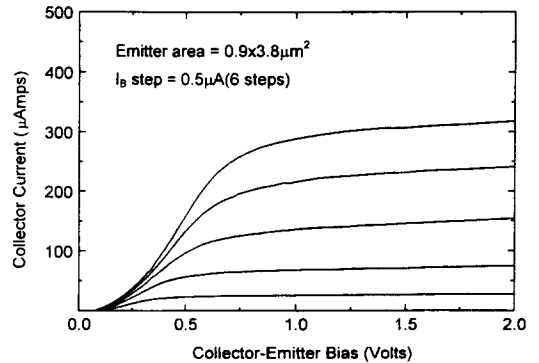


그림 3. 에미터 크기가 $0.9 \times 3.8 \mu m^2$ 인 자기정렬 Si/SiGe HBT 소자의 전류-전압 곡선
Fig. 3. Output characteristics of the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu m^2$ emitter size.

컬렉터 전류를 선형 외삽(linear extrapolation)하여 얻은 Early전압은 약 10V이며, 베이스-컬렉터 전압에 따른 베이스 폭 변화(base-width modulation)

가 있음을 시사한다. Si/SiGe 이중접합 쌍극자 트랜지스터 소자의 Gummel특성을 그림 4에 나타내었다.

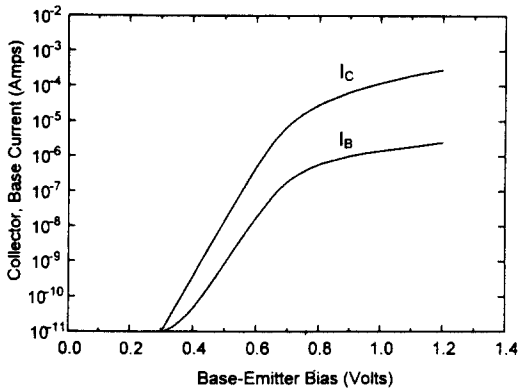


그림 4. 에미터 크기가 $0.9 \times 3.8 \mu\text{m}^2$ 인 자기정렬 Si/SiGe HBT 소자의 Gummel 곡선
 Fig. 4. Gummel plot of the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu\text{m}^2$ emitter size.

그림에서 볼 수 있듯이 컬렉터 전류의 이상 인자 (ideality factor)는 1.0이고, 베이스 전류의 이상 인자는 1.2이다. 그림 5는 컬렉터 전류 변화에 따른 전류이득 (h_{FE}) 특성을 나타낸다.

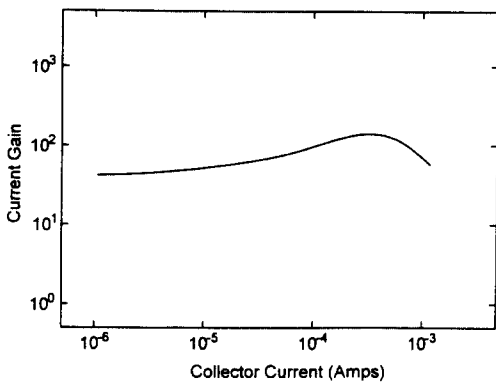


그림 5. 에미터 크기가 $0.9 \times 3.8 \mu\text{m}^2$ 인 자기정렬 Si/SiGe HBT 소자의 컬렉터 전류에 따른 전류이득 변화
 Fig. 5. Current gain dependence on the collector current of the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu\text{m}^2$ emitter size.

최대 전류이득은 컬렉터 전류가 0.33mA일때 140이다. 한편, 컬렉터-베이스 전압 (V_{CB})을 변화시키면서

컬렉터 전류에 따른 전류이득 특성 (h_{FE} vs. I_C)을 측정한 결과 전류이득값의 변화가 거의 없었으며, 이는 기생 전위 장벽효과가 억제되었음을 의미한다. 그리고, Si/SiGe 이중접합 쌍극자 트랜지스터 소자의 여러 접합특성을 측정한 결과 BV_{EBO} 는 0.8A에서 4.4V, BV_{CBO} 는 0.7A에서 7.2V, BV_{CEO} 는 0.06A에서 3.2V였다. Si/SiGe 이중접합 쌍극자 트랜지스터 소자의 주파수 응답특성을 조사하기 위하여 고주파 넷워크 분석기(HP network analyzer)를 이용하였다. $0.9 \times 3.8 \mu\text{m}^2$ 의 에미터 크기를 갖는 트랜지스터에 대해 S 파라미터를 측정하고 이를 h 파라미터로 변환한 다음 기생성분인 패드 효과를 제거하였다. 그림 6에 본 Si/SiGe 이중접합 쌍극자 트랜지스터 소자의 주파수 변화에 따른 전류이득 ($|h_{21}|$)값을 나타내었다.

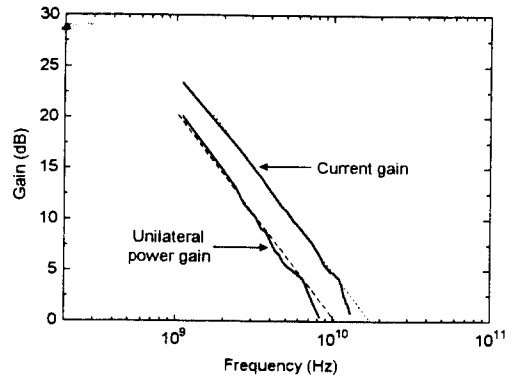


그림 6. 에미터 크기가 $0.9 \times 3.8 \mu\text{m}^2$ 인 자기정렬 Si/SiGe HBT 소자의 전류이득 및 전력이득의 주파수 응답 곡선
 Fig. 6. Frequency response curves of current gain and unilateral power gain for the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu\text{m}^2$ emitter size.

그림 6에 보여진 것처럼 -20dB/decade의 기울기로 선형 외삽하여 얻은 차단 주파수는 17GHz였고, 최대 진동주파수는 10GHz였으며 측정조건은 $V_{CB} = 2.4V$ 였다. 표 1은 패드 효과를 제거^[14]한 후 추출한 Gummel-Poon 모델 소자변수를 나타낸다. 여기서, 베이스 저항(RB), 에미터 저항(RE), 컬렉터 저항(RC) 값이 비교적 크게 나타남을 볼 수 있다. Si/SiGe 이중접합 쌍극자 트랜지스터 소자 제작공정상, strained SiGe박막의 열적이완을 고려하여 저온공정을 수행하였기 때문에 에미터 저항이 증가된 것으로 생각되며, 또한 다결정 실리콘 에미터 증착전 저온

산화막 측벽막 전식식각에 의한 실리콘 표면 오염에도 기인하는 것으로 생각된다. 이는 그림 3에 주어진 에미터-컬렉터 전압 (V_{CE})에 따른 컬렉터 전류 (I_C)의 변화 곡선에서, 에미터 저항에 의해 나타나는 성분인 저인가 전압 영역에서의 컬렉터 전류의 offset이 존재한다는 사실이 이를 뒷받침해 준다.

표 1. 에미터 크기가 $0.9 \times 3.8 \mu\text{m}^2$ 인 자기정렬 Si/SiGe HBT의 소자변수

Table 1. Device parameters of the self-aligned Si/SiGe HBT of $0.9 \times 3.8 \mu\text{m}^2$ emitter size.

Parameter	Extracted Value	Parameter	Extracted Value
BF	140	CJE	5 fF
IS	5.8×10^{-16} A	VJE	0.85 V
NF	1.17	MJE	0.43
VAF	12 V	CJC	20 fF
IKF	1.45×10^{-3} A	VJC	0.75
ISE	3.0×10^{-14} A	MJC	0.35
NE	1.94	CJS	10 fF
RB	117 Ω	VJS	0.55
RE	110 Ω	MJS	0.37
RC	190 Ω	XCJC	0.18
TF	5.4 ps		

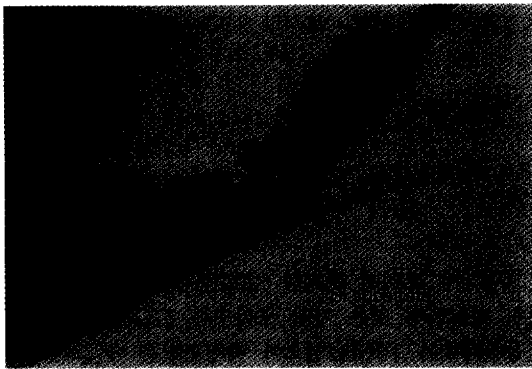


그림 7. $\text{TiSi}_2/p+\text{SiGe}$ 비활성 베이스 영역을 보여주는 TEM사진

Fig. 7. TEM micrograph showing the $\text{TiSi}_2/p+\text{SiGe}$ extrinsic base region.

베이스 저항의 경우는 비활성 베이스 전극 영역에서의 티타늄 실리사이드와 p^+ SiGe의 오움접촉 특성이 좋지 않은 것으로 생각되며, 또한 열처리시 LOCOS

산화막위의 다결정 p^+ SiGe과 티타늄 실리사이드의 반응 혹은 응집으로 인하여 티타늄 실리사이드의 저항이 증가된 것으로 보인다. 그림 7은 비활성 베이스 전극영역을 보여주는 투과 전자현미경 사진이다. 한편, 컬렉터 저항의 증가 원인으로는 n^+ sinker 표면의 전식식각 오염에 기인하는 것으로 보인다.

IV. 결론

고상원 분자선 단결정 성장법을 이용하여 다결정실리콘 에미터를 사용하는 자기정렬 Si/SiGe 이중접합 쌍극자 트랜지스터를 제작하였다. 제작된 Si/SiGe 소자의 특성은 에미터 크기가 $0.9 \times 3.8 \mu\text{m}^2$ 인 소자에 대해 최대 전류이득이 140, 그리고 에미터-컬렉터 항복전압이 3.2V, 차단 주파수는 17GHz, 그리고 최대 진동주파수는 10GHz로 나타났다. 본 연구는 화학적-기계적 연마를 이용함으로써 트렌치 공정 후 평탄도면에서 매우 우수하고, LOCOS 산화막이 형성된 구조를 가진 IC제작이 용이한 기판 구조에 고상원 분자선 단결정 성장법을 이용하여 Si/SiGe소자의 제작 가능성을 확인한 것에 의의가 있다고 할 수 있다. 한편, 소자의 비활성 베이스 저항을 줄이고자 티타늄 실리사이드를 이용하였으나 오움접촉 특성, 다결정 p^+ SiGe과 티타늄 실리사이드간의 고온 반응 문제에 있어서 개선이 요구된다.

참고 문헌

- [1] H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors," *Proc. IRE*, vol. 45, pp. 1535-1537, 1957.
- [2] E. J. Prinz and J. C. Sturm, "Analytical Modeling of Current Gain Early Voltage Products in Si/Si_{1-x}Ge_x/Si Heterojunction Bipolar Transistors," in *IEDM Tech. Dig.*, pp.853-856, 1991.
- [3] J. M. C. Stork, G. L. Patton, E. F. Crabbé, D. L. Harame, B. S. Meyerson, S. S. Iyer, and E. Ganin, "Design Issues for SiGe Heterojunction Bipolar Transistors," in *BCTM Tech. Dig.*, pp.57-64, 1989.
- [4] E. Crabbé, B. Meyerson, D. Harame, J. Stork, A. Megdanis, J. Cotte, J. Chu, M. Gilbert, C. Stanis, J. Comfort, G.

- Patton, and S. Subbanna, "113-GHz f_T graded-base SiGe HBTs," in *Device Research Conference(DRC)*, 1993.
- [5] H. -U. Schreiber, J. N. Albers, and B. G. Bosch, "Self-Aligned Double Mesa Si/SiGe Heterojunction Bipolar Transistor Used for 16Gbit/s IC Realization," *Proc. Int. Semiconductor Device Research Symposium*, vol.1, pp. 457-460, 1993.
- [6] M. Soda, H. Tezuka, F. Sato, T. Hashimoto, S. Nakamura, T. Tatsumi, T. Suzaki, and T. Tashiro, "Si-Analog ICs for 20Gb/s Optical Receiver," in *ISSCC Tech. Dig.*, pp.170-171, 1994.
- [7] G. L. Patton, J. H. Comfort, B. S. Meyerson, E. F. Crabbé, G. J. Scilla, E. de Fresart, J. M. C. Stork, J. Y.-C. Sun, D. L. Harame, and J. N. Burghartz, "75-GHz f_T SiGe Heterojunction Bipolar Transistors," *IEEE Electron Device Lett.*, vol. 11, no. 4, pp. 171-173, Apr. 1990.
- [8] M. Hong, E. de Fresart, J. Steele, A. Zlotnicka, C. Stein, G. Tam, M. Racanelli, L. Knoch, Y.-C. See, and K. Evans, "High-Performance SiGe Epitaxial Base Bipolar Transistors Produced by a Reduced-Pressure CVD Reactor," *IEEE Electron Device Lett.*, vol. 14, no. 9, pp. 450-452, 1993.
- [9] F. Sato, H. Takemura, T. Tashiro, H. Hyarayama, M. Hiroi, K. Koyama, and M. Nakamae, "A Self-Aligned Selective MBE Technology for High-Performance Bipolar Transistors," in *IEDM Tech. Dig.*, pp. 607-610, 1990.
- [10] A. Gruhle, H. Kibbel, U. Erben, and E. Kasper, "91GHz HBTs Grown by MBE," *Elect. Lett.*, vol. 29, no. 4, pp. 415-417, 1993.
- [11] M. Ugajin, Y. Kunii, M. Kuwagaki, and S. Konaka, "SiGe Drift Base Bipolar Technology Using Si-GeH₄ MBE for Sub-40GHz f_{max} Operation," in *BCTM Tech. Dig.*, pp. 26-29, 1992.
- [12] E. F. Crabbé, J. H. Comfort, J. D. Cressler, J. Y.-C. Sun, and J. M. C. Stork, "High-Low Polysilicon-Emitter SiGe-Base Bipolar Transistors," *IEEE Electron Device Lett.*, vol.14, no.10, pp.478-480, 1993.
- [13] S. I. Kim, B. R. Ryum, S. W. Kang, and W. C. Kim, "The Effect of a Parasitic Potential Barrier on the Neutral Base Recombination Current of Si/SiGe/Si DHBTs," *Solid-St. Electron.*, vol. 37, no. 3, pp. 517-519, 1994.
- [14] S. Lee, B. R. Ryum, and S. W. Kang, "A New Parameter Extraction Technique for Small-Signal Equivalent Circuit of Polysilicon Emitter Bipolar Transistors," *IEEE Trans. Electron Devices*, vol. 41, no. 2, pp. 233-238, 1994.

저 자 소 개



李秀珉(正會員)

1987년 2월 한양대학교 무기재료공학과 졸업(학사) 1990년 2월 한국과학기술원 재료공학과 졸업(석사) 1990년 3월 ~ 현재 한국전자통신연구소 연구원 주관심 분야는 반도체 제조공정/물성, 전식 식각, SiGe HBT 소자임.

廉炳烈(正會員) 第 31卷 A編 第 11號 참조

현재 한국전자통신연구소 반도체 연구단 선임연구원

趙德鎬(正會員) 第 31卷 A編 第 11號 참조

현재 한국전자통신연구소 반도체 연구단 선임연구원

韓泰鉉(正會員) 第 31卷 A編 第 11號 참조

현재 한국전자통신연구소 반도체 연구단 선임연구원

姜鎭榮(正會員) 第 31卷 A編 第 11號 참조

현재 한국전자통신연구소 반도체 연구단 책임연구원

李成玆(正會員) 第 31卷 A編 第 8號 참조

현재 한국전자통신연구소 반도체 연구단 선임연구원



姜相元(正會員)

1978년 3월 ~ 1994년 2월 한국전자통신연구소 반도체연구단 연구위원. 1994년 3월 ~ 현재 한국과학기술원 전자재료공학과 조교수. 주관심분야는 반도체 장비 및 공정, 마이크로머신 분야

임.