

論文95-32A-1-21

실리콘 박막에서 이온 질량 도핑에 의해 주입된 인의 전기적 활성화에 관한 연구

(A Study on the Electrical Activation of Ion Mass Doped Phosphorous on Silicon Films)

金 珍 浩 * , 朱 承 基 * , 崔 德 均 **

(Jin Ho Kim, Seung Ki Joo, and Duck Kyun Choi)

要 約

인을 이온 질량 도핑에 의해 실리콘 박막에 주입한 후 열처리에 따른 전기저항의 변화에 대해 연구하였다. 실리콘 박막은 다결정 실리콘을 대용융 재결정(ZMR:Zone Melting Recrystallization)에 의해 결정립계가 거의 없는 SOI(Silicon On Insulator)와 결정립계의 크기가 1500Å 정도인 저압화학증착 다결정 실리콘 박막 및 낮은 온도에서 저압화학증착법으로 형성한 비정질 실리콘 박막을 사용하였으며 노열처리와 급속열처리를 행하여 인의 열적 거동을 관찰하였다. 열처리 전에는 비정질 박막의 경우 $10^6 \Omega/\square$, 다결정 및 SOI 박막의 경우는 약 $10^3 \Omega/\square$ 를 보였으나 노열처리의 경우 700°C 이상의 온도에서 3시간 열처리로 모든 시편의 저항이 $10 \Omega/\square$ 로 낮아졌으며 1분 미만의 급속열처리 역시 같은 경향을 보였다. 결정립계가 존재하는 경우에는 비정질 박막의 경우와는 다르게 열처리에 따른 저항증가 구간이 존재하였으며 이는 주입된 인이 결정립계에 포획되거나 때문으로 생각되었다.

Abstract

Phosphorous was doped in silicon thin films by Ion Mass Doping and changes in the electrical resistance with respect to heat treatments were investigated. SOI(Silicon On Insulator) thin films which contain few grain boundaries prepared by ZMR(Zone Melting Recrystallization) of polysilicon films, polysilicon films which have about 1500Å of grain size prepared by LPCVD at 625°C, and amorphous silicon thin films prepared by LPCVD at low temperature were used as substrates and thermal behavior of phosphorous after RTA(Rapid Thermal Annealing) and furnace annealing was carefully studied. Amorphous thin films showed about $10^6 \Omega/\square$ before any heat treatment, while polycrystalline and SOI films about $10^3 \Omega/\square$. All these films, however, showed about $10 \Omega/\square$ after furnace annealing at 700°C for 3hrs and RTA showed about the same trend. Films with grain boundaries showed a certain range of heat treatment which rendered increase of the electrical resistance upon annealing, which could not be observed in amorphous films and segregation of doped phosphorous by diffusion with annealing was thought to be responsible for this abnormal behavior.

* 正會員, 서울大學校 金屬工學科

(Dept. of Metallurgical Eng., Seoul Nat'l Univ)

** 正會員, 韓陽大學校 無機材料工學科

(Dept. of Inorganic Material Eng., Hanyang Univ.)

接受日字 : 1994年 3月 10日

I. 서 론

대단위 접적 회로용 트랜지스터를 제작할 때 소오스 와 드레인 저항이 작아야 하며 이를 위하여 이온주입 방식에 의해 높은 에너지로 도펀트를 가속시켜 물리적 충돌에 의해 많은 양을 주입하는 것이 일반적이다. 그러나 박막 트랜지스터의 경우는 일반적인 MOS 트랜지스터와는 달리 대면적화와 저온 열처리가 중요하기 때문에 주입된 도펀트의 전기적 활성화를 위해 높은 온도에서의 열처리를 필요로 하는 앞서의 이온주입공정을 사용하는데 많은 제약이 따른다. 특히 주사방식에 의한 이온주입은 대면적화에 매우 불리하기 때문에 최근 주사방식이 필요 없는 Ion Shower에 의해 이온을 주입하려는 노력이 집중되고 있다.^[1-4]

이온 질량 도핑 장치(Ion Mass Doping System)는 고주파 또는 필라멘트에 의해 도펀트의 이온화를 이루고 이를 직류에 의해 가속시킴으로써 기판표면에서 물리적 충돌에 의한 이온 주입이 가능하도록 한 장치로서 Ion Shower가 가능한 시스템이기는 하나 이온 주입량 및 종류를 통제할 수 없다는 문제가 있다. 따라서 이온 질량 도핑 장치에 의해 도펀트의 주입은 그 현상이 잘 알려져 있지 않을 뿐만 아니라 이온주입에 대해 이론적인 해석이 어려운 실정에 있다.

본 연구에서는 이온 질량 도핑 장치를 제작하여 결정립계의 면적이 매우 다른 SOI(Silicon On Insulator), 저압화학증착 다결정 실리콘 및 비정질 실리콘의 기판을 사용하여 노와 급속열처리 온도 및 시간에 따른 전기활성화도를 측정하여 질량 도핑 장치에 의해 주입된 이온의 열적 거동에 대하여 체계적인 조사를 행하였다.

II. 실험방법

본 연구에 사용된 이온 질량 도핑 장치를 그림1에 개략적으로 나타내었다. 이온 소오스 개스는 수소에 희석된 1% PH_3 를 사용하였으며 유량을 30sccm으로 질량 유량 조절기(MFC)를 통해 고정하였으나 전체 압력을 5×10^{-4} torr로 조절하고 높은 직류 전압을 가할 수 있도록 하기 위해 needle valve를 사용하여 통제하였다. 고주파 출력은 200W, 직류 전압은 17kV로 하였으며 직류 전극과 기판과의 거리는 3cm로 고정하였다. 도핑은 상온에서 행하였으며 도펀트 열처리시 결정립계가 미치는 영향을 알아 보기 위하여 대용량 결정(Zone Melting Recrystallization)법에 의해 제

작한 1 μm 두께의 SOI기판, 저압화학증착법에 의해 증착된 7000Å 두께의 다결정 실리콘 및 3000Å 두께의 비정질 실리콘기판을 사용하였다.

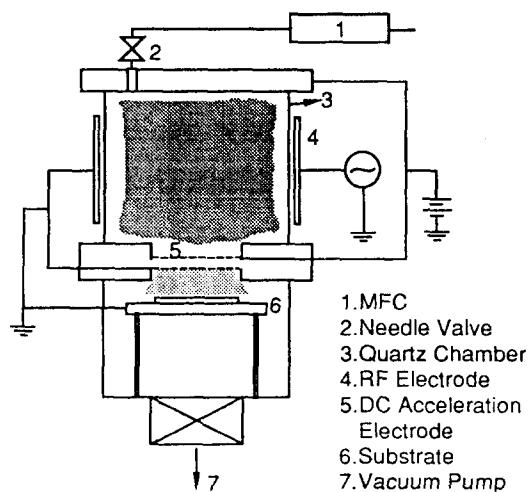


그림 1. 이온 질량 도핑 장치의 개략도

Fig. 1. Schematic diagram of Ion Mass Doping System.

SOI의 경우 isolated threading dislocation들로 이루어진 결합렬의 간격이 약 160 μm 였으며 제조방법 및 특성에 관한 자세한 내용은 참고문헌에 있다.^[5] 다결정 실리콘의 경우 결정립계의 크기는 1500~2000 Å정도였으며 비정질 실리콘은 540°C에서 SiH4분해에 의한 저압화학증착으로 형성하였다. 단결정 실리콘 웨이퍼위에 열산화막을 형성한 후 앞서의 박막을 형성하였으며 도핑전에 특별한 세정공정은 하지 않았다.

도핑후 열처리는 노(furnace) 및 급속열처리(RTA) 장치에서 질소분위기로 행하였으며 면저항은 4탐침법을 사용하였고 비정질 기판의 결정화도는 자외선 반사도(UV reflectance)를 이용하여 측정하였다.

III. 결과 및 고찰

질소분위기에서 3시간 동안 노 열처리하였을 때 기판에 따른 면저항의 변화를 그림2에 나타내었다. 열처리전 시편의 저항은 비정질 실리콘의 경우 약 $5 \times 10^6 \Omega / \square$ 로 제일 높았으며 다결정 실리콘, SOI의 순으로 나타났다. 비정질 실리콘의 전기전도도는 불규칙 배열로 인해 생성되는 band tail과 점결함으로 생성되는 mid-gap density of state에 따른 Ef의 변화에 의해 좌우되는 것으로 알려져 있다.^[6] 다결정 실리콘 및

SOI의 경우 부분적으로 활성화된 도편트에 의해 비정질 실리콘보다는 낮은 면저항을 나타내고 있으며 결정입계의 밀도가 낮은 SOI가 다결정 실리콘보다 낮은 면저항을 나타내고 있다.

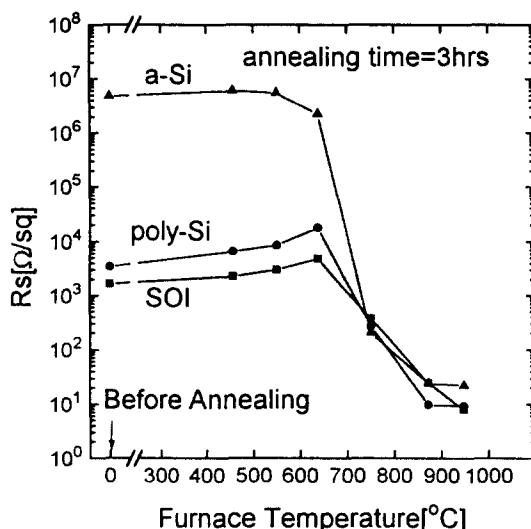


그림 2. 노열처리 온도에 따른 면저항의 변화

Fig. 2. Dependence of the sheet resistance on the annealing temperature. Annealing time was fixed as 3-hours.

열처리 온도를 증가시키면 비정질 실리콘의 경우는 약 500°C까지 큰 변화를 보이지 않다가 이후 급격히 작아졌으며 이는 그림3에 보인 바와 같이 결정화에 따른 저항감소 때문인 것으로 밝혀졌다. 다결정 실리콘 및 SOI의 경우는 약 650°C까지는 면저항이 점차로 증가하였으며 SOI경우 보다 다결정 실리콘의 경우 증가폭이 더 큰 것으로 나타났다.

이후는 급격히 면저항이 감소하여 약 850°C 이상에서는 세 시편 모두 거의 같은 면저항을 보였다. 결정화된 시편에서의 면저항의 증가는 도편트들의 확산에 의해 결정립계에 편석됨으로써 도핑시 활성화되었던 도편트량의 감소에 기인하는 것으로 생각되며 따라서 상대적으로 결정입계의 면적이 큰 다결정 실리콘에서 보다 큰 영향을 보이는 실험 결과와 상응한다. 650°C 이상의 온도에서는 결정립내에 주입된 도편트들의 활성화가 이루어짐으로써 면저항의 감소를 보이게 되며 850°C 이상의 온도에서는 주입된 도편트들이 거의 다 활성화되었기 때문에 세 시편들 간의 면저항차이가 없는 것으로 생각된다.

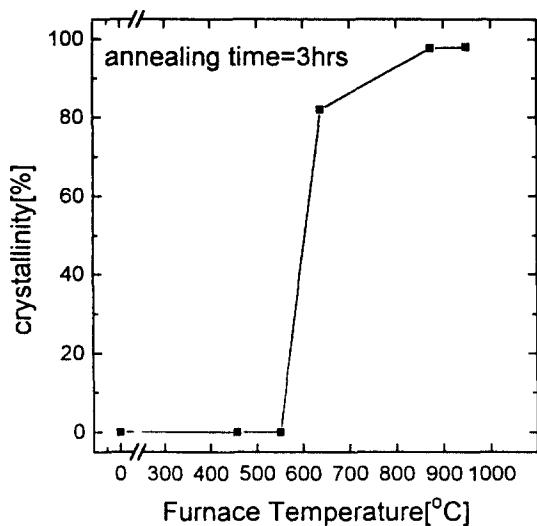


그림 3. 노열처리에 따른 a-Si 결정화도 변화

Fig. 3. Change of Crystallinity with annealing temperature.

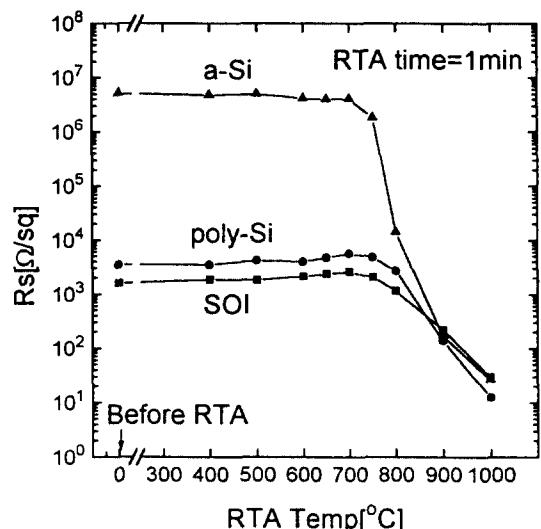


그림 4. 급속열처리시 면저항의 변화

Fig. 4. Variation of the sheet resistances in case of rapid thermal annealing

인의 열적 활성화에 필요한 활성화 에너지는 실리콘 내에서의 확산 활성화 에너지 약 3.66eV에 해당할 것이며^[7] 결정입계의 확산에 필요한 활성화 에너지는 침입형 확산의 경우 약 0.44eV^[8]이므로 도편트의 활성화보다는 낮은 열에너지에서 결정립계로의 편석이 먼저 일어날 것으로 예상할 수 있다. 비정질 실리콘의

경우는 결정립이 형성되기 전까지는 별다른 반응을 보이지 않지만 결정화 시작의 온도가 도편트의 활성화에 필요한 에너지 이상이므로 결정화가 되면서 면저항의 급격한 감소가 이루어지는 것으로 보인다.

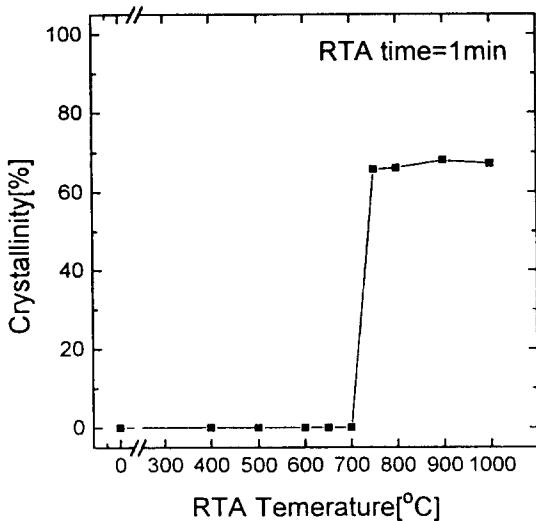


그림 5. 비정질 실리콘에서 급속열처리가 결정화에 미치는 영향

Fig. 5. Effect of RTA temperature of the crystallinity of amorphous silicon film.

급속열처리에 의해 1분간 열처리한 결과를 그림4에 나타내었으며 그림5에는 온도에 따른 비정질 실리콘의 결정상태를 나타내었다. 그림3과 비교하면 급속열처리는 약 700°C에서 결정화가 시작되어 노열처리 경우보다 높은 온도에서 결정화가 시작되며 결정성도 약 65%로 노열처리보다 낮은 값에서 포화됨을 알 수 있다.

그림4의 면저항변화를 보면 그림2의 노열처리에 비해 다결정 실리콘 및 SOI기판의 경우 면저항의 증가는 뚜렷하지 않은 것으로 보인다. 이는 급속열처리의 경우 도편트들이 확산이 억제되어 결정립계로의 편석이 심각하게 발생하지 않기 때문으로 생각된다. 그러나 700°C 이상의 온도에서는 기판의 결정성과 상관없이 급격히 면저항이 감소하였으며 이는 도편트의 활성화 때문이라는 설명과 상응된다. 실제로 도편트의 확산은 시간의 준성을 보이나 도편트의 활성화는 시간의 준성을 보이는 현상은 아니기 때문에 급속열처리의 경우도 노열처리와 마찬가지로 800°C 이상으로 열처리하면 세 기판 모두 거의 같은 저항값을 보이고 있다. 단지 최소 저항값인 $10\Omega/\square$ 는 기판형태와 상관없이 약 1000°C에서 얻어지는 것으로 나타났으며 이 온도는 노열처리와 마-

찬가지로 결정화가 시작되는 약 700°C부터 급격한 감소를 보이고 있다.

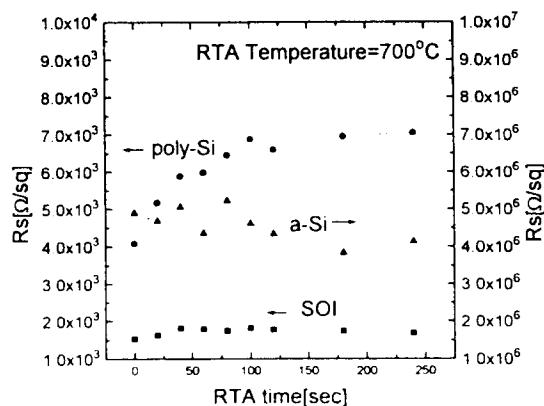


그림 6. 급속열처리 시간에 따른 면저항의 변화
Fig. 6. Variation of the sheet resistances with respect to RTA temperature.

그림6에서는 700°C에서 급속열처리한 경우 열처리시간에 따른 면저항의 변화를 나타내었다. 여기서 700°C는 그림3에서 알 수 있듯이 도편트의 확산은 가능하나 도편트의 활성화가 일어나기에는 충분한 온도가 아닌 것임을 주목할 필요가 있다. 이 경우 예상되는 바와 같이 SOI기판에서는 열처리시간에 따라 면저항의 변화가 거의 없으나 결정립계의 면적이 큰 다결정 실리콘의 경우는 도편트들의 결정립계로의 확산에 의한 면저항 증가현상이 뚜렷하였다. 비정질 실리콘의 경우는 700°C가 결정화가 시작되는 온도이므로 (그림4 참조) 결정화 진행에 따른 면저항의 감소 추세가 보인다. 다결정 실리콘의 경우 면저항이 약 100초까지는 열처리시간에 따라 급격히 상승하나 그 후 그다지 큰 변화를 보이지 않는 것으로 미루어 보아 결정립계로부터 비교적 가까운 도편트들만이 결정립계에 포획되는 것으로 보인다. (그림6) 주입시 이미 활성화되어 있던 도편트들이 결정립계에 편석될 때만이 면저항에 영향을 주게 되므로 700°C 이상으로 열처리하기 전에는 활성화되어 있지 않는 도편트가 대부분이라는 점을 감안하면 실제 이 온도에서 결정립계에 편석되는 도편트의 수는 매우 큼 수 있다.

본 실험에서는 이온 소오스 가스를 수소로 회석된 1% PH_3 를 사용하였기 때문에 질량 도핑시 다량의 수소가 실리콘내에 도편트와 같이 함유될 것으로 예상되었다. 주입된 수소는 결정립계에 포획될 수 있으며 이미 포획된 수소가 도편트의 결정립계로의 포획에 영향을

줄 수 있기 때문에^[9] 350°C 산소 분위기에서 2시간 동안 탈수소처리를 행한 후 급속열처리에 따른 면저항의 변화를 조사하였다. 그림7에 탈수소화 처리를 행한 경우와 행하지 않은 경우를 비교하였는데 그다지 큰 차이를 보이지 않음을 알 수 있다. 이는 수소의 확산계수가 300°C에서 약 $3.6 \times 10^{-19} \text{ cm}^2/\text{sec}$ ^[9]로 비교적 높기 때문에 400°C 이상의 온도에서 질소분위기로 열처리하는 경우 도편트의 확산보다는 탈수소화가 빠른 속도로 진행되기 때문으로 생각할 수 있다.

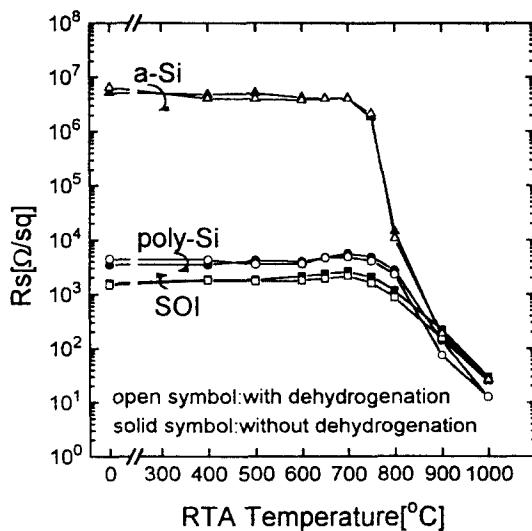


그림 7. 급속열처리온도에 따른 면저항의 변화에 탈수소화가 미치는 영향

Fig. 7. Effect of dehydrogenation on variation of the sheet resistances with respect to RTA temperature.

IV. 결 론

이온 질량 도핑 장치에 의해 인을 SOI, 다결정 실리콘 및 비정질 실리콘에 주입한 후 열처리에 따른 면저항의 변화를 관찰하였다. 도핑 직후에는 비정질 실리콘의 경우 $5 \times 10^6 \Omega/\square$ 로 제일 높은 저항을 보였고 다결정 실리콘 및 SOI의 경우는 약 $10^3 \Omega/\square$ 를 보였으나 열처리 온도가 높아짐에 따라 기판형태와 상관없이 $10 \Omega/\square$ 의 낮은 저항값으로 수렴하였다. 700°C까지의 온도에서는 도편트가 결정립계로 확산되며 그 이상의 온도에서는 도편트의 전기적 활성화가 일어나는 것으로 밝혀졌으며 질량 도핑시 결정립계에 포획될 것으로 예상되는 수소는 도편트의 열적거동에 아무런 영향을 주지 않는 것으로 나타났다.

참 고 문 헌

- [1] A. Yoshida, K. Setsun, and T. Hirao, "Phosphorous doping for hydrogenated amorphous silicon films by a low energy ion doping technique", *Appl. Phys. Lett.* 51(4) 27, pp 253-255, July 1987.
- [2] A. Yoshida, M. kitagawa, and T. Hirao, "Formation of n+ a-Si:H thin film layer by ion doping technique", *Jpn. Appl. Phys. vol. 32*, pp 2147-2151, 1993.
- [3] G. Kawachi, T. Aoyama, and K. Miyata, Y. Ohno, A. Mimura, N. Konish, and Y. Mochizuki, "Large-area ion doping technique with Bucket-type ion source for polycrystalline silicon films", *J. Electrochem. Soc., vol. 137*, No. 11, pp 3522-3526, Nov. 1990.
- [4] A. Mimura, G. Kawaki, T. Aoyama, T. Suzuki, Y. Nagae, N. Konishi, and Y. Mochizuki, "A 10-s doping technology for the application of low temperature polysilicon TFT's to giant microelectronics", *IEEE Transaction on Electron Devices, vol. 40*, No. 3, pp 513-520, March 1993.
- [5] 임 인곤, "선형 접속 가열을 이용한 SOI 소자용 실리콘 박막의 단결정화에 관한 연구", 공학 박사 학위 논문, 서울대학교 대학교 대학원, 1992
- [6] N. F. Mott and E. A. Davis, "Electronic Process in Noncrystalline Materials" 2nd ed., Clarandon Oxford, pp 42-50, 1972.
- [7] W. E. Beadle, J. C. C. Tsai, R. D. Plummer, "Quick Reference Manual for Silicon Integrated Circuit Technology", John Wiley & Sons.
- [8] T. I. Kamins, M. M. Mandurah, K. C. Sarawat, and C. R. Helms, "Dopant segregation in polycrystalline silicon", *J. Appl Phys* 51(11), pp 5755-5763, Nov 1980.
- [9] C. Vettier, M. Vergnat, S. Houssani, G. Marchal and Mangin, "Hydrogen diffusion and densification in amorphous silicon", *Physical Rev.B, vol. 47*, pp.7584 -7587, 1993.

감사의 글

본 연구는 과학재단의 우수연구센터인 서울대학교
신소재 박막가공 및 결정성장 연구센터의 연구비 지원

으로 수행되었습니다. 또한 이온 질량 도핑 장치 제작
에 도움을 주신 경희대 장 진교수님께 감사의 마음을
전합니다.

저자 소개



金 珍 浩(正會員)

1965년 1월 9일생. 1987년 고려
대학교 금속공학과 졸업. 1992년
삼성전자 반도체부문 기통연구소
근무. 현재 서울대학교 금속공학과
석사과정. 주관심분야는 이온질량
도핑에 의한 접합형성등입니다.

崔 德 均(正會員)

1956년 1월 22일생. 1978년 서울대학교 요업공학과
졸업. 1988년 Stanford대학 재료과 공학박사학위 취
득. 1990년 SRT Internadinal 근무. 1990년 ~ 현
재 한양대학교 무기재료 공학과 조교수

朱 承 基(正會員)

1952년 9월 4일생. 1975년 서울대학교 금속공학과 졸
업. 1983년 Stanford대학 재료과 공학박사 학위취득.
1984년 National Semiconductor K & D Center
근무. 1986년 Fairchild Advanced R & D Lab.
근무. 1986년 ~ 현재 서울대학교 금속공학과 부교수.
주관심 분야는 반도체 소자 직접공정 개발입니다.