

論文94-32A-1-12

향상된 Latch-up 특성을 갖는 트렌치 게이트 SOI LIGBT

(Trench-Gate SOI LIGBT with Improved Latch-up Capability)

李炳勳*, 金杜泳*, 尹鍾晚*, 韓民九*, 崔然益**

(Byeong Hoon Lee, Doo Young Kim, Chong Man Yun, Min Koo Han and Yearn Ik Choi)

要約

본 논문에서는 기존의 구조보다 향상된 latch-up 전류능력을 갖는 새로운 트렌치 게이트 SOI LIGBT의 개념을 정립하고 자세한 소자 설계를 하였으며 설계된 소자의 latch-up 특성과 전류전압 특성을 검증하기 위하여 MEDICI 시뮬레이션을 수행하였다. 제안된 소자는 기존의 소자보다 6배 이상의 latch-up 전류능력을 가짐을 알 수 있었고 캐리어의 수명을 여러 가지로 바꾸었을 때에도 개선된 latch-up 특성이 유지됨을 확인할 수 있었다. 또한, 제안된 소자의 우수한 latch-up 특성은 정공전류가 n+ 캐소드 밑의 p 웰을 지나지 않고 캐소드 전극으로 직접 흐르는 것에 기인함을 알 수 있었다. 제안된 소자는 기존의 소자와 비교하여 스위칭 속도는 거의 같고 순방향 전압강하는 n- 에피층의 두께가 6 μm 로 작을 때는 약 25% 증가하나 n- 에피층의 두께가 10 μm 일 때는 거의 차이가 없었다. 시뮬레이션으로 계산된 항복전압은 매립 산화층(buried oxide)의 두께가 3 μm 이고 에피층의 두께가 6 μm 일 때 제안된 소자가 250V이고 기존의 소자가 240V 이었다.

Abstract

Trench-Gate SOI LIGBT with improved latch-up capability has been proposed and verified by MEDICI simulation. The new SOI LIGBT exhibits 6 times larger latch-up capability than the conventional devices. It is also found that the improved latch-up capability of the new device is almost preserved independent of lifetime. The large latch-up capability of the new SOI LIGBT may be realized due to the fact that the hole current in the new device would bypass through the shorted cathode contact without passing the p-well region under the n+ cathode. Forward voltage drop is increased by 25% when a epi thickness is 6 μm . However, the increase of the forward voltage is negligible when the epi thickness is increased to 10 μm . It is found that the switching time of the new device is almost equal to the conventional devices. Evaluated breakdown voltage of proposed SOI LIGBT is 250 V and that of the conventional SOI LIGBT is 240 V, where the thickness of the buried oxide and n- epi is 3 μm and 6 μm , respectively.

*正會員, 서울大學校 電氣工學科
(Dept. of Elec., Seoul Nat'l Univ)

(Dept. of Elec. Eng., Ajou Univ.)
接受日字 : 1994年 3月 3日

**正會員, 亞州大學校 電子工學科

I. 서론

Silicon-On-Insulator(SOI) 기술을 이용한 반도체 소자는 높은 신뢰성과 빠른 동작속도 및 집적도의 향상을 쉽게 얻을 수 있는 이점 때문에 최근에 활발한 연구가 진행되고 있다^[1]. 특히, SOI기술은 절연격리(dielectric isolation)가 용이하기 때문에 전력 집적 회로(power IC)의 제작에 이용될 경우 소자의 스위칭 속도를 향상시킬 수 있고 논리회로와 전력소자를 구조적으로 완전히 분리시킬 수 있는 등의 여러 가지 장점이 있어 최근에 많은 연구가 활발히 진행되고 있다^[2,3,4]. 전력용 개별소자(discrete device)로 많이 쓰이고 있는 수평형 IGBT(Lateral Insulated Gated Bipolar Transistor)는 SOI 기판 위에 제작할 때 위에서 언급한 것과 같은 여러 가지 이점을 얻을 수 있으나, LIGBT소자에서 최대 전류능력을 제한하는 소위 latch-up 문제는 더욱 심각하게 나타난다.^[5,6]

LIGBT는 그림 1에서 보는 바와 같이 MOS와 bipolar 소자를 하나의 구조로 결합한 소자로서 MOS 구조의 채널을 통해 전자가 p+ 애노드(anode), n- 에피(epi), 그리고 p 웰(well)로 이루어지는 pnp 바이폴라 구조의 베이스인 n- 에피층에 주입되어 pnp 바이폴라를 구동하여 동작하는 소자이다.

채널을 통해 흐르는 MOS전류에 의해 바이폴라 소자가 구동될 때 p+ 애노드에서 홀이 주입되어 n- 애피 층과 p 웨일 차례로 지나 캐소드(cathode)에 모이게 되는데, p 웨일의 자체 저항 R_s 때문에 n+ 소오스 (source)와 p 웨일 사이에 전압강하가 생기게 되고 이

전압이 0.7V 이상이 되면 n+ 소오스에서 p 웨로 전자가 크게 주입되면서 p+ 애노드, n- 에피층, p 웨 그리고 n+ 소오스로 이루어지는 기생의 싸이리스터(thyristor)를 터 온 시킨다. 이 현상을 latch-up이라 하며 일단 latch-up이 발생하면 더 이상 게이트로는 터 오프 될 수 없게 되고 지속적으로 과다한 전류가 흘러 소자가 파괴된다.^[7] 특히, LIGBT가 전력집적회로용으로 SOI 기판 위에 제작될 때 애노드에서 주입된 홀이 기판으로 흐를 수 없으므로 모두 저항 Rs를 지나게 되어 latch-up이 더욱 쉽게 나타난다. 그러므로 LIGBT를 SOI위에 제작하기 위해서는 latch-up을 개선할 수 있는 효과적인 방법이 필요하다. 지금까지 latch-up을 개선하기 위하여 여러 가지 방법^[8,9,10]들이 제안되었으나 이들 중 대부분은 latch-up은 개선하는 반면 순 방향전압 강하가 크게 증가하게 되는 문제점을 지니고 있으며 최근에 제안된 deep implantation을 이용해 저항 Rs를 줄이거나^[4,6] 또는 실리사이드 접촉이나 트렌치를 이용해 n+ 소오스의 길이를 줄여 저항 Rs를 감소시키는 방법^[17,8] 등은 순 방향 전압강하와의 trade-off 없이 latch-up을 억제할 수 있으나 전류 레벨이 높아지면 여전히 Rs에 의한 전압강하가 남아 있어 latch-up을 근본적으로 개선하는 데는 한계가 있다.

본 논문에서는 애노드에서 주입된 대부분의 흘러 저항 R_s 를 거치지 않고 직접 캐소드에 흘르게 함으로써 순방향 전압강하의 큰 증가 없이 latch-up 현상을 효과적으로 개선한 새로운 구조의 SOI LIGBT를 제안하고 소자의 동작 특성과 latch-up 특성을 MEDICI

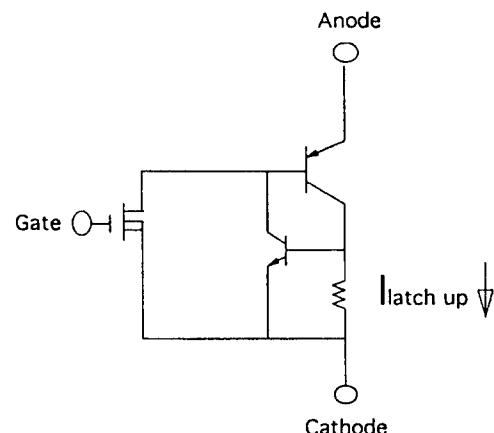
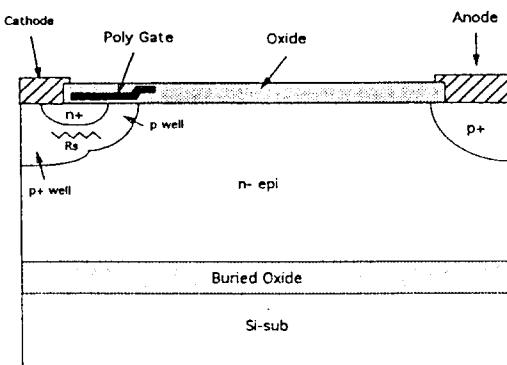


그림 1. 상용의 SOI LIGBT의 단면도 및 등가회로
 (a) 단면도 (b) 등가회로

Fig. 1. Gross-section and equivalent circuit of conventional SOI LIGBT.
 (a) cross-section (b) equivalent circuit

시뮬레이션을 통해 검증하고자 한다.

II. 소자의 구조 및 동작

그림 2는 제안된 SOI LIGBT의 단면도 및 등가회로를 보여준다. 제안된 소자는 애노드에서 주입된 홀이 latch-up의 원인이 되는 저항 R_s 를 거치지 않고 직접 캐소드로 바이пас 할 수 있도록 기존의 LIGBT에서 게이트로 쓰이는 영역에 n+ 소오스와 p 웨爾을 단락 시키는 캐소드 전극(Shorted cathode)을 만들고 p 웨爾의 중앙부에 트렌치를 이용해 poly 게이트를 만들어 준 구조를 하고 있다. 또한, 애노드에서 주입된 홀이 효과적으로 캐소드(Shorted cathode)에 모일 수 있도록 $2\mu m$ 정도 깊이의 추가의 p 웨爾(p 캐소드웨爾)을 캐소드 전극 아래에 확산시켰다. 그림 1 (b)와 그림 2 (b)의 등가회로는 제안된 SOI LIGBT와 기존의 구조 사이의 차이를 잘 보여준다. 그림 1 (b)의 기존 구조에서는 애노드 단자에서 주입된 홀전류가 모두 pnp 트랜지스터의 에미티 단자에 있는 기생저항 R_s 를 통해 흐르게 되고 이때 생기는 전압 강하가 0.7V 이상이 되면 기생의 npn 트랜지스터를 턴온 시켜 싸이리스터 동작이 일어나게 되어 latch-up을 발생시키게 된다.

그러나 그림 2 (b)의 제안된 구조에서는 p 캐소드 웨일에 에미터로 하는 기생저항이 없는 npn 트랜지스터가 애노드와 캐소드 사이에 병렬 연결된 구조이므로 대부분분의 흡전류가 저항 R_s 가 없는 트랜지스터를 통해 바이패스 함으로써 latch-up을 억제할 수 있는 것이다. 제안된 SOI LIGBT의 동작은 다음과 같다. 먼저 트렌치된 폴리 게이트에 문턱 전압 이상의 전압이 기해지면 트레

치된 표면을 따라 게이트 밑에 채널이 생성되어 $n+$ 소오스에서 전자가 p 채널을 통해 $n-$ 에피층으로 흐르게되고 이 전류는 $p+$ 애노드, $n-$ -에피층과 p 캐소드 웨로 이루어지는 pnp 트랜지스터의 베이스 전류로 작용하게되어 pnp트랜지스터의 에미터인 $p+$ 애노드 단자에서 흘러 $n-$ -에피층으로 주입된다. 이렇게 주입된 흘은 대부분 p 웨의 저항 R_s 를 거치지 않고 직접 캐소드 웨를 통해 캐소드 전극으로 흐르게 된다. 제안된 소자에서는 흘전류의 일부분만이 $n+$ 소오스 밑을 거치게 되는데 그 양이 전체 흘전류에 비해 매우 적으므로 보통의 동작영역에서는 거의 latch-up 이 일어나 않는다.

III. MEDICI 시뮬레이션

제안된 소자의 latch-up 특성 및 I-V 특성에 대한 정확한 정량적인 분석과 소자 내부에서의 동작에 대한 이해를 위해 MEDICI 시뮬레이션을 수행하였다. 시뮬레이션된 SOI 소자의 매립 산화층(buried oxide)의 두께는 $3\mu m$ 이고 n- 에피층의 농도는 $2 \times 10^{15} cm^{-3}$ 이며 항복 전압의 향상을 위한 resurf 구조 [11] 와 절연격리의 용이성^[3]을 고려하여 n-에피층의 두께를 $6\mu m$ 로 선택하였고 애노드와 p 웨л 사이의 n-의 길이는 $34\mu m$ 가되도록 설계하였다. 시뮬레이션된 구조의 주요한 변수는 표1에 나타내었다. 매립 산화층 밑의 실리콘 기판은 0V로 접지 시켰으며 n 타입, $2 \times 10^{15} cm^{-3}$ 의 도핑 농도를 가진 것을 채택하였다. 그러나, 전력용 SOI 소자 (주로 Silicon - Direct-Bonding 으로 제작됨) 는 충분히 두꺼운 매립 산화층

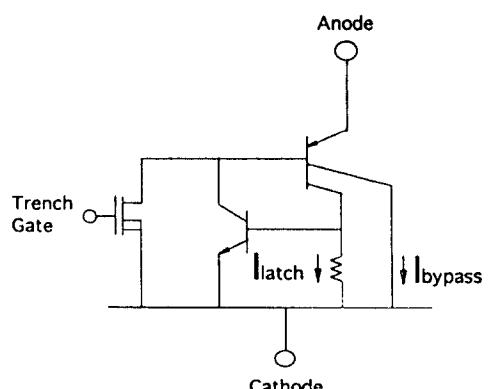
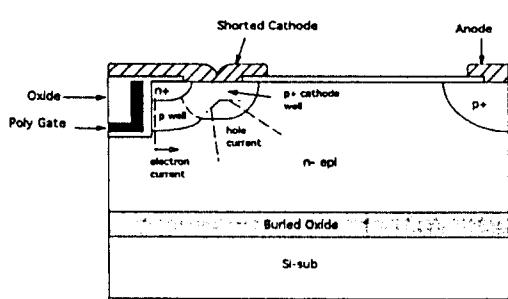


그림 2. 제안된 SOI LIGBT의 단면도 및 등가회로
(a) 단면도 (b) 등가회로

Fig. 2. Cross-section and equivalent circuit of proposed SOI LIGBT.
 (a) cross-section (b) equivalent circuit

을 사용하므로 기판의 탑입 및 도핑농도가 소자의 특성에 거의 영향을 미치지 않는다.

그림 3(a)은 애노드 전압이 250V(항복전압 직전) 일 때 제안된 소자 내부에서의 전계 분포를 나타낸 것으로 공핍층이 완전히 확장(fully depletion)되었음을 확인할 수 있다. 또한, 실리콘에 비해 매립 산화층에서 큰 전계가 나타나고 있음을 볼 수 있는 데 이것은 애노드에 250V의 전압이 가해졌을 때 바탕의 실리콘 기판은 접지 되어 있으므로 모든 전압이 p+ 애노드와 기판 사이에 걸리게 된다. 그런데, 산화층의 비유전율은 3.9로서 실리콘의 11.9에 비해 낮으므로 큰 전계가 매립 산화층에서 나타남을 알 수 있다. 또한, 위쪽 산화층에서도 게이트 및 필드 플레이트에 의해 큰 전계가 나타남을 볼 수 있다.

그림 3(b)는 기존 구조의 240V(항복전압 직전) 에서의 전계를 나타낸 것이다. 제안된 구조와 거의 같은 전계분포를 보이고 있으며 특히 애벌런치 항복현상이 일어나는 실리콘내부에서의 최대 전계가 같은 점임을 볼 수 있다. 이것은 소자의 항복전압이 게이트 구조와 무관함을 나타내는 것으로 트렌치에 의해 항복전압이 감소하지 않음을 알 수 있다.

그림 4는 게이트 전압이 10V이고 순방향 전압강하

가 1.25V일 때의 소자내부의 전류흐름을 나타낸 것으로 시뮬레이션된 두 가지 구조의 차이점을 잘 나타내준다. 그림 4(b)는 기존의 구조에서의 전류 흐름을 보여주는 것으로서 애노드에서 주입된 대부분의 홀이 p 웨의 저항 R_s 를 거쳐 캐소드로 흐르고 있다.

그러나, 그림 4(a)의 제안된 구조에서는 대부분의 홀이 저항 R_s 를 지나지 않고 직접 단락된 캐소드 전극으로 흐르는 것을 확인할 수 있다.

IV. 시뮬레이션 결과 및 논의

LIGBT의 설계시 스위칭 스피드의 향상을 위해 라이프타임 컨트롤 법(lifetime control method)을 많이 사용하므로^[7] 캐리어 수명(lifetime)에 따른 여러 가지 특성의 변화를 살펴보는 것은 중요한 일이다. 그림 5는 게이트 전압이 10V일 때 캐리어 수명의 변화에 따른 기존의 구조와 제안된 구조의 latch-up 전류 밀도를 비교한 것이다. 캐리어 수명을 0.1μs에서 5μs까지 변화시키면서 시뮬레이션 했을 때 두 구조 모두 latch-up 전류가 감소하게 되는 같은 경향을 가진다.

이것은 LIGBT에서 캐리어 수명이 증가하면 애노드

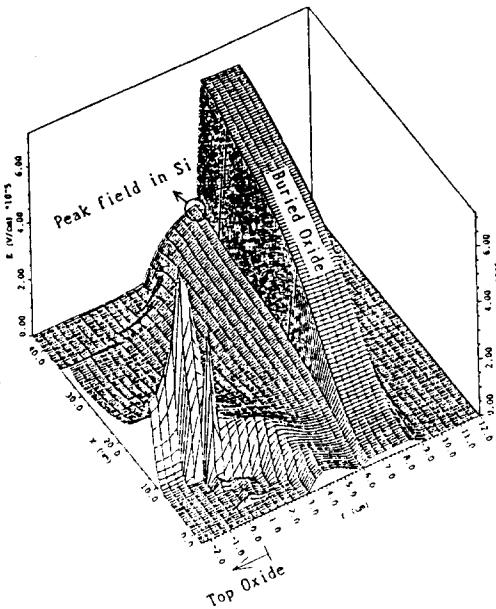
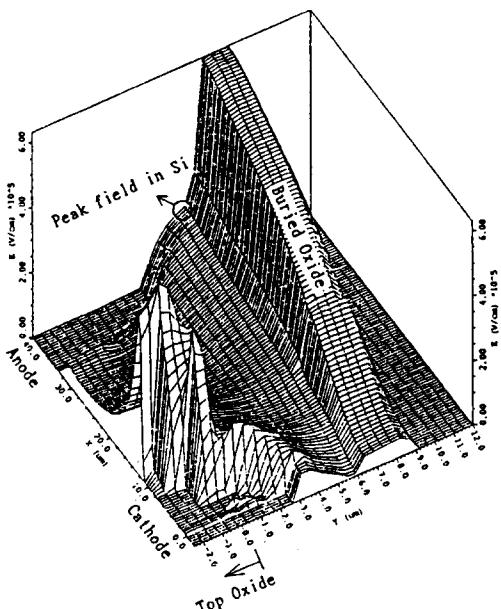


그림 3. 제안된 트렌치 게이트 SOI LIGBT에서의 전계 분포.

(a) 제안된 구조 (b) 기존의 구조

Fig. 3. Field distribution in the trench gate SOI LIGBT.
(a) proposed structure (b) conventional structure

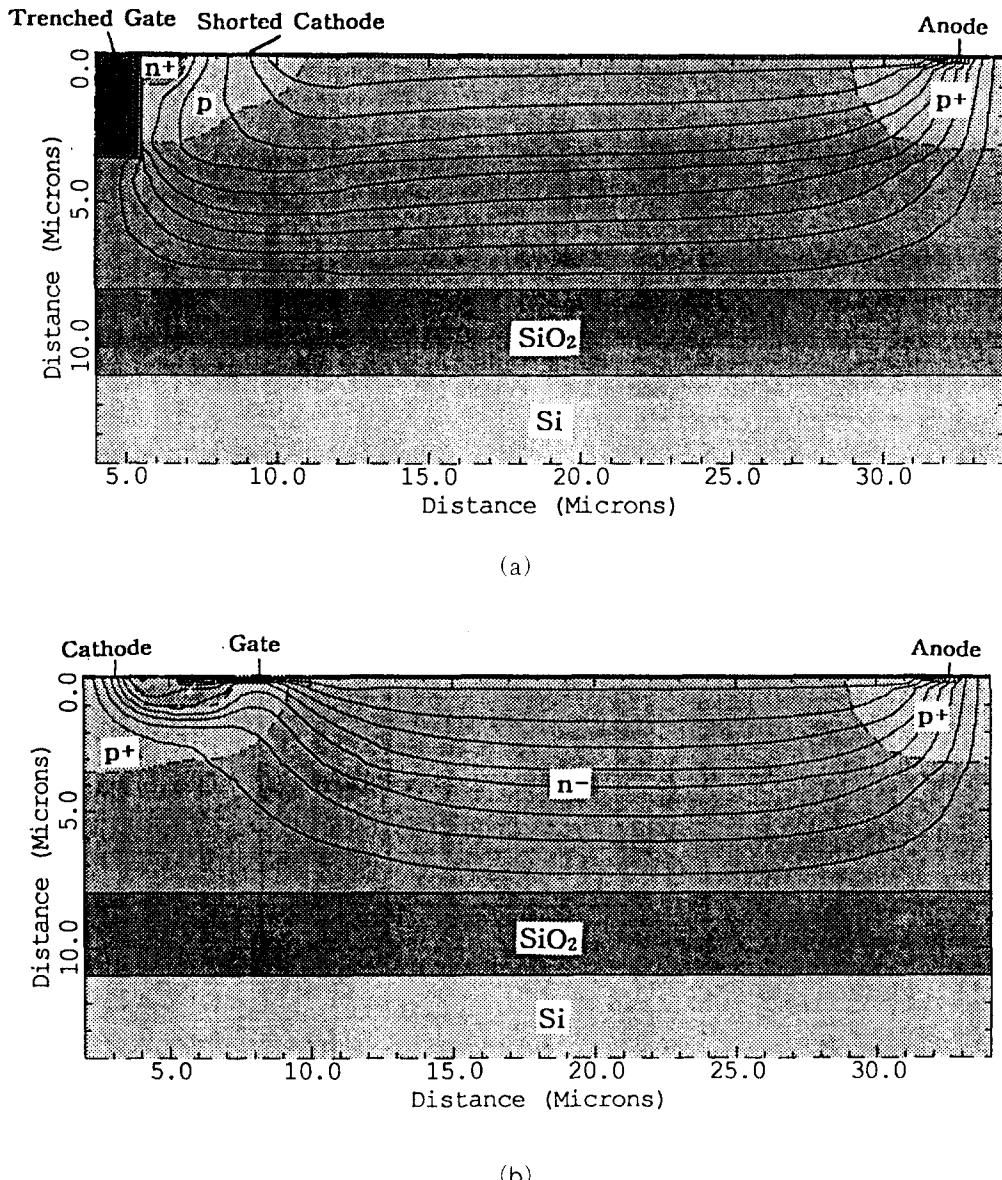


그림 4. SOI LIGBT 에서의 전류흐름 비교.

(a) 제안된 구조 (b) 기존의 구조

Fig 4. Current flowlines in the SOI LIGBT.

(a) proposed structure (b) conventional structure

에서 주입된 흘전류가 중간의 n- 에피층에서 재결합되는 비율이 작아지므로 전류 전송도(transport factor) αT 가 증가하게 되고 전자전류에 대한 흘전류의 비율인 β 가 커지게 되므로 더 많은 흘전류가 저항 R_s 를 거쳐 캐소드에 모이게 되므로 latch-up을 더 쉽게 일으키게 된다. 그러나 latch-up이 일어나는

전류의 절대치는 크게 차이가 난다. 즉, 수명이 $0.1\mu s$ 일 때 latch-up 이 일어나는 전류치는 기존 구조가 $450A/cm^2$, 제안된 구조가 $2800A/cm^2$ 이고 수명이 $5\mu s$ 일 때는 기존의 구조가 $380A/cm^2$, 제안된 구조가 $2600A/cm^2$ 으로 캐리어 수명의 변화에 관계없이 latch-up 전류는 거의 6배 이상 개선됨을 관찰할 수

있다.

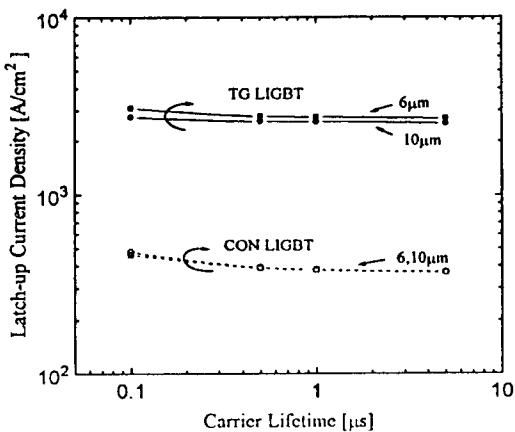


그림 5. 캐리어 수명의 변화에 따른 제안된 SOI LIGBT 와 기존의 SOI LIGBT의 latch-up 전류밀도의 비교

Fig. 5. Latch-up current density of the proposed and conventional structure as a function of carrier lifetime.

그림 6은 캐리어 수명이 $0.1\mu\text{s}$ 일 때 두 가지 소자의 latch-up 곡선을 비교한 것이다. 그림에서 전류가 증가하다가 꺾여 부저항(negative resistance)영역이 나타나는 점이 latch-up 이 발생한 점이다.

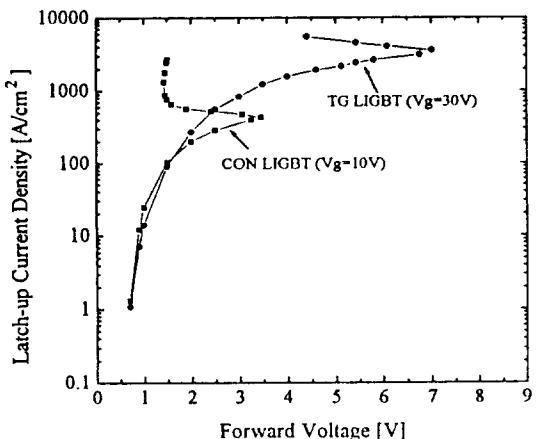


그림 6. 제안된 트랜치 SOI LIGBT 와 기존의 SOI LIGBT 의 latch-up 곡선 ($\text{lifetime}=0.1\mu\text{s}$)

Fig. 6. Latch-up curve of the proposed and conventional structure ($\text{lifetime}=0.1\mu\text{s}$).

latch-up이 발생하면 기생의 싸이리스터가 터 온 되므로 전류는 증가하지만 전압은 감소하게되어 부저항 영역이 나타나게 된다. 기존 구조를 갖는 소자는 게이트 전압이 10V 일 때 전류밀도가 $400\text{A}/\text{cm}^2$ 에서 latch-up이 발생하나 제안된 구조에서는 게이트 전압이 30V 미만일 때는 latch-up이 발생하지 않고 게이트 전압을 30V 로 했을 때 $3000\text{A}/\text{cm}^2$ 에서 latch-up이 발생하는 것을 확인할 수 있다. 게이트 산화막의 항복 전압을 고려하여 일반적으로 게이트 전압을 25V 이상으로 구동하지 않으므로 사실상 제안된 구조에서는 latch-up이 일어나지 않는다고 말할 수 있다.

그럼 7은 게이트 전압이 10V 이고 전류밀도가 $200\text{A}/\text{cm}^2$ 일 때의 순방향 전압강하를 캐리어 수명을 $0.1\mu\text{s}$ 에서 $5\mu\text{s}$ 까지 변화시키면서 시뮬레이션한 값들을 보여준다. 두 가지 구조 모두 캐리어 수명이 증가할 때 순방향 전압강하가 감소하는 것을 볼 수 있는데 이것은 캐리어 수명의 감소에 따른 애피층에서의 전류증폭율 β 의 감소에 따른 것이다.

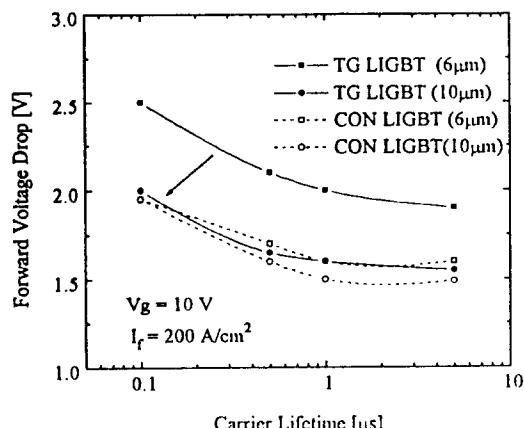


그림 7. 캐리어 수명의 변화에 따른 제안된 SOI LIGBT 와 기존의 SOI LIGBT의 순방향 전압강하의 비교($V_g=10\text{V}$, $I=200\text{A}/\text{cm}^2$)

Fig. 7. Forward voltage drop of the proposed and conventional structure as a function of carrier lifetime ($V_g=10\text{V}$, $I=200\text{A}/\text{cm}^2$).

한편, 애피층의 두께가 $6\mu\text{m}$ 일 때, 제안된 구조가 기존의 구조에서보다 순방향 전압강하가 약 25% 증가한 것을 볼 수 있다. 이것은 제안된 구조에서 MOS 전류성분이 트랜치 게이트 밑의 p 채널을 통해 주입되어 매립 산화층과 p-웰 사이를 지나 n- 애피층으로 흘러가 되므로 애피층의 두께를 $6\mu\text{m}$ 로 설계하였을 때 p-

웰의 접합 깊이 $4\mu m$ 을 고려하면 매립 산화층과 p-웰 사이가 $2\mu m$ 밖에 되지 않아 이 부분에서 전류 밀집 (current crowding)이 생겨 전압강하를 크게 하는 것으로 분석되었다. 모든 조건이 동일할 때 에피층의 두께를 $10\mu m$ 로 하면 제안된 구조의 순방향 전압강하는 기존 구조의 순방향 전압강하와 거의 같음을 알 수 있다.

LIGBT에서는 턴 오프 시간이 턴 온 시간보다 훨씬 길기 때문에 LIGBT의 스위칭 스피드는 턴 오프 시간에 의해서 결정되게 된다.

그림 8은 캐리어의 수명을 바꾸어가며 턴 오프 타임을 시뮬레이션한 값들을 보여주는 것으로서 일반적으로 LIGBT의 캐리어 수명 값으로 받아들여지는 캐리어 수명이 $1\mu s$ 일 때는 기존의 구조의 턴오프 타임은 $3.5\mu s$ 이고 제안된 구조의 턴오프 타임은 $3.6\mu s$ 이며 $0.1\mu s$ 일 때는 두 구조 모두 $50ns$ 로서 새로운 구조가 소자와의 스위칭 스피드에는 거의 영향을 주지 않음을 알 수 있다.

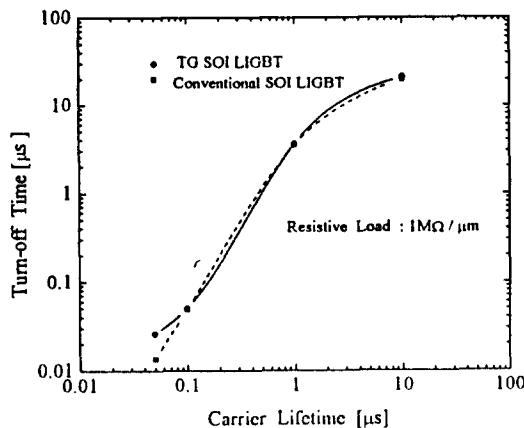


그림 8. 캐리어 수명의 변화에 따른 제안된 SOI LIGBT 와 기존의 SOI LIGBT의 턴 오프 타임의 비교

Fig 8. Turn off time of the proposed and conventional structure as a function of carrier lifetime.

V. 결론

Latch-up 특성을 개선하기 위하여 정공 전류를 바로 패스시키는 트렌치 게이트 SOI LIGBT를 제안하였고, MEDICI 시뮬레이션을 통해 이를 검증하였다. 제안된 소자는 기존의 LIGBT 구조에서 게이트와 캐소드의 위치를 바꾸고 트렌치 게이트를 채택하여 구현하였

으며 기존의 소자에 비해서 6배 이상의 latch-up 전류능력을 가짐을 알 수 있었다. 또한, 캐리어의 수명을 여러 가지로 바꾸었을 때에도 개선된 latch-up 특성이 유지됨을 확인할 수 있었다. 제안된 소자의 스위칭 속도는 기존의 소자와 거의 같았고 순방향 전압강하도 에피층의 두께가 크게 설계될 경우 기존의 소자와 거의 같은 값을 나타냄을 볼 수 있었다.

제안된 구조의 SOI LIGBT는 latch-up 특성이 향상되었기 때문에 SOI의 여러 가지 장점들을 상용 전력용 IC에 사용될 수 있을 것으로 기대된다.

참 고 문 헌

- [1] Akio Nakagawa et al, "prospects of high voltage power ICs on thin SOI", IEDM Tech. Digest, 1992, pp.9.2.1-9.2.4.
- [2] D.R.Disney and J.D.Plummer, "Fast switching LIGBT devices fabricated in SOI substrate", Proc. Int. 4th Symp. ISPSD '92, 1992, pp.48-51.
- [3] Norio Yasuhara et al, "SOI layer thickness and buried oxide thickness dependencies of high voltage lateral IGBT switching characteristics", Extended Abstract of SSDM'93, 1993, pp.270-272.
- [4] S.Matsumoto , "Device simulation of a thin film SOI power MOSFET for structure optimization", Extended Abstract of SSDM'93, 1993, pp.276-278.
- [5] D.R.Disney and J.D.Plummer, "SOI LIGBT devices with a dual p-well implant for improved latching characteristics", Proc. Int. 5th Symp. ISPSD'93, 1993, pp.254-258.
- [6] Y.S.Huang et al, "Comparison of DI and JI lateral IGBTs", Proc. Int. 4th Symp. ISPSD'92, 1992, pp.40-43.
- [7] B.J.Baliga , Modern power devices, John wiley and sons, 1987.
- [8] B.H.Lee and M.K.Han et al "Latch-up suppressed insulated gate bipolar transistor by the deep p+ ion implantation under the n+ source" Jpn. J. Appl. phys. Vol.33, part 1, No.1B, January

- . 1994, pp. 312-315
- [9] Y.H.Koh and C.K.Kim "Two-dimensional analysis of latch-up phenomena in latch-up free self-aligned IGBT structures" Solid State Electronics, Vol.33, No.5, 1990, pp.497-501
- [10] A.Nezar et al. "Latch-up prevention in insulated gated bipolar transistors" Proc. Int. 5th Symp. ISPSD'93, 1993, pp.236-239
- [11] J.A.Appels and H.M.J.Vaes, "High Voltage Thin Layer Devices(RESURF DEVICES)", IEDM Tech. Digest, 1979, pp.238-241

표 1. 제안된 소자의 구조 변수

Table 1. Structural parameters of the proposed device.

Channel Length	$2 \mu\text{m}$
Thickness of gate oxide	1000 Å
Length of n+ source	$2.7 \mu\text{m}$
Depth of n+ source	$1 \mu\text{m}$
Depth of p well and p anode	$4 \mu\text{m}$
Doping concentration of p well and p anode	2×10^{17}
Depth of p+ cathode well	$1.5 \mu\text{m}$
Doping concentration of p+ cathode well	1×10^{15}
Length of n- epi	$34 \mu\text{m}$
Thickness of n- epi	$6 \mu\text{m}$
Doping concentration of n- epi	2×10^{15}

저자 소개



李炳勳(正會員)

1968년 5월 2일 生. 1991년 2월 서울대학교 전기공학과 졸업. 1993년 2월 동대학원 졸업(석사). 1993년 3월 ~ 현재, 동대학원 박사과정. 주관심분야 JGBT 등 전력반도체, Smart Power IC 등임.



尹種晚(正會員)

1967년 4월 16일 生. 1989년 2월 서울대학교 전기공학과 졸업. 1991년 2월 동대학원 졸업(석사). 1991년 ~ 현재, 삼성전자 반도체 연구원 동대학원 박사과정. 주관심 분야 IGBT 등 전력반도체, Smart Power IC.



金杜泳(正會員)

1970년 10월 14일 生. 1993년 2월 서울대학교 전기공학과 졸업. 1993년 3월 ~ 현재, 동대학원 석사과정. 주관심분야 Power Device의 electrothermal modeling, Mos-Gated Thyristor 등임.

韓民九(正會員) 제 31권 A편 제11호 참조

현재 서울대학교 전기공학과 교수

崔然益(正會員) 제 31권 A편 제1호 참조

현재 아주대학교 전자공학과 교수