

論文95-32B-3-8

일반화된 Hough 변환을 위한 특수 목적 VLSI 시스템 설계에 관한 연구

(Specialized VLSI System Design for the Generalized Hough Transform)

蔡 玉 三 * , 李 政 憲 *

(Ok Sam Chae, and Jeong Hun Lee)

요 약

본 연구에서는 일반화된 Hough 변환(GHT:Generalized Hough Transform)의 실시간 처리를 위해서 Mesh 형태의 특수목적 VLSI 구조를 제안한다. 연구의 주된 목적은 단일칩으로 실현될 수 있는 일반화된 Hough 변환 시스템을 설계하는 것으로 이를 위해서 단순한 계산소자와 통신망으로 구성된 고도의 병렬구조를 설계하였다. 제안된 구조에서 GHT는 하나의 화소를 하나의 계산소자에 배정하고 이동과 가산 연산만으로 계산될 수 있다. 제안된 구조에 대한 CAD 시뮬레이션 결과에서도 GHT가 패턴을 구성하는 화소수에 비례하는 가산으로 수행될 수 있음을 보여주었다. 또한 본 연구에서는 변환결과를 호스트 컴퓨터로 이동하여 정점을 검출할 때 발생할 수 있는 호스트와 변환기 사이의 병목현상과 정점검출을 위한 호스트의 계산량을 줄이기 위해서 칩 내부에서 국부정점들을 추출하여 호스트에 전달할 수 있는 정점검출기를 설계하였다. 이는 저렴한 호스트 컴퓨터와 제안된 단일칩 변환기의 결합만으로 빠르고 저렴한 에지기반 물체인식 시스템의 구현을 가능하게 할 것으로 기대된다.

Abstract

In this research, a mesh connected VLSI structure is proposed for the real time computation of the generalized Hough transform(GHT). The purpose of the research is to design a generalized Hough transformer that can be realized as a single chip processor. The GHT has been modified to yield a highly parallel structure consisting of simple processing elements(PEs) and communication networks. In the proposed structure, the GHT can be computed by first assigning an image pixel to a PE and performing shift and add operations. The result of the CAD circuit simulation shows that it can be computed in the time proportional to the number of pixels in the pattern. In addition to the Hough transformer, the peak detector has been designed to reduce 1)the number of the I/O operations between the transformer and the host computer and 2) the host computer's burden for peak detection by transmitting only the local peaks detected from the transformed accumulator. It is expected that the proposed single chip Hough transformer with peak detector makes a fast and inexpensive edge based object recognition systems possible for many industrial and military applications.

* 正會員, 慶熙大學校 電子計算工學科

(Dept of Computer Engineering, KyungHee

University.)

接受日字 : 1994年 4月 29日

I. 서론

Hough 변환(Hough Transformation)은 선분 검출^[4]을 목적으로 제안되어 임의의 형상을 인식할 수 있는 일반화된 형태^[3]로 까지 발전되었다. 그 중에서 일반화된 Hough 변환(GHT: Generalized Hough Transform)은 순차적인 특성을 가지고 있는 Symbolic Description 과정을 거치지 않고, 입력 에지영상으로부터 바로 임의의 형상을 가진 물체를 인식할 수 있어 간단한 응용 시스템 구현이 가능한 장점을 지니고 있다. 또한 GHT는 부분적인 에지 정보도 효율적으로 이용할 수 있는 전역(global) 알고리즘이기 때문에 가려짐, 그늘, 잡음 등이 포함되는 동작 환경에서도 효과적으로 사용될 수 있다. 따라서 전략 목표물 추적과 같은 군사 응용 분야 뿐만 아니라 생산 라인에서의 부품의 인식과 검사와 같은 산업 분야에서도 좋은 결과가 기대된다^{[1][4][5]}. 그러나 이러한 장점을 지니면서도 변환에 요구되는 많은 계산량 때문에 실용화에 큰 진전을 보지 못하고 있다.

Hough 변환에 필요한 많은 계산량을 감소시키기 위한 방안으로 에지화소의 경사각도를 이용하는 방안이 제시되었다^[3]. 그러나 경사각을 이용한 GHT(GHT-GA: GHT using Gradient Angle)는 경계면이 주로 직선 선분으로 이루어지는 인조(人造) 물체 인식에 있어서는 경사각을 사용하지 않는 GHT(GHTNGA: GHT Not using Gradient Angle)와 비교하여 큰 차이가 없다. 따라서 GHT의 실용화를 촉진시키기 위해서는 GHT의 실시간처리에 필요한 병렬구현이 절실한 과제라고 볼 수 있다.

Hough 변환의 병렬구현은 선분 검출을 위한 Hough 변환의 경우에는 그 중요성이 인정되면서 다양한 방안이 연구되었고^{[7][8][9][10]}, 근래에 들어서는 특수 목적 Wafer Scale VLSI 시스템에서^[6] 광학시스템을 이용한 방법^[12]까지 제시되고 있다. 그러나 GHT의 경우에는 기존의 대형 병렬처리 시스템을 바탕으로 한 구현 방안이 소수^[11] 제시되었을 뿐이고 산업과 군사 분야의 실용화를 위해서 필수적이라 할 수 있는 간단하고 저렴한 특수 목적 VLSI 시스템에 관한 연구는 큰 진전을 보지 못하고 있다. GHT는 그 특성상 복잡하고 정밀한 응용 분야 보다는 생산 라인에서의 간단한 부품의 식별 및 위치 파악 그리고 연속적인 영상열에서 목표물의 위치 측정과 같은 비교적 간단한 응용 분야에 적합하다는 것을 감안한다면, 크고 고가인 병렬처리 시스템 보다는 저렴하고 소형인 단일 칩 특수 목적 시스템으로의 구현이 더욱 절실하다고 하겠다.

병렬구현 관점에서 보면 GHT는 소수의 간단한 연산

만으로 이루어졌다는 장점과 전역 알고리즘이 갖는 단점을 함께 지니고 있다. 변환에 소수의 간단한 연산만이 필요하기 때문에 계산소자(PE: Processing Element)의 구조를 간단하게 할 수 있다. 그러나 자료의 분할과 결합이 어렵고 각 PE가 접근하고자 하는 메모리의 위치가 입력 자료에 의해서 결정되는 전역 알고리즘의 특성 때문에 Massively Parallel VLSI 구조를 사용하는 데는 어려움이 많다^[11].

GHT의 실용화를 위해서는 GHT의 계산과 아울러 변환 결과로부터 물체의 위치를 결정하기 위한 정점검출이 해결되어야 한다. 정점검출은 변환에 비해서 계산량이 적지만 마이크로 프로세서로 구성된 host computer에 의해서 실시간 처리되기에는 계산량이 과다하다. 따라서 Hough 변환과 정점검출이 함께 수행될 수 있는 시스템이 필요하다.

본 연구에서는 저렴하고 빠른 에지 기반 물체 인식 시스템 구축을 목적으로 일반화된 Hough 변환(GHTNGA)과 정점검출을 수행할 수 있는 단일 칩 VLSI 구조를 제안한다. 제안된 병렬 구조는 고도의 병렬성을 유지하기 위하여 하나의 PE에 하나의 화소를 배정할 수 있는 MCS(Mesh Connected Structure)를 채택하였다. GHTNGA는 자료의 분할이 어려운 특성 때문에 MCS를 갖는 단일 칩 시스템에서 처리될 수 있는 영상의 크기는 단일 칩에 구현될 수 있는 PE의 수에 의해서 제한을 받는다. 실용성이 있는 크기의 영상을 처리할 수 있는 단일 칩 시스템 구현을 위해서 본 연구에서는 다음과 같은 방법을 채택하였다. 먼저 GHT를 덧셈과 이동 연산만으로도 처리가 가능하고 MCS에서 PE사이에 자료 전송이 용이한 형태로 수정하여 PE와 자료전송 회로를 단순화시켰다. 그리고 찾고자하는 물체의 정점 탐색 영역이 입력영상 보다는 작은 영역으로 한정된다는 점을 이용하여 탐색 영역 밖의 화소가 배정되는 PE 회로를 간소화시켰다. 또한 한정된 I/O 대역폭을 갖는 단일 칩 시스템에서 변환결과를 Host로 옮겨 정점을 검출할 때 생기는 지연과 Host의 부하를 줄이기 위하여 칩 내부에 정점검출기를 두어 정점 정보만 host로 이동되도록 하였다.

II. 병렬구현 관점에서 GHT의 비교분석

GHT는 이진에지영상을 사용하는 상관정합과 거의 동일한 결과를 얻을 수 있는 전역(global) 알고리즘으로서 부분적으로 누락된 에지정보를 효과적으로 이용할 수 있는 특성을 갖고 있다. 그러면서도 이진 상관정합 보다는 계산량이 작고 참고패턴 크기나 방위 조절이 용이하다. 탐색영역의 크기와 참고패턴의 크기가 각

각 $I \times I$ 과 $P \times P$ 일때, 상관정합에 필요한 계산량은 I^2P^2 에 비례하는 반면에, GHT에서는 패턴화소의 수 M 과 에지화소의 수 E 의 적, 즉 EM 에 비례한다. 참고 패턴과 탐색영역에서 에지화소가 차지하는 비율이 5%로 동일하다면 GHT의 계산량은 $0.0025 I^2P^2$ 로 표현될 수 있다. 그밖에도 GHT는 참고패턴을 구성하는 화소 중에서 변환에 사용될 화소의 수를 임의대로 조절할 수 있어 참고패턴이 커지는 경우에도 일정한 계산속도를 유지할 수 있고, 대상물체의 크기와 방위 변화에 비교적 쉽게 적응할 수 있는 장점을 지니고 있다.

경사각을 사용하는 GHT(GHTGA)는 GHTNGA 보다 정확하고 계산량도 물체의 형태에 따라서는 현저히 작은 것으로 알려져 있다. 그러나 병렬구현 관점에서는 경사각을 사용하지 않는 GHT가 경사각을 사용하는 것보다 PE의 구조가 간단하고 규칙적이어서 유리한 점이 많다.

그러나 GHTNGA가 GHTGA에 비해서 정확도와 계산량 측면에서 현격한 차이가 있다면 GHTNGA의 병렬구현의 의미는 반감될 수 밖에 없다. 그러나 경사각이 중복되는 직선 성분이 많이 포함되는 인조물체를 대상으로 할 때는 경사각의 이용이 계산량과 정확도의 향상에 기대한 만큼 영향을 미치지 못할 수 있다. 이점을 확인하기 위하여 GHTGA와 GHTNGA를 책, 화장품 병, 칩 등과 같은 인조물체를 대상으로 테스트하고 계산량과 정확도 측면에서 분석하였다. 그 결과 GHTGA는 GHTNGA에 비해서 계산수는 5에서 10배, 수행시간에서는 3에서 4배 정도 차이가 있었으나 원이나 선분검출은 Hough 변환시와 같은 큰 차이가 나타나지 않았다. 그 이유는 인조물체는 직선 선분을 많이 포함하고 있어서 패턴화소가 특정 경사각에 집중되기 때문인 것으로 분석된다. 계산수가 직선성분이 많이 포함된 책화상에서는 5배 적었으나 곡선이 많이 포함된 컵에서는 9배 적었다는 것이 이 사실을 뒷바침하고 있다. 계산속도의 차이가 적은 것은 GHTGA가 보다 복잡한 계산들로 구성되었음을 반증한다. 정확도 측면에서 GHTGA는 GHTNGA보다 침예한 정점을 생성하였다. 이는 GHTGA가 각 에지화소에 대해서 증가되는 Accumulator Cell(AC)의 수가 작고, 배경물체에 속한 에지화소가 참고패턴 화소의 경사각과 우연히 일치되는 경우가 적기 때문이다. 그러나 입력영상에 잡음이 많아 대상 물체의 에지가 누락되거나 경사각의 오차가 커질 때는 오히려 GHTNGA 보다 정확도가 떨어지는 경우도 발생하였다. 실험결과와 두 알고리즘의 특성을 분석한 결과, GHTGA는 작은 수의 PE로 구성된 병렬처리 시스템으로는 물체의 방위와 크기가 변화하는 환경에서 인식을 수행할 수 있을 만큼 계산수가

현저하게 작지도 않고, 대량병행성(Massive Parallelism)을 갖춘 저렴한 시스템을 구현하기에는 PE의 구조가 너무 복잡하다는 판단하에 이동과 가산만으로 변환이 가능한 GHTNGA를 병렬구현 대상으로 선택하였다.

병렬구현 관점에서 GHTNGA는 반복적인 간단한 연산으로 이루어져 간단한 PE로도 처리가 가능한 장점을 지니고 있다. 그러나 전역적인 구조를 지니고 있어 각각의 PE에서 접근될 자료의 위치가 입력자료의 내용에 따라서 결정되기 때문에 같은 자원을 두고 여러 PE가 충돌하는 문제가 발생한다^[11]. 이것은 Systolic 구조와 같은 간단한 병렬 구조의 사용을 불가능하게 할 뿐 아니라 대량병행성을 가진 시스템의 이용 효율을 저하시키는 원인이 된다. Connection Machine^[13]처럼 많은 수의 PE와 편리한 통신망을 갖춘 시스템에서 하나의 PE에 하나의 에지화소와 AC를 배정하고 변환을 수행하는 경우에도, 많은 수의 PE가 동시에 물체의 위치를 나타내는 AC를 증가시키려 시도하기 때문에 전송 회로에 적체가 발생되어 효율이 매우 저하된다. 이러한 문제를 해결하기 위해서 물체의 모델을 하나의 참고점으로 표현하지 않고 여러개의 참고점으로 분할하여 표현하는 방안을 제시하기도 하였다^[11]. 그러나 인식을 위해서는 계산 후에 분할된 정점들을 찾아서 다시 결합하는 과정을 거쳐야하기 때문에 근본적인 해결방안이라고는 볼 수 없다.

지금까지의 주된 접근 방법은 입력 영상과 accumulator를 분할하고 각기 다른 PE에 배정하여 처리하는 방법을 택하고 있다. 그러나 이 방법은 분할된 영역들 사이의 데이터 이동이 불규칙하여 데이터 이동에 많은 시간이 소요된다. 병렬성을 높이기 위해서 PE의 수를 증가시킬 경우에도 자료 전송으로 인한 오버헤드가 급격히 증가한다.

따라서 이러한 방법으로는 실시간으로 물체를 인식할 수 있는 단일 칩 시스템의 구현이 어렵다. 특히 프레임과 프레임 사이에서 물체의 방위와 크기가 변화되는 경우에는 과도한 계산량 때문에 높은 병렬성이 요구된다.

본 연구에서는 하나의 PE에 하나의 화소와 AC를 배정할 수 있는 MCS를 선택하고, 실용성 있는 크기의 영상을 처리할 수 있는 단일 칩 시스템 구현을 위해서 PE의 구조를 단순화시키는 접근 방법을 선택한다. PE의 구조를 단순화하기 위하여 실수연산, 비교연산, 삼각함수연산이 필요한 GHTGA 대신 가산과 이동만으로 변환이 가능한 GHTNGA를 선택하고 각 PE간에 자료공급이 원활한 구조를 위해서 GHTNGA들의 구조를 변형한다.

III. 병렬구현을 위한 GHT의 수정

Merlin^[2]은 경사각을 이용하지 않는 GHT를 위한 병렬처리 시스템의 PE 구조를 간소화하기 위하여 가산만으로도 변환이 가능한 그림 1과 같은 알고리즘을 제안한다. 제안된 방법에서는 이전이지 영상의 각 화소를 하나의 PE에 배정하고 변환시에는 에지화소 여부를 알기위한 비교연산 대신 PE에 배정된 에지화소 값을 해당 AC에 가산하므로써 PE의 구조를 간소화할 수 있다. 그러나 이것은 같은 AC를 동시에 접근하는 GHT의 문제점을 해결하지도 못하고 AC의 접근수를 증가시켜 메모리의 충돌 가능성을 더욱 증가시킨다.

```

for (k = 1; k(M; k=k+1) /*M는 패턴화소 수 */
  { /* (rk, θk)는 k번째 패턴화소에서 참고점을 연결하는 벡터 */
    Xk = rk * Cos θk;
    Yk = rk * Sin θk;
    for (x=0; x(N; x=x+1)
      for (y=0; y(N; y=y+1)
        Acc_Array [x+Xk] [y+Yk] = Acc_Array
          [x+Xk] [y+Yk] + I [x] [y];
  }
    
```

그림 1. 병렬구현을 위해서 변형된 GHT
Fig. 1. The GHT modified for parallel implementation.

이러한 문제를 해결하는 방안으로 각각의 PE에 에지화소 대신에 하나의 AC를 배정하여 고정시키고, 에지화소를 이동시키는 방안을 채택한다. 이 경우에 이전 패턴화소와의 상대적인 위치가 (Move_X, Move_Y)인 k 번째 패턴화소에 대한 변환은 입력 에지영상을 x 방향으로 Move_X만큼 y 방향으로 Move_Y 만큼 PE 배열 상에서 이동시킨 다음 각 PE에 이동되어진 에지화소를 AC에 가산하면 된다. 에지영상을 PE와 PE 사이를 이동시키는 과정에서 모든 화소가 같은 방향으로 이동하기 때문에 충돌이 발생하지 않는다. 이런 맥락에서 그림 1의 알고리즘을 그림 2와 같이 다시 표현할 수 있다. 에지영상과 같은 수의 PE를 가지는 MCS에서 M개의 에지화소로 구성된 참고패턴에 대한 Hough 변환 시간은 M에 비례한다. 즉 자료가 이동되는 횟수는 참고패턴의 둘레에 비례하고 가산수는 패턴화소 수 M에 비례한다. 따라서 그림 2의 알고리즘은 이동과 가산 기능만을 가진 PE로 구성된 MCS에서 메모리의 충돌없이 M에 비례하는 계산으로 변환이 가능하다.

IV. VLSI 구조 설계

본 장에서는 이러한 변형된 GHT의 장점과 찾고자하

는 물체가 나타날 위치가 영상의 중앙에 위치한 일정한 크기의 윈도우 안에 한정된다는 점을 살려 GHT의 실시간 처리를 위한 단일 칩 시스템을 설계한다.

```

Acc_X = Acc_Y = 0;
for (k = 1; k(M; k=k+1) /* M는 패턴화소 수 */
  { /* (rk, θk)는 k번째 패턴화소에서 참고점을 연결하는 벡터 */
    Xk = rk * Cos θk;
    Yk = rk * Sin θk;
    Move_X = Xk - Acc_X;
    Move_Y = Yk - Acc_Y;
    ( 입력영상을 x 방향으로 Move_X 만큼 y 방향으로 Move_Y 만큼 이동 )
    ( 각 PE에 전달된 에지화소를 Accumulator Cell에 가산 )
    Acc_X = Move_X + Acc_X;
    Acc_Y = Move_Y + Acc_Y;
  }
    
```

그림 2. MCS에서의 병렬구현을 위해 변형된 GHT
Fig. 2. The GHT modified for parallel implementation in the proposed MCS.

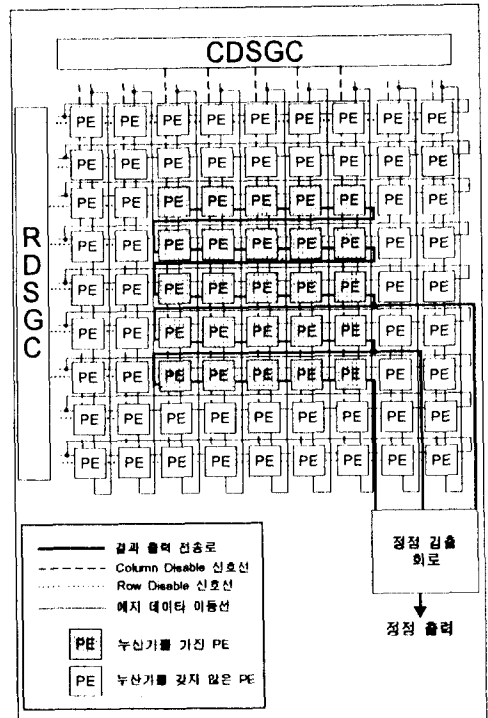
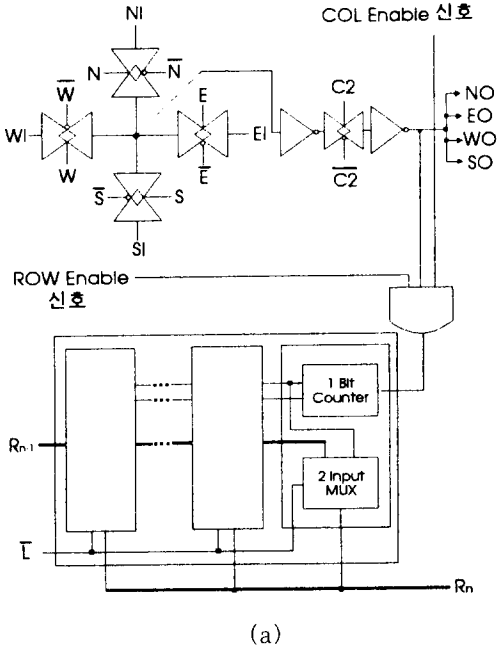


그림 3. GHT의 단일 칩 구현을 위해서 설계된 MCS
Fig. 3. The MCS designed for the single chip implementation of the GHT.

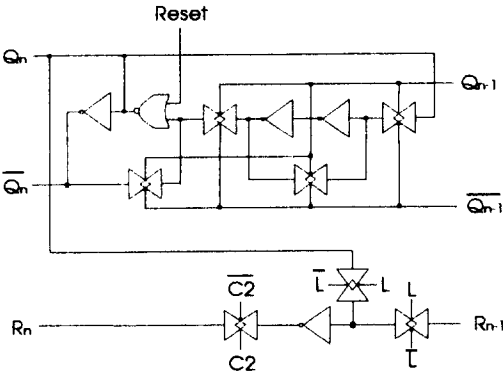
1. 전체적인 시스템 구조

GHT의 하드웨어 구현을 위해서는 북동서남(NE-

WS) 4 방향으로 자료 전송이 가능한 MCS가 선택된다.



(a)



(b)

그림 4. GHT의 단일 칩 구현을 위해서 설계된 MCS

a) 계산소자의 CMOS 회로

b) 1 비트 비동기 카운터와 OSR 블록

Fig. 4. The MCS designed for the single chip implementation of the GHT.

a) The CMOS circuit of PE(Processing Element)

b) 1 bit asynchronous counter and output shift register block.

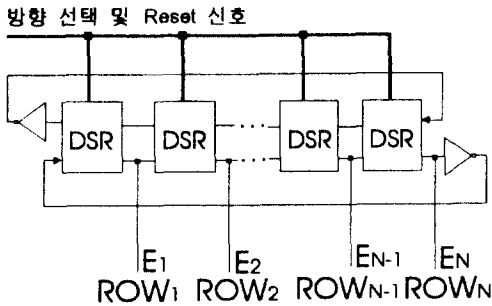
8 방향 전송로를 가진 구조는 에지영상을 좀 더 빠르게 이동시킬 수 있는 장점이 있으나 PE를 간소화하여 집적도를 높이기 위하여 간단한 4 방향 MCS를 선택

한다. MCS에서 에지영상이 이동될 때 외곽 PE에서 밀려나오는 자료의 보관이 문제가 되는데, 제안된 병렬 구조에서는 밀려나오는 자료를 반대편에 있는 PE에 이동(shift in)시키고 이 PE들을 가산시에 Disable 시킴으로써 해결한다. 그림 3은 9x9 에지영상을 처리할 수 있는 제안된 MCS의 구조이다. 이것은 전체적인 구조 설명을 위한 제안된 시스템의 축소형이다. 128x128 또는 256x256 에지영상 처리를 위한 시스템은 PE 수만 다를 뿐 같은 구조를 갖는다. 그림에서 CDSGC(Column Disable Signal Generation Circuit)와 RDSGC(Row Disable Signal Generation Circuit)는 밀려나온 에지화소를 가지고 있는 PE들을 Disable 시키기 위한 제어신호 발생 회로이다. 참고자하는 물체가 크고 참고점(Reference Point)이 물체의 중앙에 설정되는 경우에 변환공간에서 물체를 나타내는 정점은 입력영상 보다 작은 영역으로 한정된다. 따라서 탐색 영역 밖의 PE는 AC를 가질 필요가 없다. 탐색영역 밖의 PE는 처리기라기 보다는 동서남북 네 방향으로부터 1 비트 에지화소를 입력받아 잠시 저장할 수 있는 1 비트 Shift Register Cell이라고 보는 것이 타당하다. 그림 3은 크기가 5x5인 탐색 윈도우가 영상 중앙에 위치하는 경우를 보여주고 있다. 변환이 완료된 후에 변환된 결과는 Output Shift Register(OSR)를 통해서 다음 작업과 무관하게 출력될 수 있도록 하였고 때문에 출력과 변환을 중복하여 수행할 수 있다. 정점검출 회로는 Host 컴퓨터에 의한 정점검출시에 발생할 수 있는 Host 와 MCS 사이의 병목현상과 Host의 과중한 부하를 줄일 수 있도록 마련된다. 변환결과를 모두 Host로 이동시키는 대신에 정점검출기를 통과시켜 일정수의 국부정점(Local Peak)만 Host로 전달하도록 설계한다. 정점검출 시간은 정점검출기의 수를 증가시킴으로써 단축될 수 있다. PE를 비롯한 모든 회로는 집적도를 높이기 위해서 CMOS 회로로 설계한다.

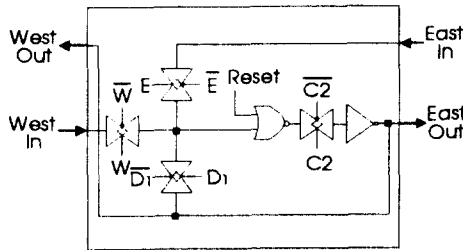
2. PE(Processing Element)

GHT를 위한 MCS에서 PE가 수행하여야 할 기능은 크게 두가지로 구분된다. 첫째, 4 방향(NEWS)으로부터 한 비트의 에지 데이터를 입력받아 저장하고, 둘째, 에지영상의 각 화소가 지정된 PE로 이동을 완료했을 때 에지화소의 값을 PE가 가지고 있는 AC에 가산한다. 이 두 기능을 수행할 수 있도록 설계된 2상 클럭 신호를 사용하는 PE 회로가 그림 4.a에 제시되었다. PE는 4 방향의 입력(NI,SI,EI,WI) 중에서 하나를 선택하여 저장할 수 있는 Dynamic Register와 Row Enable, Column Enable, Count, Data Bit가 모

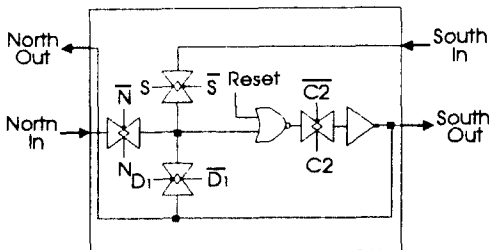
두 High일 때 증가되는 비동기 카운터, 그리고 변환 결과를 이동시키기 위한 OSR로 구성된다.



(a)



CDSGC 회로
CDSGC circuit



RDSGC 회로
RDSGC circuit

(b)

그림 5. PE disable 신호발생 회로

- a) RDSGC와 CDSGC의 블록 다이어그램
- b) CDSGC와 RDSGC 회로

Fig. 5. PE disable signal generation circuit.
a) Block Diagram of the RDSGC and CDSGC
b) CDSGC and RDSGC circuit

입력 영상의 화소 값은 0 또는 1을 가지기 때문에 가산기와 레지스터는 하나의 비동기 카운터로 대체될 수 있다. MCS에서는 카운터의 최하위 비트만 안정되면 바로 다음 shift 동작을 수행할 수 있기 때문에 비동기 카운터가 속도나 게이트 절약면에서 동기 카운터보다 유리하다. OSR은 Load 신호에 따라 카운터의 계산결과를 입력받아 변환과정과 독립적으로 결과를

정점검출기로 이동시킨다. 그림 4.b에 1 비트 카운터와 OSR의 자세한 CMOS 회로이다.

1 비트 에지 데이터의 전송방향을 결정하는 N, E, W, S 신호는 MCS의 외부에서 공급되는 방향신호 D0와 D1에 의해서 생성된다. N, E, W, S는 D0와 D1이 각각 00,01,10,11일 때 발생된다. 회로의 동작은 첫번째 클럭에서 하나의 입력이 선택되어 첫번째 인버터에 공급되고, 두번째 클럭에서 출력된다. 카운터는 변환이 수행되기 전에 0으로 Reset 된다.

3. 제어 회로

그림 5는 밀려나온 에지화소를 가지고 있는 PE를 가산에서 제외시키기 위한 신호를 발생하는 CDSGC와 RDSGC의 회로이다.

CDSGC와 RDSGC는 그림 5.a 처럼 Column 수와 Row 수 만큼의 DSR(Dynamic Shift Register)이 Ring 형태로 연결되었다. CDSGC를 구성하는 DSR은 이동 방향이 남(S)과 북(N)일 때, 즉 D1이 0일 때는 출력을 입력으로 되돌려 Refresh를 시키고 동서(EW)일 때는 오른쪽이나 왼쪽 DSR로부터 신호를 입력받는다. RDSGC도 CDSGC와 마찬가지로 동작한다. 각 DSR의 출력 신호는 해당 PE Column이나 PE Row를 제어하는 신호로서 사용된다. 초기화 과정에서 모든 레지스터는 1로 세트되고, 자료가 동서남북으로 이동되면서 DSR의 내용도 같은 방향으로 이동한다.

4. 정점검출 및 후보생성 회로

Hough 변환을 이용한 물체인식은 먼저 국부정점(Local Peak) 중에서 물체일 가능성이 높은 일정수의 정점을 후보 리스트로 선정하고 각 후보점에 대한 좀더 자세한 정합도를 계산한 다음 최종 결정을 내리게 된다. 정점검출과 후보생성 회로는 변환결과에서 국부정점을 검출하고 크기 순으로 정렬하여 후보 리스트를 생성하여 Host로 전달한다. 그 결과 Host에 전달되는 데이터의 양과 정점검출을 위한 Host의 부담을 줄일 수 있어서 간단한 응용 시스템 구현을 가능하게 한다.

후보생성 회로는 정점을 검출하는 부분과 후보 정점 리스트를 생성하는 부분으로 이루어진다. 정점검출에는 3x3 국부 정점검출기법이 사용되었다. 즉 한 PE를 중심으로 이웃한 8 PE의 변환값이 모두 중심 PE의 값보다 작으면 중심 PE의 변환값은 국부정점으로 검출된다. 그림 6은 8개의 비교기(Comparator)로 설계된 정점검출 회로이다. 정점검출기의 입력은 MCS에서 우측변과 접한 3x3 윈도우 내의 PE들의 출력과 연결된다. 검출된 국부정점은 후보 리스트에 있는 기존의 정점값과 비교되고, 기존의 값보다 클 때는 후보 리스트에 기존의 정점 대신 등록된다.

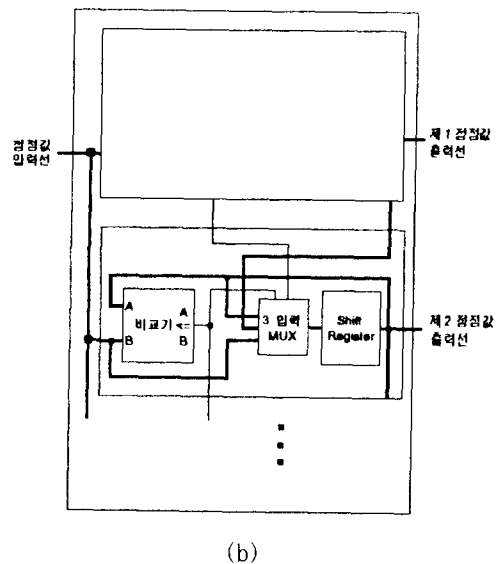
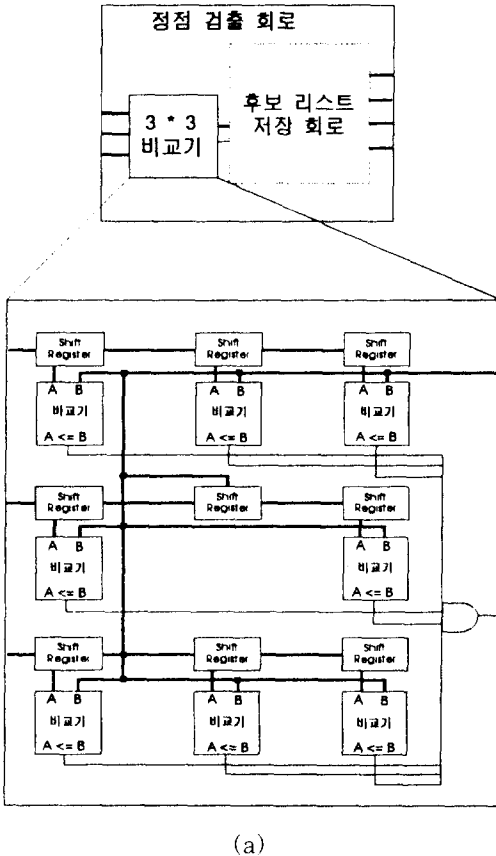
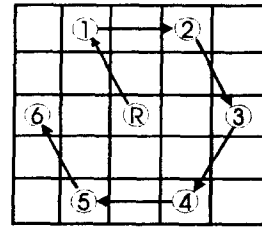
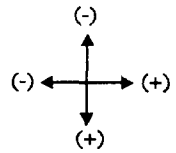


그림 6. 후보정점생성 회로
 a) 정점검출 회로
 b) 후보정점선책 회로
 Fig. 6. Candidate list generation circuit.
 a) Peak detection circuit
 b) Candidate Selection Circuit



(a)
 (R) : 참고점

i	dx _i	dy _i
1	1	2
2	-2	0
3	-1	-2
4	1	-2
5	2	1
6	1	0



(b)

그림 7. 사용된 패턴과 참고 테이블

- a) 모델
- b) 참고점에 대한 방향 테이블

Fig. 7. model pattern and reference table.
 a) model
 b) Shift direction table for reference points

그림 6. b)는 이를 위한 후보 리스트 생성 회로이다. 후보 리스트 생성 회로는 3 input MUX와 이를 통해 세가지 입력 신호를 선택할 수 있는 정점값 레지스터, 그리고 레지스터에 입력될 신호를 결정하기 위한 비교기로 이루어진다. 레지스터는 자신이 가지고 있던 정점값, 상위 레지스터에 저장되었던 정점값, 정점 검출 회로에서 검출된 새로운 정점값 중에서 하나를 입력으로 선택한다. i번째 레지스터의 입력은 정점검출기에서 새로 입력되는 값을 i 번째 레벨의 정점값과 i-1 번째 레벨의 정점값을 비교한 결과인 C_i와 C_{i-1}에 따라서 결정된다. C_iC_{i-1}=1x(11 or 10)이면 i-1 번째레벨의 정점값이, C_iC_{i-1}=01이면 새 정점값이, 그리고 C_iC_{i-1}=00이면 i 번째 레벨의 정점값이 선택된다.

V. 실험 및 결과

본 장에서는 제안된 일반화된 Hough 변환(GHT) 시스템의 검증을 위해서 5 x 5 MCS 시스템의 CAD 시뮬레이션을 제시한다. 정확한 동작 여부의 확인을 위해서 하나의 5x5 에지 영상을 패턴과 데이터로 사용하고 변환과정을 추적한다. 또한 변환시 시스템 구동을

위한 제어신호 발생과정이 제시된다. 실험은 IBM PC 상에서 OrCAD ver. 4.04를 이용하여 수행되었다.

시뮬레이션을 위해서는 6개의 경계화소로 구성된 간단한 패턴이 선택되었다. 그림 7은 사용된 패턴과 제안된 구조를 위한 참고 테이블이다. 주어진 패턴을 사용할 경우, 한 에지화소에 대해서 그 화소가 패턴에서 첫번째 에지화소라고 가정하면 참고점은 그 화소로부터 (1,2)만큼 이동한 곳에 있게된다. 따라서 에지영상을 전송 회로를 통해 (1,2)만큼 이동한 다음 에지화소 값에 따라 AC를 증가시키면 첫번째 패턴화소에 대한 변환은 완료된다. 다음 패턴화소에 대한 변환은 에지영상이 이미 (1,2)만큼 이동되어 있으므로 (-2,0)만큼만 이동하면 두번째 패턴화소에 대한 참고점 PE에 도달하게 된다.

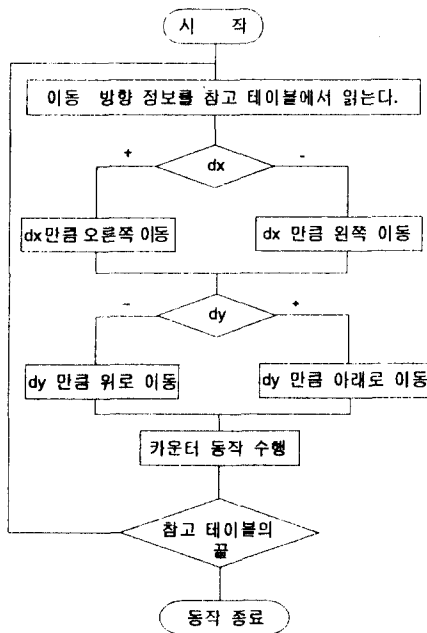
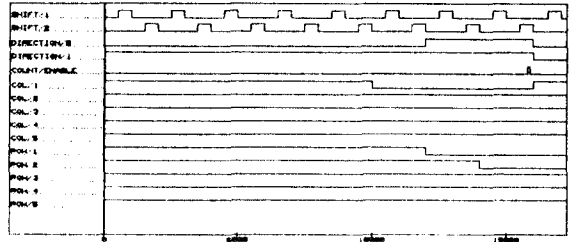


그림 8. 수행 알고리즘을 나타내는 순서도
Fig. 8. Flowchart of the processing algorithm.

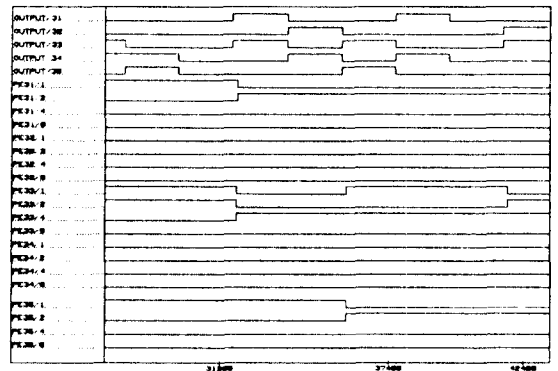
그림 8은 변환 과정을 제어하는 기본 논리의 흐름도이다. 이 논리에 따라서 그림 7의 패턴을 변환하기 위한 제어신호와 변환과정이 그림 9에 제시되었다.

그림 9.a에는 자료의 이동방향을 제어하는 방향신호 (DIRECTION/0, DIRECTION/1)와 2상 클럭신호 (Shift/1, Shift/2), RDSGC와 CDSGC에 의해서 발생된 PE Disable 신호(Col/x, Row/x)중 일부만이 제시되었다. 앞에서도 언급한 바와 같이 방향신호가 01이면 동쪽(E), 11이면 남쪽(S)으로 이동을 나타낸다. 그림에서 처음 5 클럭 주기는 방향신호를 01

로 유지하여 에지영상을 MCS의 왼쪽으로부터 Shift In시킨다. 첫번째 패턴화소를 변환하기 위해서는 먼저 처음 1클럭 주기 동안 방향신호를 01로 유지시켜서 자료를 동으로 1 이동 시킨다. 다음 2 주기동안 D₀ D₁ =11로 유지시켜 에지 데이터를 남으로 두 단계 이동시킨 다음 짧은 Count 신호를 보낸다. 이때 CDSGC와 RDSGC는 col1, row1, row2를 low로 내려 카운트 동작이 (row=3, column=2)와 (row= 5, column=5)구간의 PE에서만 이루어지도록 한다.



(a)

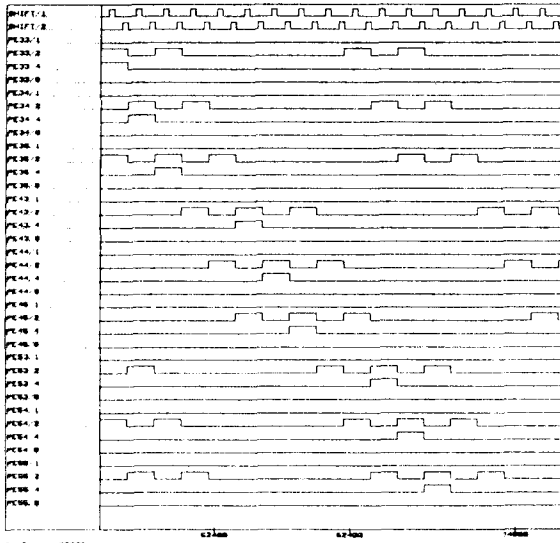


(b)

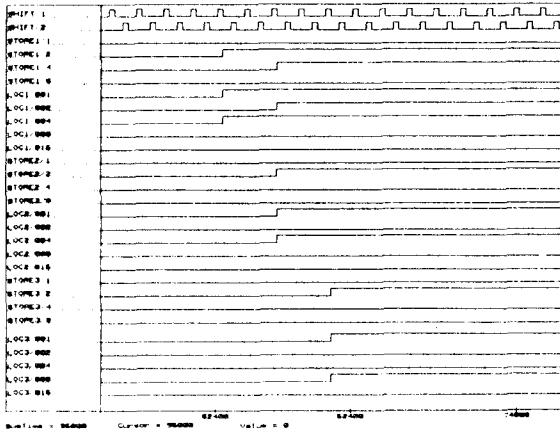
그림 9. 제어신호와 변환결과
a) 변환을 위한 제어신호
b) 데이터 레지스터와 카운터의 출력
Fig. 9. Control signal and processing result.

a) Control signal for the processing
b) Data register and counter output

그림 9.b에는 각 PE로의 에지 화소의 이동이 끝난 후 변환이 수행되는 동안 각 PE의 상태 중 일부분을 표시한다. OUTPUT/35는 3번째 행에 있는 5번째 PE에 이동되는 에지화소 값을, PE35/4는 같은 PE에 있는 카운터의 3번째 비트를 나타낸다. 그림에서 보는 것 처럼 변환이 끝나면 정점은 3행 3열의 PE의 카운터에 저장된 6(PE33/1=0, PE33/2=1, PE33/4=1, PE33/8=0)이 된다.



(a)



(b)

그림 10. 후보생성기의 입력신호와 시뮬레이션 결과

- a) 정점검출기에 입력되는 정점값
- b) 시뮬레이션 결과

Fig. 10. The Input Signal and simulation result of the candidate generator.
a) Input signal to peak detection circuit
b) Simulation result

변환이 끝나면 카운터의 변환값은 OSR로 load되고 그림 6에 제시된 정점검출 회로로 이동되는데 그림 10.a는 정점검출기와 연결된 3x3 PE의 OSR에 입력되는 신호를 보여주고 있다. 그림 6.a에서 비교기와 연결된 shift register들은 비교기와 연결된 PE의 OSR 신호이다. 따라서 그림 10.a의 PE33/x는 그림

6.a의 좌측상단 비교기에 입력되는 신호가 된다. 그림 10.b는 검출된 정점을 크기순으로 정렬보관하는 후보 생성회로의 시뮬레이션 결과이다. 5x5크기의 MCS에서 PEi2의 변환 결과가 정점검출기의 중앙을 통과하면 PE(i-1)4의 변환 결과가 중앙에 올 때까지 3 클럭주기 동안의 정점검출 결과는 의미가 없다. 따라서 이때 검출된 정점이 후보선정 회로에 입력되는 것을 막아야 한다. 그러나 채택된 예가 국부정점이 중앙에 하나만 존재하기 때문에 후보선정 회로의 완전한 테스트가 어렵다는 것을 감안하여 그림 10.b의 결과는 경계에서 검출된 정점도 후보선정 회로에 입력되도록 허용하여 얻어졌다. 그림 10.b의 STOREx/x는 정점값 후보들을 나타내고, STORE1/1-8가 검출된 정점의 가장 큰 값을 생성하는 레지스터의 값을 나타낸다. 즉, 제 1 정점값은 STORE1/4와 STORE1/2만이 High로 나오므로 6 값임을 의미한다. 각 레지스터들은 큰 정점값이 들어오면 다음 레지스터로 순서대로 이동되게 되어 있고, 시뮬레이션 결과가 이를 보여 주고 있다. LOCx/xxx는 정점이 검출되었을 때의 그 PE의 위치를 나타내게 된다. 즉, 가장 큰 정점인 6이 레지스터에 저장되면 LOC1/xxx에는 4열 4행의 PE로부터 3행 3열까지의 거리를 나타내는 7이 생성된다. 물론 각 LOCx/xxx의 회로들도 정점생성 회로와 같은 구조로 각 정점값들과 같이 이동된다.

앞에서 제시한 시뮬레이션 결과는 5x5 에지영상을 처리할 수 있는 5x5 MCS를 대상으로한 결과이다. 실용성이 있는 시스템이 되기 위해서는 적어도 128x128 이상의 영상을 처리할 수 있는 단일칩 시스템이 되어야 한다. 단일칩에 구현할 수 있는 시스템의 크기는 한 칩에 구현될 수 있는 트랜지스터 수에 의해서 결정된다. 그러나 시스템의 구동원리는 크기에 관계 없이 동일하다. 에지영상의 크기가 변화해도 전체적인 소자수에 크게 영향을 미치지 않는 CDSGC, RDSGC, 그리고 정점검출 회로를 제외한 PE 회로만을 고려했을 때 요구되는 소자수는 다음식으로 계산될 수 있다.

$$N_2(5T + 2I + 2A) + M^2W(7T + 4I + O)$$

여기서 NxN은 에지영상 크기 MxM은 Accumulator 배열 크기, W는 Accumulator Cell의 비트수이고, T,I,A,O는 각각 Transmission Gate, Inverter, 3 input AND, 2 input NOR를 표시한다. GHT에서 AC 배열과 에지영상 크기는 같을 필요가 없다. 특히 많은 산업응용에서 처럼 찾고자하는 물체의 크기가 크거나 물체의 위치가 한정될 때는 AC 배열은 에지영상 보다 현저히 작아도 된다. 따라서 Accumulator Array의 크기를 128x128하고 각 Cell의 크

기를 8비트로 정했을 때 256x256 에지영상을 처리할 수 있는 단일칩 시스템도 단순하고 규칙적인 구조를 고려할 때 현재의 ASIC 기술로 구현이 가능하리라 믿어진다.

VI. 결 론

본 연구에서는 병렬구현시 분할과 자료접근이 어려운 GHT의 문제점을 해결하고 단일 칩 구현이 가능하도록 지극히 단순화된 PE로 구성된 MCS(Mesh Connected Structure)를 제안하였다. 실용성있는 크기의 영상을 처리할 수 있는 단일 칩 시스템의 구현을 위해서 PE의 구조를 단순화시켰으며, PE 간의 자료 전송을 원활히 하기 위하여 수정된 GHT를 사용하였다. 또한 호스트(host) 컴퓨터에 의한 정점검출시 발생하는 Host와 MCS 사이의 과도한 자료전송과 호스트의 계산부하를 줄이기 위하여 MSC내에 지정된 수의 상위정점을 검출하는 후보선정 회로를 설계하였다. 설계된 시스템이 의도한 기능을 정확히 수행할 수 있음은 CAD 시뮬레이션으로 확인되었다.

제안된 시스템은 에지검출 기능을 가진 간단한 호스트 컴퓨터만을 연결하여 저렴한 에지기반 비전시스템을 구현할 수 있는 한 가능성을 열었다. 이러한 시스템은 이진영상을 기반으로하는 기존의 많은 산업비전 시스템에 큰 공헌을 할 수 있으리라 기대되며, 이동물체 추적과 같은 군사응용에 있어서도 기존의 화소기반 알고리즘의 단점을 보완하는데도 중요한 역할을 할 수 있으리라 믿어진다.

참 고 문 헌

- [1] Simon Yam and Larry S. Davis, "Image Registration using Generalized Hough Transforms," *Proc. of IEEE Conf. on Pattern Recognition and Image Processing*, Dallas, TX, pp.526-533; August 1981.
- [2] P.M. Merlin and D. J. Farber, "A Parallel Mechanism for Detecting Curves in Pictures," *IEEE Trans. on Computers*, c-24, pp.96-98, Jan. 1975.
- [3] D. H. Ballard, "Generalizing the Hough Transform to Detect Arbitrary Shapes," *Pattern Recognition*, Vol 13, No 2, pp. 111-122, 1981.
- [4] F. Aguirre, J.M. Boucher, J.J. Jacq, "Underwater Navigation by Video Sequence Analysis," *Proc. of the IEEE Conf. on Pattern Recognition*, Atlantic City, NJ, pp. 537-539, 1990
- [5] Alan E. Coweart, " The Detection of Unresolved Targets Using the Hough Transform " *Computer Vision, Graphics, and Image Processing 21*, 222-238,1983.
- [6] F. Matthew Rhodes, "Monolithic Hough Transform Processor Based on Restructurable VLSI," *IEEE Trans. on PAMI*, Vol. 10, No. 1, Jan 1988, pp.106-110.
- [7] Hussein A. H. Ibrahim, "On the Application of Parallel SIMD Tree Machines to Certain Intermediate Level Vision Tasks," *Comp. Vision, Graphics, and Image Processing 36*, 53-75(1986)
- [8] R. Cypher, J. L. C. Sanz and L. Snyder, "The Hough Transform has O(N) Complexity on the SIMD N X N Mesh Array Architectures," *Proc.of Workshop on Comput. Arch. for Pattern Anal. Mach. Intell.*, 5-10, 1987
- [9] D. Ben-Tzvi, A Noqvi, and M. Sandler, "Synchronous Multiprocessor implementation fo the Hough Transform," *Computer vision, Graphics, and Image Processing 52*, pp. 437-446, 1990.
- [10] A. Rosenfeld, J. Ornelas Jr. and Y. Hung, "Hough Transform Algorithms for Mesh-Connected SIMD Parallel Processors," *Comput. Vision Graphics Image Processing*, Vol. 41, No. 3, 293-305, Mar 1986.
- [11] Z.N.Li, B.G. Yao, and F.Tong, "A Linear Generalized Hough Transform and Its Parallel Implementation", *IEEE cont. On Computer Vision and Pattern Recognition*, Hawaii, pp.672-673, 1991.
- [12] K. Nakashia, Y. Obuchi, K. Inoue, "High speed Hough transform employing CCD Area Image Sensor,"

ACCV'93, Nov. 23-25, Osaka, Japan,
pp. 668-671, 1993.

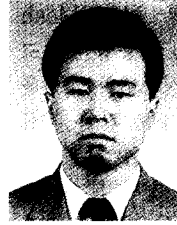
- [13] J. J. Little, G. Blelloch and T. Cass,
"Parallel Algorithms of Computer Vis-

ion on the Connection Machine,"
*International Conf. on Computer
Vision*, pp. 628-638, 1987

저 자 소 개

蔡玉三(正會員) 第29卷 1號 參照.

현재 경희대학교 전자계산공학과
교수



李政憲(正會員)

1968년 9월 21일생. 1992년 경희
대학교 전자계산공학과 졸업(공학
사). 1994년 경희대학교 동교 동
대학원(공학석사). 1994년 ~ 현
재 경희대학교 동교 동대학원 박사
과정. 주관심분야는 이미지 처리와

컴퓨터비전, 패턴인식, VLSI등임.