

論文95-32A-12-25

# 다단 12-비트 고속 파이프라인 A/D 변환기의 구조 설계

## (An Architecture Design of a Multi-Stage 12-bit High-Speed Pipelined A/D Converter)

林 信 一 \*, 李 承 勳 \*\*

(Shin-Il Lim and Seung-Hoon Lee)

## 요 약

본 논문에서는 선형성(Linearity) 특성과 생산시 수율(Yield)을 향상시키기 위하여 최적화된 4단 CMOS A/D 변환기 구조의 설계 방식을 제안 하였다. 전단에는 이진가중 캐패시터 열(binary-weighted capacitor array)을 기본으로 한 MDAC(multiplying digital-to-analog converter)을, 나머지 후단에는 단위 캐패시터 열(unit-capacitor array)을 기본으로 한 MDAC들을 선택적으로 사용함으로써, INL 특성과 DNL 특성을 동시에 향상시켰다. 12-비트 수준에서 누락코드(missing code)가 없는 정밀한 해상도 특성을 얻기 위해 전단에 디지털 영역에서의 오차 보정(calibration) 기술이 적용되었다. 기존의 이진가중 캐패시터 열을 이용한 A/D 변환기 에서는 디지털 코드 오차 보정시 중심 코드 부근에서의 DNL 오차가 2배로 증가하는데 비해 코드 오차 대칭 특성을 이용하지 않고 전 코드를 모두 보정함으로써 이러한 오차 증가 현상을 제거 하였다. 제안된 4단 12-비트 A/D 변환기가 기존의 다른 여러가지 구조에 비해 가장 좋은 선형성 특성을 갖게 됨을 모의 실험을 통하여 비교 분석하였다.

## Abstract

An optimized 4-stage 12-bit pipelined CMOS analog-to-digital converter (ADC) architecture is proposed to obtain high linearity and high yield. The ADC based on a multiplying digital-to-analog converter (MDAC) selectively employs a binary-weighted-capacitor (BWC) array in the front-end stage and a unit-capacitor (UC) array in the back-end stages to improve integral nonlinearity (INL) and differential nonlinearity (DNL) simultaneously while maintaining high yield. A digital-domain nonlinear error calibration technique is applied in the first stage of the ADC to improve its accuracy to 12-bit level. The largest DNL error in the mid-point code of the ADC is reduced by avoiding a code-error symmetry observed in a conventional digitally calibrated ADC architecture using a binary-weighted capacitor array. The 4-stage 12-bit ADC is simulated to prove the effectiveness of the proposed ADC architecture.

## I. 서 론

레이다 시스템과 같은 통신 장비, 그리고 HD-TV,

캠코더, 스캐너, 의료 영상 장비를 포함한 화상 처리 시스템 등에서는 고속 고해상도의 A/D 변환기를 요구 하고 있고 이러한 필요성에 의해 고속 고해상도 A/D 변환기 개발이 최근 주요 관심사로 부상하고 있다. 지금까지 구현된 다양한 A/D 변환기 구조 중에서 영상 신호 같은 고속 응용에 적용될 수 있는 변환기 구조로는 플래쉬(Flash), subranging 구조, 그리고 파이프 라인 구조 등이 있다. 이러한 고속 응용 구조 중 상대

\* 正會員, 西京大學校 컴퓨터工學科  
(Dept. Computer Eng., Seokyeong Univ.)

\*\* 正會員, 西江大學校 電子工學科  
(Dept. Electronic Eng., Sogang Univ.)

接受日字: 1994年12月5日, 수정완료일: 1995年12月4日

적으로 적은 칩 면적과 적은 전력 소모를 가지면서 고 해상도를 구현하기 위해서 다단 파이프라인 구조의 A/D 변환기가 많이 이용되고 있다<sup>[11]-[12]</sup>. 그러나, 소자 구현시 실제로 존재하는 회로 및 소자의 부정합 (mismatching) 특성 때문에 고속 응용이 가능한 A/D 변환기의 해상도 특성이 현재 약 10-비트 정도로 제한되고 있다<sup>[5]-[12]</sup>.

최근에 발표된 디지털 영역에서의 코드 오차 보정 기술 (code-error calibration technique) 은 다단 파이프라인 A/D 변환기의 해상도를 10-비트 이상으로 향상시키고 있다<sup>[13]-[16]</sup>. 전단 (front-end stage) 의 MDAC (multiplying digital-to-analog converter) 을 구성하는 캐패시터 열에서는 실제 공정 작업시 시스템 오프셋과 임의의 (random) 오프셋 등에 의한 부정합이 발생하는데, 이것으로 부터 기인된 디지털 코드 오차를 디지털 영역에서 측정하여 교정 (correction) 및 보정 (calibration) 을 수행하게 된다. 그러나, 이렇게 보정된 A/D 변환기의 선형성 특성도 다음 두가지 이유로 성능에 제약을 받게 된다. 첫째, 전단의 MDAC 오차는 하드웨어의 절약을 위해 추가적인 측정 회로를 사용하지 않고, 보정이 안된 나머지 후단 (back-end stage) 들이 오차 측정을 담당하게 된다. 따라서 후단의 정확도는 측정된 코드 오차의 정확도에 그대로 반영되므로 일정수준 이상의 정확도가 요구된다. 둘째, 이진가중 캐패시터 (binary-weighted-capacitor: BWC) 열을 기본으로 한 MDAC은 코드 오차 대칭 특성을 가지고 있는데 이러한 대칭 특성을 이용하여 보정하는 경우 중심 코드 부근에서 오차가 2배로 증가하는 경향이 있다. 즉, 코드 오차 대칭 특성을 사용하는 경우, 메모리의 사이즈는 전코드를 모두 보정하는 경우에 비해 반으로 줄어 들지만 중심 코드 양단에서 디지털 측정 오차에 상응하는  $+\delta$  만큼의 오차와  $-\delta$  만큼의 오차가 합해져 전체 오차가 최대 2배로 증가하게 된다.

본 논문에서는 이러한 문제점들을 보완하면서, 전체 선형성 특성과 수율을 향상시킬 수 있는 고속 4단 12-비트 A/D 변환기 구조에 대하여 기술한다.

## II. 선형성 향상을 위한 기술

일반적인 k단으로 구성된 파이프라인 A/D 변환기

형태를 그림 1(a)에 도시 하였다. 그림 1(b)에 도시되어 있는 것처럼 각 단은 sample-and-hold (S/H) 회로,  $n_i$ -비트의 플래쉬 A/D 변환기,  $n_i$ -비트의 D/A 변환기, 뺄셈기, 그리고 잔류 전압 증폭기 (residue amplifier) 등으로 구성되어 있다. 그림 1(b)의 점선 안에 내장된 S/H 회로, D/A 변환기, 뺄셈기, 잔류 전압 증폭기 등은 하나의 MDAC 으로 그 기능을 모두 구현할 수 있다<sup>[13], [15]</sup>.

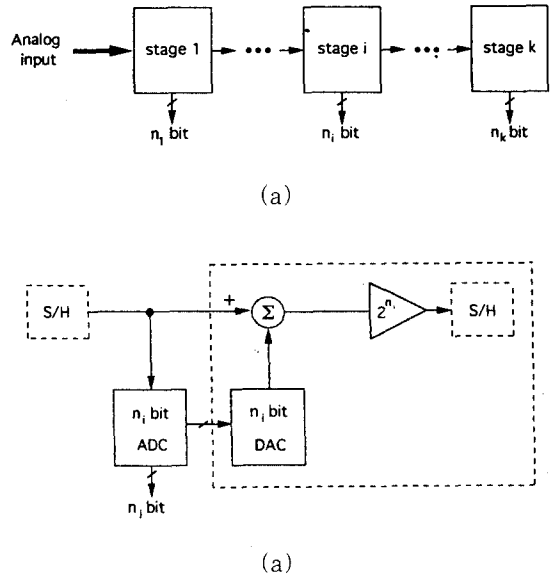
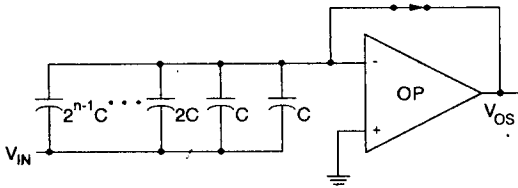


그림 1. (a) 전형적인 k단 파이프라인 A/D 변환기 및 (b) i번째 단의 블럭도

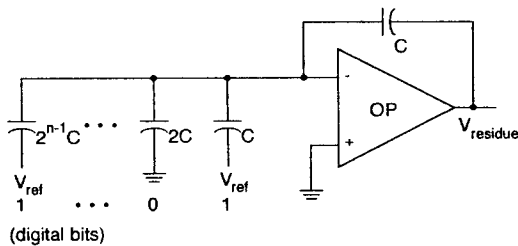
Fig. 1. (a) Typical k-stage pipelined A/D converter and (b) Block diagram of stage i.

그림 2는 MDAC의 동작원리를 잘 나타내어 주고 있다. 먼저 그림 2(a)의 입력 샘플링 기간에는 아날로그 입력 전압이 MDAC 캐패시터의 아래 부분 (bottom plate) 으로 샘플되어 캐패시터에 저장된다. 이때 증폭기 입력단이 증폭기 출력단과 스위치를 통하여 직접 연결되며 출력에는 증폭기의 오프셋 전압이 나타난다. 그림 2(b)의 증폭 기간에는 캐패시터 아래 부분이 아날로그 입력 전압에 상응하는 플래쉬 변환기의 출력 디지털 코드에 따라 기준 전압 ( $V_{ref}$ ) 이나 접지 (GND) 전압으로 연결된다. 이때, 증폭기 출력으로 부터 재생된 아날로그 전압과 샘플된 입력 전압과의 차이인 잔류 전압 (residue voltage) 이  $2^n$ 배로 증폭되

어 나타나게 된다<sup>[13]</sup>. 이 잔류 전압은 다음단으로 보내어 저서 더욱 정밀한 디지털 코드를 얻는데 사용된다. 이 과정에서 입력 샘플링 기간에 출력된 오프셋 전압은 상쇄되어 없어진다.



(a)



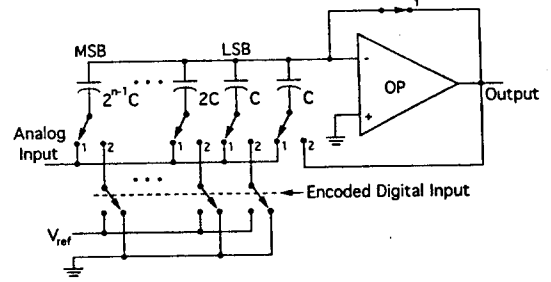
(b)

그림 2. 정상 변환시 MDAC의 동작 : (a) 입력 샘플링 및 (b) 오차 증폭

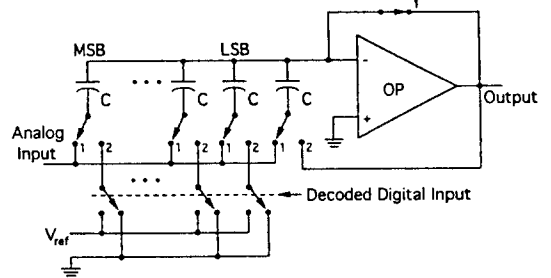
Fig. 2. MDAC operations during normal conversion : (a) input sampling and (b) error amplification.

각 단의 MDAC은 그림 3과 같이 이진 가중 캐패시터 (binary-weighted-capacitor : BWC) 열이나 단위 캐패시터 (unit-capacitor: UC) 열을 이용하여 구현할 수 있다. BWC로 구성된 MDAC의 경우, 코드화된 (encoded) 디지털 출력에 의해  $V_{ref}$ 나 GND가 선택되게 되고, UC로 구성된 MDAC의 경우는 디코드된 (decoded) 디지털 출력에 의해 위의 동작이 수행되게 된다. BWC의 캐패시터 배열은 단위 캐패시터를 이진 가중이 되도록 병렬 조합 형태로 연결하여 구현하기 때문에 실제 BWC를 기본으로 한 MDAC이나 UC를 기본으로 한 MDAC은 모두 구성하는 단위 캐패시터의 숫자가 같다. 따라서, 입력 샘플링 기간의 동작은 서로 동일하며 입력 전압이 MDAC의 캐패시터 안에 모두 저장된다. 그러나, 디지털 코드가 가해지는 증폭 기간에서는 BWC를 기본으로 한 MDAC과 UC를 기본으로 한 MDAC의 캐패시터 전환 특성이 서로

상이하게 되는데 이러한 특성을 변환기의 선형 특성 향상에 다음과 같이 이용한다.



(a)



(b)

그림 3. MDAC의 구성 : (a) 이진가중 캐패시터 (BWC) 열을 이용한 경우 및 (b) 단위 캐패시터 (UC) 열을 이용한 경우

Fig. 3. MDAC configurations using : (a) a binary-weighted-capacitor (BWC) array and (b) a unit-capacitor (UC) array.

1. 제안된 후단의 선형성 향상 방법

12-비트 이상의 해상도를 갖는 파이프라인 구조의 A/D 변환기는 보정을 수행하는 전단과 보정을 수행하지 않는 후단으로 구성할 수 있다. 일반적으로 레이저 트리밍이나 보정 기술의 적용없이 얻을 수 있는 최대 해상도는 10-비트 정도이므로 후단에서 얻을 수 있는 최대 해상도는 10-비트로 제한된다. 전단은 상위 MSB들을 결정하게 되므로 INL (integral non-linearity) 특성을 크게 좌우하게 되고 후단은 하위 LSB들을 결정하게 되므로 DNL (differential nonlinearity) 특성에 큰 영향을 주게된다. 후단은 전단에서 발생할 수 있는 오차 값을 측정해야 하므로 가능한 한 정확하고 정밀해야 한다. 후단의 특성을 향상

시키기 위해서는 이웃하는 코드 간의 오차를 되도록 줄여서 DNL 특성을 좋게 하여야 한다. 후단의 DNL 오차는 MDAC을 구성하는 캐패시터의 부정합 오차에 의해 크게 영향을 받으며, 이때 발생하는 최대 DNL 오차를 살펴보면 다음과 같다. UC를 기반으로한 MDAC을 사용한 경우, 최대 DNL 오차는

$$MAX(\sqrt{\epsilon_i^2}) \quad (1)$$

가 되며, BWC를 기반으로한 MDAC을 사용한 경우, 최대 DNL 오차는

$$MAX\left(\sqrt{\sum_{i=1}^{2^n-1} \epsilon_i^2}\right) \quad (2)$$

가 된다. 여기서  $\epsilon_i$ 는 정규화 (normalized) 된  $i$ 번째 캐패시터의 부정합 오차를 나타낸다. 중심 코드에서의 천이 (transition) 를 예로 들어 설명해보자.

UC를 기반으로한 4-비트 MDAC의 경우 0000000011111111에서부터 000000011111111로 오직 하나의 캐패시터만 변화하게 되지만 BWC를 기반으로한 4-비트 MDAC의 경우는 0111에서 1000과 같이 관련된 15 개의 캐패시터가 모두 변하게 된다. 비록 두가지 형태의 캐패시터 배열은 시스템 옴셋 오차와 임의의 옴셋 오차를 줄이기 위해 모두 동심원 구조 (common-centroid geometry) 를 가질 수 있으나 BWC를 기반으로 하는 MDAC이 UC를 기반으로 하는 MDAC보다 변화 해야 하는 캐패시터의 숫자가 많기 때문에 DNL 오차가 증가할 확률이 그만큼 높다. 이러한 특성은 다단 파이프라인 A/D 변환기의 후단 구성에 직접적으로 응용될 수 있다. 결론적으로 후단의 구성은 전체 시스템의 DNL을 향상 시키기 위하여 UC를 기본으로 한 MDAC을 사용하는 것이 최적임을 알 수 있다.

## 2. 제안된 전단의 선형성 향상 방법

12-비트 이상의 해상도를 얻기 위해서는 보정을 수행하지 않는 최적 구조의 후단에 연결하여 보정을 수행하는 1개 이상의 전단이 추가 되어야 한다. 이러한 전단을 구성하는 MDAC의 구조는 두가지 종류를 고려해 볼 수 있다. 하나는 UC를 기반으로 하는 MDAC이고 또 하나는 BWC를 기반으로 하는 MDAC이다. 비록 전단의 부정확한 값들이 디지털 영역에서 측정되어 보정이 되지만 오차 측정시 사용하는 후단 해상도의

제한에 의해 디지털 절삭 오차 (truncation error) 가 발생하며 이로 인해 전체 INL 특성이 영향을 받게 된다. 이러한 디지털 절삭 오차 효과를 고려하여, 반복된 디지털 덧셈의 결과 발생한 INL 오차 (표준편차) 를 LSB 단위로 추정한 값은 다음과 같이 주어진다<sup>1)</sup>

$$\sqrt{\frac{(n-1)(i-1)}{12(i-1)}} \quad \text{for } i = 1, 2, \dots, n. \quad (3)$$

여기서  $n$ 은 디지털 덧셈이 수행된 횟수를 표시한다. 즉 디지털 코드 0000을 기준으로 보정을 수행하는 경우 0001은 0000의 결과를 기준으로 오차값을 산출하고 0010의 오차 값은 0001의 오차 값을 기준으로 산출하게 되는데 이러한 방법으로 마지막 1111의 오차값을 얻기까지는 16번의 덧셈을 수행하게 된다. UC를 기본으로한 4-비트 MDAC의 경우 전체  $n$ 은 16이고 INL의 최대 표준편차는 중심 ( $i=8$ ) 에서 일어나며, 약 0.56 LSB의 값을 갖게 된다. BWC를 기본으로한 4-비트 MDAC의 경우는 근본적으로 코드의 대칭 특성이 존재 하는데, 이러한 특성으로 인하여  $n$ 은 8의 값을 갖게 되고  $i=4$ 인 경우 약 0.38 LSB의 최대 표준편차 값, 즉, INL 오차를 갖게된다. 결과적으로, 12-비트 이상의 해상도를 얻기 위한 다단 파이프라인 A/D 변환기의 전단에 BWC 열로 이루어진 MDAC을 사용하면 전체 INL 오차를 감소시킬 수 있다.

또한, 이전에 발표된 보정 기술에서는 BWC로 구성된 전단 4-비트 MDAC에 코드 대칭 특성을 이용하였으며, 8 바이트의 메모리 용량을 가지고 8 코드만을 보정하였다<sup>[13]-[15]</sup>. 그러나, 이러한 기술은 중심 코드 변화 지점에서 디지털 코드 보정 후 누적 오차 효과가 2배로 나타나게 되어, 결과적으로 전체 선형성 특성이 나빠지게 된다. 코드 오차 0111에 해당하는 오차 전압을  $V_{err}(7)$  이라 하자. 그러면  $V_{err}(7)$ 는 식 (4)와 같이 표현될 수 있다.

$$V_{err}(7) = \epsilon_1 - \epsilon_2 - \epsilon_3 - \epsilon_4 + \Delta_7 \quad (4)$$

여기서  $\epsilon_1, \epsilon_2, \epsilon_3, \epsilon_4$  는 코드에 해당하는 캐패시터 부정합 오차를 나타내고  $\Delta_7$ 는 디지털 절삭오차를 나타낸다. 부정합 오차는 보정 후 상쇄되어 없어 지지만 디지털 절삭 오차는 보정 후에도 남아 있게 되어 선형성 특성에 영향을 미치게 된다. 코드 대칭 특성을 이용한 경우  $V_{err}(8)$ 은 식 (5)와 같이 표현할 수 있다.

$$V_{err}(8) = -V_{err}(7) = -\epsilon_1 + \epsilon_2 + \epsilon_3 + \epsilon_4 - \Delta_7 \quad (5)$$

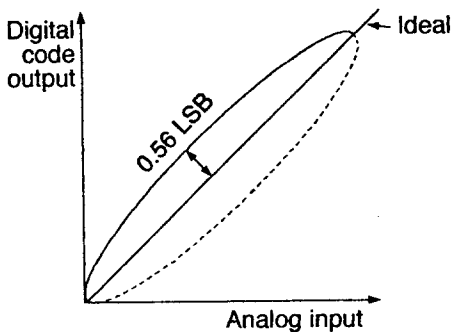
따라서 코드 대칭 특성을 이용하여 보정한 경우 코드 0111(7)과 코드 1000(8) 사이에 남아있는 오차는  $2 \cdot \Delta_7$  이 된다. 그 반면, 코드 대칭 특성을 사용하지 않는 경우의  $V_{err}(8)$ 은 식 (6)과 같이 주어 진다.

$$V_{err}(8) = -\epsilon_1 + \epsilon_2 + \epsilon_3 + \epsilon_4 + \Delta_8 \quad (6)$$

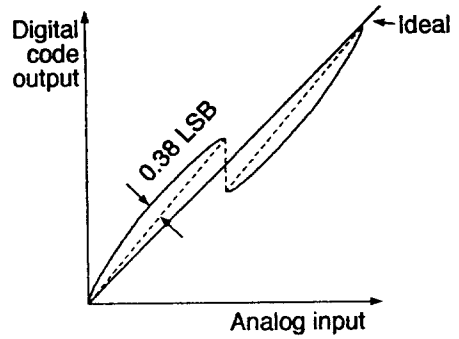
만약 BWC로 구성된 전단 4-비트 MDAC에 코드 대칭 특성을 이용하지 않고 16 코드를 모두 보정하게 되면 중심 코드 1000(8)에서의 누적 오차가  $\Delta_8$ 이 되어 중심 코드 변화 지점에서의 누적 오차 2배 효과가 없어지고, 대칭되는 코드간의 상관 관계가 존재하여 전체 INL 오차가 줄어들게 된다.

본 논문에서 제안하는 이러한 전단의 INL 특성을, 4-비트 MDAC을 기본으로 하는 4단 12-비트 파이프라인 A/D 변환기를 예로 들어 그림 4에 나타내었다.

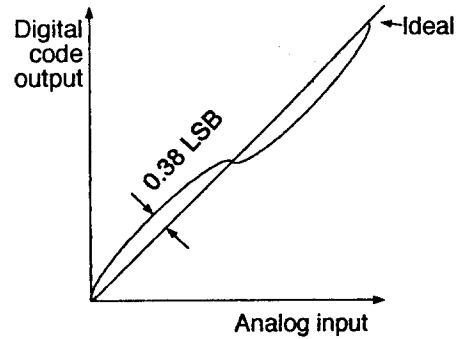
그림 4(a)는 UC 를 기본으로 하는 MDAC을 보정 하였을 때 얻어지는 INL 특성을 개념적으로 표시하고 있다. 이 경우 디지털 덧셈이 다른 것에 비해 가장 많이 반복되므로 누적된 디지털 절삭 오차에 의한 영향이 그림과 같이 크게 나타남을 알 수 있다. 그림 4(b)는 BWC를 기본으로 하는 MDAC을 보정할 때 코드 대칭을 이용한 경우에 얻어지는 이론적 INL 특성을 개념적으로 표시하고 있다. 8 코드만 보정하였을 때 중심 코드 부근에서의 디지털 측정 오차가  $\Delta$ 라면 코드 대칭 특성을 이용했을 때 전체  $2\Delta$ 의 오차를 얻을 수 있다. 그림 4(c)는 BWC를 이용했지만 MDAC 보정시 코드 대칭을 사용하지 않은 경우의 INL 특성을 나타내고 있으며, 그림 4(a) 및 그림 4(b)에 비해 좋은 특성을 보여 주고 있다.



(a)



(b)



(c)

그림 4. 4단 12-비트 파이프라인 A/D 변환기의 통계적 INL 특성 : (a) UC를 기반으로 한 MDAC을 사용한 경우 (b) BWC를 기반으로 한 MDAC을 사용하면서 코드 대칭 특성을 적용한 경우 (8 코드 보정) (c) BWC를 기반으로 한 MDAC을 사용하면서 대칭 특성을 적용하지 않은 경우 (16 코드 보정)

Fig. 4. statistical INL characteristics of a 4-stage 12-bit ADC based on : (a) a UC-based MDAC, (b) a BWC-based MDAC with code symmetry (8 code calibration), and (c) a BWC-based MDAC without code symmetry (16 code calibration).

### III. 제안된 12-비트 A/D 변환기 전체 구조

제안된 4단 12-비트 A/D 변환기는 전체 INL 특성을 향상 시키기 위하여 전단에 BWC로 구성된 4-비트 MDAC을 사용하였고, DNL 특성을 향상 시키기 위하여 후단에 UC로 구성된 MDAC들을 선택적으로 사용

하였다.

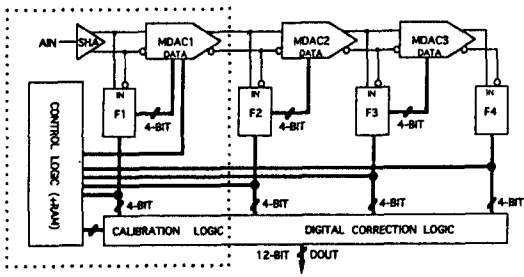


그림 5. 제안된 4-단 12-비트 파이프라인 A/D 변환기  
 Fig. 5. Proposed 4-stage 12-bit pipelined A/D converter.

그림 5는 제안된 A/D 변환기의 구조를 나타내고 있다. Flash1 (F1)과 MDAC1으로 전단을 구성하고 MDAC2, Flash2 (F2), MDAC3, Flash3 (F3), 그리고 Flash4 (F4)를 합하여 후단을 구성한다. 전단에 부정합 오차를 보상하기 위하여 보상 회로 (calibration logic)가 필요하다. 각 단은 4-비트 플래쉬 A/D 변환기와 4-비트 MDAC으로 구성되어 있으며, 이러한 단을 4개 연결하여 전체 4-4-4-4 구조의 A/D 변환기를 구성한다. 마지막 단은 4-비트 디지털 코드만 제공하면 되므로, 4-비트 플래쉬 A/D 변환기만 사용된다. 두 단 사이에 디지털 비트를 한 개씩 중첩시켜서, 각 단 간의 옅셋 오차나 피드스루 등에 의한 오차를 디지털 교정회로 (digital correction logic)를 사용하여 디지털 영역에서 교정한다<sup>[14]</sup>. 보정 기간 동안에 측정된 캐패시터 부정합 등의 오차는 16개 주소를 가지는 메모리에 저장되고 정상 변환 동작 기간 동안에 출력된 13-비트의 코드에서 부터 저장되어 있는 부정합 오차가 감해진 후 순수한 입력 신호에 대한 출력 코드를 얻게된다. 디지털 뺄셈시 발생하는 디지털 절삭 오차의 효과를 최소화 시키기 위하여 전체 13-비트 코드중 LSB 한 비트를 버림으로써, 누락 코드가 없는 정밀한 12-비트의 디지털 코드를 얻는다. INL을 최소화 하기위해 전단의 MDAC1에서 발생하는 모든 16개의 코드 오차를 디지털 영역에서 보정한다. 선형성 향상에 대한 대가로, 기존의 방법에 비해 보정 데이터를 저장하기 위한 메모리 주소가 8개에서 16개로 증가하게 되는데 이것은 전체 칩 면적을 예측해 볼 때 큰 부분을 차지하지 않는다<sup>[13]</sup>.

제안된 A/D 변환기 구조는 4단 이상 또는 12-비트 이상의 파이프라인 A/D 변환기에도 확장하여 적용시킬 수 있다. 제안된 4단 12-비트 A/D 변환기가 앞의 단계의 단에 만 BWC 열을 사용한 MDAC을 적용하는 반면, 5단 14-비트 이상의 A/D 변환기로 확장되었을 경우에는 앞의 두단 혹은 세단을 BWC에 기반을 둔 MDAC을 사용하여 구성할 수 있다. 이 경우도 후단에는 UC에 기반을 둔 MDAC을 사용한다.

IV. 모의 실험 결과

제안된 A/D 변환기 전체 구조의 동작을 확인하고, 앞장에 설명한 선형성 향상 특성과 이로인한 수율 향상 특성이 타당한지 검증하기 위하여, 그림 6의 3단 10-비트 A/D 변환기와 그림 5의 4단 12-비트 A/D 변환기의 샘플에 대해 모의 실험을 수행하였다. 그림 6에 도시한 3단 10-비트 A/D 변환기는 보정이 적용되지 않은 상태이며 4단 12-비트 A/D 변환기의 후단에 직접적으로 적용이 가능하다. 완전 차동 행위 모델 (fully differential behavioral model)을 모의 실험에 적용하였으며, 정확하고 실제적인 A/D 변환기 동작을 위해 4-비트 플래쉬 A/D 변환기에 사용한 저항은 4-비트 정도의 정확도에 필요한 정도로, 두개의 저항간의 임의의 부정합 오차를 10%로 가정하였다<sup>[17]</sup>.

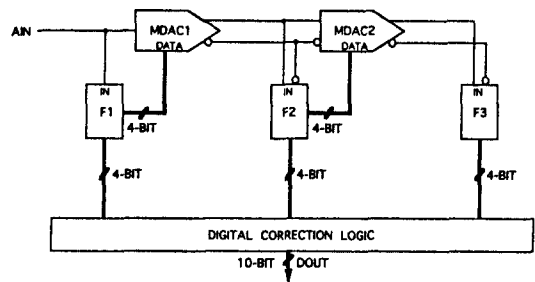
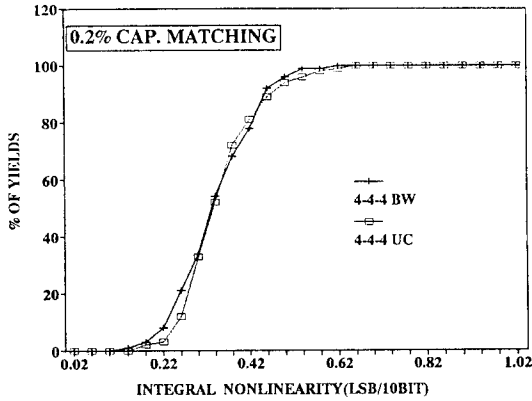


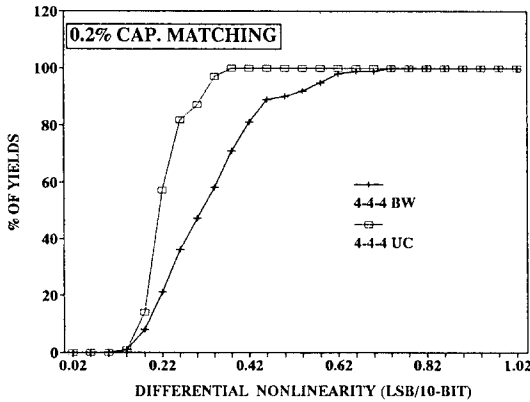
그림 6. 3단 10-비트 파이프라인 A/D 변환기  
 Fig. 6. Three-stage 10-bit pipelined A/D converter.

그림 7에서는 캐패시터 부정합 비율이 0.2 %인 경우, 보정이 없는 3단 10-비트 A/D 변환기에 대한 모의 실험 결과를 보여주고 있으며, 이 비율은 기존의 일반적인 10-비트 A/D 변환기를 구현할 때 실제로 발생하게 되는 전형적인 캐패시터 정합비를 나타낸다. UC

에 근거한 MDAC을 사용한 경우와 BWC에 근거한 MDAC을 사용한 경우, 변환기의 INL 특성은 거의 동일함을 알 수 있다. 반면 0.4 LSB의 DNL 오차를 기준으로 보았을 때, BWC를 기반으로 한 변환기는 약 75 %의 수율을 보이고 있고 UC를 기반으로 한 변환기는 100 %의 수율을 보이고 있어 UC로서 후단 MDAC을 구성한 10-비트 A/D 변환기가 우수한 DNL 특성을 보여 주고 있음을 알 수 있다.



(a)



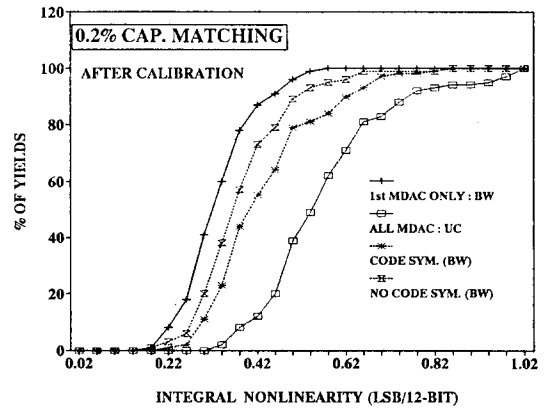
(b)

그림 7. 3단 10-비트 파이프라인 A/D 변환기의 모의 실험 결과 : (a) INL 및 (b) DNL

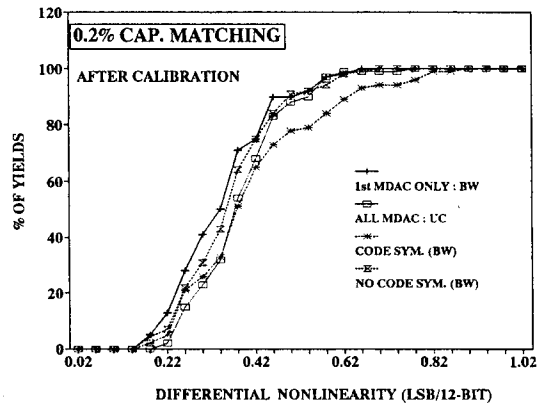
Fig. 7. Simulated results of a 3-stage 10-bit ADC : (a) INL and (b) DNL.

그림 8은 MDAC의 캐패시터 부정합 비가 0.2 %인 경우, 제안된 4단 12-비트 A/D 변환기의 보정후 모의 실험 결과를 보여 주고 있다. 제안된 구조와 기존의 구

현 가능한 3가지 다른 구조의 결과가 비교 되었다. 첫 번째 것은 제안된 구조의 결과이다. 두 번째는 모든 MDAC에 UC 열을 사용한 경우이다. 세 번째는 모든 MDAC에 BWC 열을 사용하였으나 코드 대칭 특성을 이용하여 8 코드만 보정한 경우이다. 네 번째는 모든 MDAC에 BWC 열을 사용하고 모든 16 코드를 보정한 경우이다. 그림 8(a)는 INL 특성을 그림 8(b)는 DNL 특성을 보여주고 있다. 제안된 구조가 INL과 DNL 특성을 동시에 향상시키는 최적의 구조임을 확인할 수 있다.



(a)



(b)

그림 8. 4단 12-비트 파이프라인 A/D 변환기의 캐패시터 부정합이 0.2% 일때 모의 실험 결과 : (a) INL 및 (b) DNL

Fig. 8. Simulated results of a 4-stage 12-bit ADC with 0.2% capacitor mismatching ratio : (a) INL and (b) DNL.

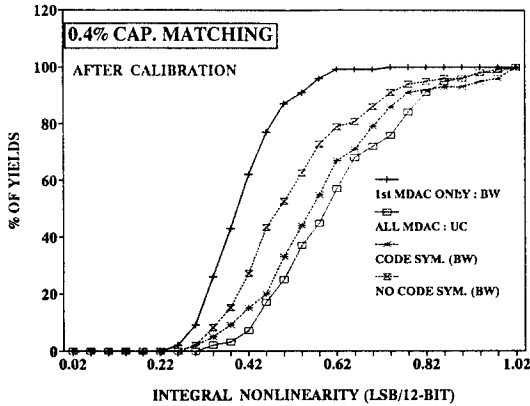
그림 9는 MDAC의 캐패시터 부정합 비가 0.4 %인 경우 제안된 4단 12-비트 A/D 변환기의 보정후 모의 실험 결과를 보여 주고 있다. 역시 제안된 구조가 INL과 DNL 특성을 동시에 향상시키는 최적의 구조임을 알 수 있으며, 특히 캐패시터의 부정합 비율이 높아질 수록 제안된 구조의 INL 및 DNL 특성이 다른 구조의 INL 및 DNL 특성에 비해 두드러지게 향상됨을 알 수 있다

V. 결 론

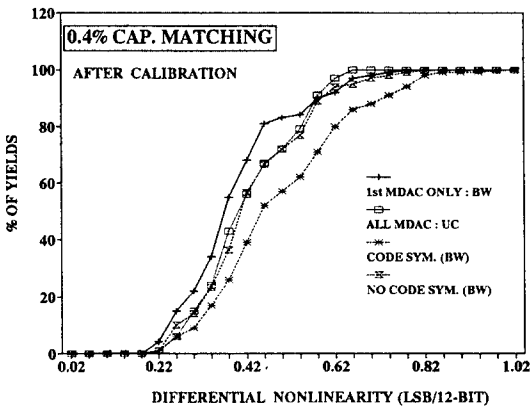
본 연구에서는 INL과 DNL 성능을 향상시키기 위하여 최적화된 4단 12-비트 고속 A/D 변환기 구조를 제안하였다. 옵셋, 피드스루, 증폭기 이득 오차 등에 의한 부정확성을 제거하기 위해 디지털 교정 (correction)을 수행하고, 소자 부정합에서 기인된 오차를 줄이기 위해 디지털 영역에서 보정 (calibration)을 수행한다. 제안된 구조에서는 전단의 INL 특성을 향상 시키기 위하여 BWC로 구성된 MDAC을 사용하였고, 코드 오차의 대칭 특성을 이용하지 않고 모든 코드 오차를 측정함으로써 중심 코드에서의 오차 누적 효과를 제거 하였다. 후단에서는 DNL 특성을 향상시키기 위하여 UC 열로 구성된 MDAC을 사용 하였다. 제안된 구조는 행위모델 (behavioral model)을 통한 INL 및 DNL 특성 등을 분석하여, 기존의 구조와 비교하였다.

참 고 문 헌

- [1] S. Sutarja and P. Gray, "A pipelined 13-bit, 250-Ks/s, 5-V Analog-to-Digital converter," *IEEE J. Solid-State Circuits*, vol. 23, no.6, pp. 1316-1323, Dec. 1988.
- [2] B. Song, M. Tompsett, and K. Lakshmikumar, "A 12-bit 1-Msample/s Capacitor Error-Averaging Pipelined A/D Converter," *IEEE J. Solid-State Circuits*, vol. 23, no.6, pp. 1324-1333, Dec. 1988.
- [3] Y. Lin, B. Kim, and P. Gray, "A 13-bit 2.5-MHz Self-Calibrated Pipelined A/D Converter in 3- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 26, no.4, pp. 628-636, Apr. 1991.
- [4] S. Lewis, H. Fetterman, G. Gross, Jr., R. Ramachandran, and T. Viswanathan, "A 10-bit 20-Msamples/s Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol SC-27, pp. 351-358, Mar. 1992.
- [5] C. Conroy, D. Cline, and P. Gray, "An 8-b 85-MS/s Parallel Pipelined A/D Converter in 1- $\mu$ m CMOS," *IEEE J.*



(a)



(b)

그림 9. 4단 12-비트 파이프라인 A/D 변환기의 캐패시터 부정합이 0.4% 일때 모의 실험 결과 : (a) INL 및 (b) DNL

Fig. 9. Simulated results of a 4-stage 12-bit ADC with 0.4% capacitor mismatching ratio : (a) INL and (b) DNL.



*Solid-State Circuits*, vol. 28, pp. 447-454, Apr. 1993.

- [6] A. Karanicolas, H. Lee, and K. Bacrania, "A 15b 1Ms/s Digitally Self-Calibrated Pipelined ADC," *ISSCC Dig. Tech. Papers*, pp. 60-61, Feb. 1993.
- [7] W. Colleran, T. Phan, and A. Abidi, "A 10b 100Ms/s Pipelined A/D Converter," *ISSCC Dig. Tech. Papers*, pp. 68-69, Feb. 1993.
- [8] W. Colleran and A. Abidi, "A 10-bit 75-MHz Two-Stage Pipelined Bipolar A/D Converter," *IEEE J. Solid-State Circuits*, vol. SC-28, pp. 1187-1199, Dec. 1993.
- [9] M. Ito, T. Miki, S. Hosotani, T. Kumamoto, Y. Yamashita, M. Kijima, and K. Okada, "A 10b 20Ms/s 3V-Supply CMOS A/D Converter for Integration into System VLSIs," *ISSCC Dig. Tech. Papers*, pp. 48-49, Feb. 1994.
- [10] M. Yotsuyanagi, T. Etoh, and K. Harata, "A 10-b 50-MHz Pipelined CMOS A/D Converter with S/H," *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
- [11] K. Kusumoto, K. Murata, A. Matsuzawa, S. Tada, M. Maruyama, K. Oka, and H. Konishi, "A 10b 20MHz 30mW Pipelined Interpolating CMOS ADC," *ISSCC Dig. Tech. Papers*, pp. 62-63, Feb. 1993.
- [12] T. Cho and P. Gray, "A 10-bit, 20-MS, 35-mW Pipelined A/D Converter," *Custom Integrated Circuits Conference*, pp. 499-502, May 1994.
- [13] S. Lee and B. Song, "Digital-Domain Calibration of Multistep Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [14] S. Lee and B. Song, "A Direct Code Error Calibration Technique for Two-Step Flash A/D Converters," *IEEE Trans. Circuits Syst.*, vol. 36, no.6, pp. 919-922, June. 1989.
- [15] S. Lee and B. Song, "Interstage Gain Proration Technique for Digital-Domain Multi-Step ADC Calibration," *IEEE Trans. Circuits Syst.*, vol. 41, no.1, pp. 12-18, Jan. 1994.
- [16] S. Lee and B. Song, "Simplified Digital Calibration for Multi-Stage Analog-to-Digital Converters," *IEEE International Symposium on Circuits and Systems*, pp. 1216-1219, May 1993.
- [17] J. Doernberg, P. Gray, and D. Hodges, "A 10-bit 5-Msample/s CMOS Two-Step Flash ADC," *IEEE J. Solid-State Circuits*, vol. 24, pp. 241-249, Apr. 1989.

저 자 소 개



林 信 一(正會員)

서강대학교 전자공학과 학사(1980), 서강대학교 전자공학과 석사(1983), 서강대학교 공학박사(1995), 한국전자통신연구소 선임연구원(1982. 3~1992.

2), 전자부품종합기술연구소 선임연구원(1992. 2~1995. 2), 현재 서경대학교 컴퓨터 공학과 전임강사. 관심분야는 아날로그 및 혼성 신호 IC 설계, VLSI 구조, ASIC 설계 등임.



李 承 勳(正會員)

서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대(Urbana-Champaign) 공학 박사(1991), KIST 위촉연구원(1986. 3. ~ 1986. 7), 미

Coordinate Science Lab(Urbana) 연구원(1987. 6 ~ 1990. 3), 미 Analog Device 사 senior design engineer(1990. 3 - 1993. 2), 현재 서강대학교 전자공학과 조교수. 관심분야는 반도체 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.