

論文95-32A-12-23

게이트 레벨 천이고장을 이용한 BiCMOS 회로의 Stuck-Open 고장 검출

(Detection of Stuck-Open Faults in BiCMOS
Circuits using Gate Level Transition Faults)

申載興*, 林寅七*

(Jae-Heung Shin and In-Chil Lim)

요 약

BiCMOS 회로는 논리를 구성하는 CMOS 부분과 출력을 구동하는 바이폴라 부분으로 구성된다. BiCMOS 회로에 존재하는 stuck-open 고장은 순차동작(sequential behavior)을 하거나 천이고장(transition fault) 형태로 나타나므로 이를 검출하기 위한 테스트가 중요하다. 본 논문에서는 BiCMOS 회로에서 발생하는 트랜지스터 stuck-open 고장을 상승(STR : slow-to-rise)천이와 하강(STF : slow-to-fall)천이의 두 개의 천이고장(transition fault)으로 변환하여 효율적으로 검출하는 방법을 제안한다. 제안하는 방법은 BiCMOS 회로를 출력을 '1'로 만드는 풀업(pull-up)측과 '0'으로 만드는 풀다운(pull-down)측으로 분할하여 각각 등가인 게이트 레벨(gate level) 회로로 변환한다. stuck-open 고장이 발생한 트랜지스터는 게이트 레벨로 변환된 회로의 게이트 입력선에서 천이고장으로 모델링하고, 기대되는 출력이 '01'일 때는 풀업측 게이트 레벨 회로를 이용하고 '10'일 때는 풀다운측 게이트 레벨 회로를 이용하여 고장을 검출한다. 따라서 천이고장에 대한 기존의 게이트 레벨 테스트 생성 알고리즘을 이용하여 BiCMOS 회로에서 발생한 트랜지스터 stuck-open 고장을 용이하게 검출할 수 있다.

Abstract

BiCMOS circuit consist of CMOS part which constructs logic function, and bipolar part which drives output load. Test to detect stuck-open faults in BiCMOS circuit is important, since these faults do sequential behavior and are represented as transition faults. In this paper, proposes a method for efficiently detecting transistor stuck-open faults in BiCMOS circuit by transforming them into slow-to-rise transition and slow-to-fall transition. In proposed method, BiCMOS circuit is transformed into equivalent gate-level circuit by dividing it into pull-up part which make output 1, and pull-down part which make output 0. Stuck-open faults in transistor are modelled as transition fault in input line of gate level circuit which is transformed from given circuit. Faults are detected by using pull-up part gate level circuit when expected value is '01', or using pull-down part gate level circuit when expected value is '10'. By this method, transistor stuck-open faults in BiCMOS circuit are easily detected using conventional gate level test generation algorithm for transition fault.

I. 서 론

LSI/VLSI 기술의 발전으로 단일 칩상에 집적되는

소자의 수가 증가함에 따라 많은 전력을 소비하는 바이폴라 소자보다는 낮은 전력소모와 고 집적도의 특성을 갖는 CMOS가 VLSI의 구성소자로 많이 사용되고 있다. 그러나 CMOS는 부하가 커짐에 따라 지연시간이 급격히 증가하기 때문에 전체 동작속도가 떨어지게

* 正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang University)

接受日字: 1995年1月25日, 수정완료일: 1995年12月5日

된다. 그러므로 고속 회로동작을 필요로 하는 컴퓨터나 통신분야에서는 전력소비가 큰 단점에도 불구하고 바이폴라 소자가 주로 사용되고 있다.^[1,2]

따라서 CMOS의 저 전력성, 고집적도의 특성과 바이폴라 소자의 빠른 회로동작, 큰 부하 구동능력을 갖을 수 있도록 하나의 집적회로상에 바이폴라 기술과 CMOS기술을 결합하므로써 위에서 언급한 문제를 해결할 수 있는 BiCMOS기술이 등장하게 되었다. BiCMOS 기술은 기존의 바이폴라 소자와 CMOS로는 얻을 수 없는 고속 스위칭 동작, 저 전력소비, 다양한 외부 인터페이스, 그리고 래치-업(latch-up)현상 방지 등의 특징을 갖는다. 이와 같은 BiCMOS회로의 고속 동작, 고집적도, 다양한 I/O 인터페이스(CMOS, TTL, ECL등), 다양한 설계방법등의 장점때문에 RAM, 마이크로 프로세서, 게이트 어레이등의 여러 분야에서 BiCMOS 회로가 성공적으로 사용되고 있다.^[3,4,5,6]

CMOS기술과 바이폴라 기술이 결합되는 BiCMOS 회로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 BiCMOS 회로에 대한 테스트가 중요한 문제로 대두되고 있다. 트랜지스터 레벨에서 주요한 고장모델로는 stuck-at 고장, 트랜지스터 각 노드의 단락(short)고장과 개방(open)고장, 내부 연결선사이의 단락고장과 개방고장이 있다. 그러나 stuck-at고장모델로는 BiCMOS 회로의 생산과정에서 발생하는 많은 stuck-open고장을 검출하지못 할 뿐만아니라, stuck-open고장의 대부분은 천이고장형태로 나타나기때문에 고장검출이 매우 어렵다. BiCMOS 회로에서의 stuck-open고장은 순차동작(sequential behavior)을 하거나 천이고장처럼 나타난다. stuck-open고장에 기인한 순차동작을 검출하기 위해서는 두개의 테스트 패턴이 필요하다. 첫번째 패턴은 회로의 출력을 초기화 시키고 두번째 패턴에 의해 고장이 검출된다. p-블럭(n-블럭)에서의 stuck-open고장을 검출하기 위해서는 첫번째 패턴은 출력을 0(1)로 초기화 시켜야한다. 두번째 패턴은 고장이 발생한 트랜지스터를 통해 출력과 Vdd(GND)사이의 저 저항 경로를 형성하여 고장의 유무를 판단한다.^[7,8,9,10]

이제까지의 BiCMOS회로에서 발생하는 stuck-open고장을 검출하기 위한 방법으로는 충전과 방전의 경로를 제공하는 NMOS트랜지스터와 내장 전류 센서(BICS : Built-in Current Sensor)를 이용하는 방

법과 하나의 바이폴라 트랜지스터를 사용하는 BiCMOS회로에 두 개의 부가 트랜지스터를 이용하여 테스트 성과를 향상시키는 방법등 주로 부가 하드웨어를 이용하여 고장을 검출하는 테스트 용이화 설계방식이 이용되어 왔다.^[11, 12]

본 논문에서는 BiCMOS 회로를 풀-업측과 풀-다운측으로 분할하여 등가인 게이트 레벨 회로로 변환하고, BiCMOS 회로의 stuck-open고장을 변환된 회로에서 상승과 하강의 천이고장으로 변환하여 고장을 검출하는 방법을 제안한다. 제안한 방법에서는 stuck-open 고장이 발생한 트랜지스터는 게이트 레벨로 변환된 회로의 게이트 입력선에서의 천이고장으로 모델링하고, 기대되는 출력이 '01'일때는 풀-업측 게이트 레벨 회로를 이용하고 '10'일때는 풀-다운측 게이트 레벨 회로를 이용하여 고장을 검출한다. 제안된 방법의 타당성을 풀-업측에만 바이폴라 트랜지스터를 사용하는 BiMOS 회로와 Complex BiCMOS 회로, 그리고 전단의 펜아웃 스템에서 고장이 발생한 예제 회로를 통하여 입증한다.

II. BiCMOS 회로에서의 stuck-open고장

BiCMOS 회로의 기본적인 구성은 논리를 실현하는 CMOS 부분과 출력을 증폭시켜 부하를 구동하기위한 바이폴라로 구성된다. 그림 1은 두개의 바이폴라 트랜지스터를 사용한 BiCMOS NAND 회로를 나타낸 것이다.

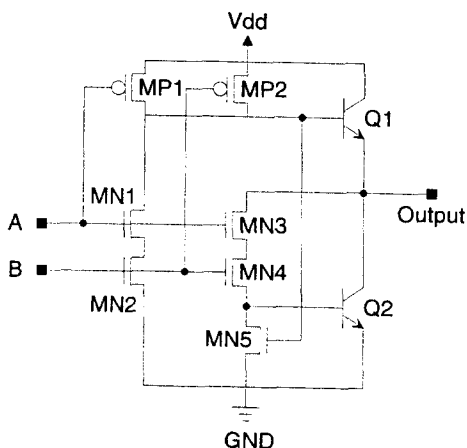


그림 1. BiCMOS NAND 회로
Fig. 1. BiCMOS NAND circuit.

표 1. stuck-open고장이 있는 BiCMOS NAND 회로의 동작

Table 1. Behavior of BiCMOS NAND circuit with stuck-open fault.

BiCMOS NAND stuck - open RESULTS																
Input A	Input B	Fault Free	MP1 open	MP2 open	MN1 open	MN2 open	MN3 open	MN4 open	MN5 open	Q1.E open	Q1.B open	Q1.C open	Q2.E open	Q2.B open	Q2.C open	
0	0	1	1	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
0	1	1	PS	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
1	0	1	1	PS	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
1	1	0	0	0	STF	STF	SA1	SA1	0	0	0	0	SA1	SA1	STF	

PS = 전상태 값
 E, B, C = 에미터, 베이스, 콜렉터(Emitter, Base, Collector)
 STF = 하강(Slow to Fall)천이고장
 STR = 상승(Slow to Rise)천이고장
 SA0 = 초기화 후에 Stuck-at-0 (특수한 경우 PS)
 SA1 = 초기화 후에 Stuck-at-1 (특수한 경우 PS)

BiCMOS 회로에서 발생하는 stuck-open고장은 출력에서 순차동작을 하거나 천이고장의 형태로 나타난다. BiCMOS 회로내의 한 트랜지스터에서 stuck-open고장이 발생했을 때, 출력에서 고장효과를 평가하기 위해 한번에 하나의 stuck-open고장을 대상으로 시뮬레이션하였다. pMOS 트랜지스터와 nMOS 트랜지스터에서 발생한 stuck-open고장은 해당 트랜지스터를 OFF시키고 시뮬레이션하였으며, 바이폴라 트랜지스터의 에미터, 베이스, 콜렉터에서 발생한 stuck-open고장은 해당 노드에 저항 (> 1MΩ)을 직렬연결하여 시뮬레이션하였다.

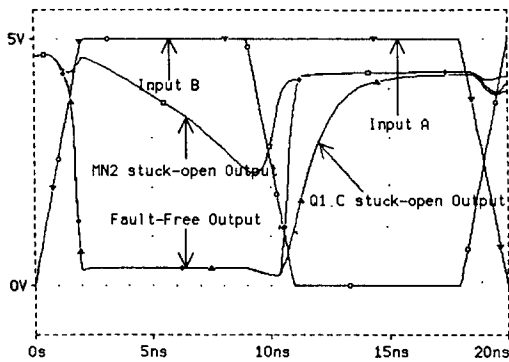


그림 2. MN2와 Q1 콜렉터 stuck-open고장에 대한 시뮬레이션 결과

Fig. 2. Simulation result for MN1 and Q1 Collector stuck-open fault.

본 연구에서 BiCMOS 회로에 사용한 시뮬레이션 파라미터는 pMOS(Lp, Wp)와 nMOS(Ln, Wn)의

길이와 폭은 pMOS(Lp = 1.5μm, Wp = 30μm)와 nMOS(Ln = 1.5μm, Wn = 26μm)을 사용하였다. BiCMOS 회로상에서 팬-아웃을 고려하기 위해 부하는 0.85pF로 시뮬레이션하였다. 그림 2는 MN2 트랜지스터에서 stuck-open고장이 발생한 경우와 Q1 콜렉터에서 stuck-open고장이 발생한 경우의 SPiCe 시뮬레이션 결과를 나타낸 것이다. 그림 1의 BiCMOS NAND 회로의 고장이 없는 경우와 stuck-open고장이 발생했을 때의 출력을 표 1에 정리하였다.

그림 1의 BiCMOS NAND 회로는 입력 벡터가 11일 때, 트랜지스터 MN3과 MN4를 통해 바이폴라 트랜지스터 Q2의 베이스에 전하를 공급하여 Q2를 ON시켜서 출력 기생 커패시턴스의 전하를 방전한다. 입력 벡터가 00, 01, 10일 때는 MP1이나 MP2, 또는 MP1과 MP2 모두를 통해 바이폴라 트랜지스터 Q1의 베이스에 전하를 공급하여 Q1을 ON시켜서 출력 기생 커패시턴스를 충전한다.

그러나 MN1과 MN2트랜지스터의 stuck-open고장은 동일한 천이고장으로 나타난다. 입력 벡터가 11일 때, 직렬연결된 MN3과 MN4는 ON되지만 MN1과 MN2는 stuck-open고장으로 인하여 ON되지 않는다. 이것은 바이폴라 트랜지스터 Q1의 베이스에 저장된 전하로 인하여 어느 정도 ON상태로 남게 되어 출력을 충전하기 때문에 Q2와 MN3, MN4의 ON 저항을 통해서 느리게 방전하게 한다.

바이폴라 트랜지스터 Q1의 에미터와 베이스의 stuck-open고장은 표 1에서 나타낸 것과 같이 초기화 후에 stuck-at-1고장과 같은 결과를 나타낸다. 에미터

와 베이스에서의 고장은 Vdd과 출력사이에 경로가 존재하지 않기 때문에 출력이 1이 될 수 없다. 또한, 콜렉터에 stuck-open고장이 발생하면 상승천이 고장을 일으킨다.

또한, 출력을 논리 '1'로 만드는 입력이 주입력에 인가되어도, MN5에서 stuck-open고장이 발생하면 Q2의 베이스에 저장된 전하로 인하여 Q2가 어느 정도 ON상태로 남게되어 출력을 방전하기때문에 출력이 느리게 충전된다.

III. BiCMOS 회로의 게이트 레벨 회로 변환

BiCMOS회로에서 발생하는 stuck-open고장을 효율적으로 검출하기 위해 게이트 레벨의 천이고장으로 변환한다. 논리를 구성하는 CMOS 부분과 출력을 구동하기위한 바이폴라 부분으로 구성된 BiCMOS 회로는 풀-업측과 풀-다운측으로 분할하여 다음의 정리에 의하여 게이트 레벨로 변환된다.

정리 1. 직렬 연결된 트랜지스터는 게이트 레벨의 AND 게이트로 변환되고, 각 트랜지스터의 입력은 AND 게이트의 입력이 된다.

증명) 직렬 연결된 트랜지스터는 모두 ON되었을 경우에만 도통경로(conducting path)가 활성화 되기 때문이다. 예를 들면 그림 1에서 MN1과 MN2가 모두 ON되었을 때, Q1의 베이스 전하를 방전할 수 있다. ■

정리 2. 병렬 연결된 트랜지스터는 게이트 레벨의 OR 게이트로 변환되고, 각 트랜지스터의 입력은 OR 게이트의 입력이 된다.

증명) 병렬 연결된 트랜지스터는 어떤 트랜지스터가 ON되어도 도통경로를 활성화시킬 수 있기 때문이다. 예를 들면 그림 1에서 MP1과 MP2 둘 중 어느 것이 ON되어도 Q1의 베이스에 전하를 공급할 수 있다. ■

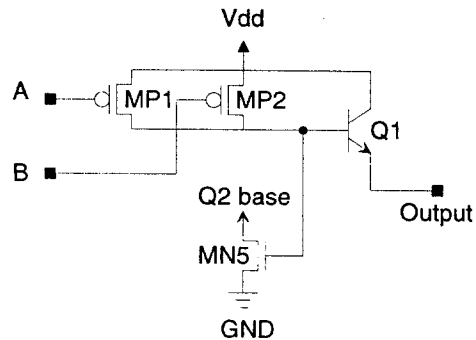
정리 3. 게이트 레벨로 변환된 회로의 풀-업측 입력은 보수로 입력되고, 풀-다운측 출력은 보수 값을 가진다

증명) PMOS 트랜지스터들은 입력이 0일때 ON되기 때문에 변환된 회로에서 등가의 값을 출력할 수 있다. 풀-다운측이 도통되면 최종출력 값이 0이 되므로 변환된 게이트 레벨의

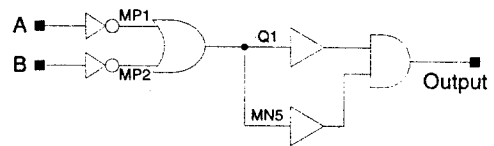
최종 출력의 보수 값을 가져야 등가의 출력을 얻을 수 있다. ■

정리 4. 바이폴라 트랜지스터는 신호를 통과시키는 블록으로 표시하고, 게이트 레벨로 변환된 회로의 풀-업측과 풀-다운측의 출력은 동일한 값을 가져야 한다.

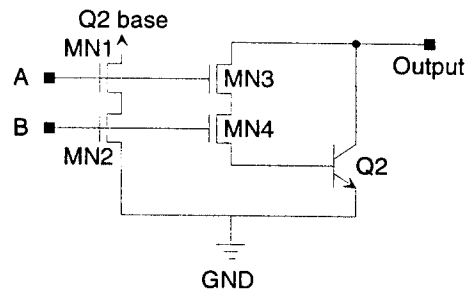
증명) 풀-업측과 풀-다운측의 최종출력이 동일한 값을 가져야 스위치 레벨 BiCMOS의 최종 출력 값과 동일한 값을 얻을 수 있다. ■



(a)



(b)



(c)

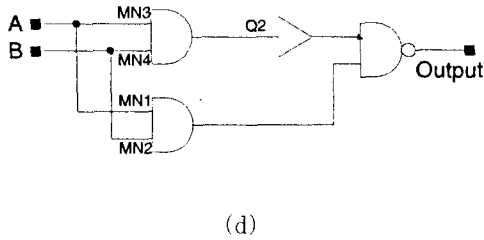


그림 3. (a) 그림 1의 풀-업측, (b) (a)의 게이트 레벨 회로 (c) 그림 1의 풀-다운측, (d) (c)의 게이트 레벨 회로

Fig. 3. (a) Pull-up part of Fig. 1., (b) Gate-level circuit of (a). (c) Pull-down part of Fig. 1., (d) Gate-level circuit of (c)

그림 3. (a)는 그림 1의 BiCMOS 회로의 풀-업측을 나타낸 것이며 (b)는 (a)를 정리 1-정리 4를 적용하여 게이트 레벨 회로로 변환한 것이다. 또한, (c)는 그림 1의 BiCMOS 회로의 풀-다운측을 나타낸 것이며 (d)는 (c)를 정리 1-정리 4를 적용하여 게이트 레벨 회로로 변환한 것이다.

IV. BiCMOS회로 stuck-open 고장의 게이트 레벨 고장 모델링

BiCMOS 회로의 stuck-open고장을 대상으로 SPICE 시뮬레이션을 수행하면 전상태 값을 유지하거나, 1(0)에서 0(1)으로의 천이고장, stuck-at-1(0)을 일으키는 것을 알 수 있다.(표 1 참조)

BiCMOS회로를 변환한 게이트 레벨회로에서 각 게이트들은 고장이 없는 것으로 가정하고, BiCMOS회로 내의 stuck-open고장은 고장의 효과에 따라 등가인 게이트 레벨회로에서 각 게이트의 입력선에 다음과 같이 모델링 된다.

정리 5. 출력에서 전상태 값을 유지하는 stuck-open고장은 전상태 값이 0(1)이면 변환된 회로의 게이트 입력선에서 STR(STF) 천이고장으로 모델링한다.

증명) 그림 1의 회로에서 고장이 없는 경우 입력 AB에 01을 인가하고, 다음 주기에 11을 인가하면 출력은 10이 된다. 그러나 MP1에

서 stuck-open고장이 발생하면 입력이 11로 바뀌어도 출력은 전상태 값인 1을 유지하게 된다. 따라서 전상태 값이 1이었으므로 MP1에 해당하는 게이트의 입력선에 STF고장을 할당하고 신호를 전파하면 그림 4와 같이 출력에서 고장신호를 검출할 수 있다. ■

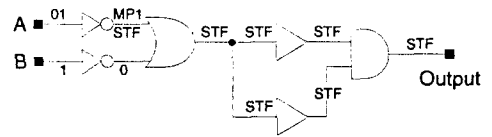


그림 4. 정리 5의 예
Fig. 4. Example of theorem 5.

정리 6. 출력에서 stuck-at-1(0)을 발생시키거나 천이고장(STF, STR)을 일으키는 stuck-open 고장은 게이트 레벨 회로에서 해당 게이트 입력선의 STR로 모델링 한다.

증명) 출력에서 stuck-at-0(1)고장은 주어진 시스템 클럭 주기내에 값의 천이가 이루어지지 못한 경우에 발생하므로, stuck-at-0(1)고장은 STR(STF)고장으로 나타낼 수 있다. 예를 들면, MN3에서 stuck-open고장이 발생하면 게이트 레벨 회로의 MN3에 해당하는 입력선에 STR고장을 할당하고 신호를 전파하면 그림 5와 같이 출력에서 고장신호를 검출할 수 있다. ■

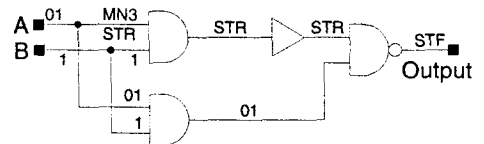


그림 5. 정리 6의 예
Fig. 5. Example of theorem 6.

일반적으로 BiCMOS 회로의 기대되는 출력 값이 01이면 풀-업측의 게이트 레벨회로를 이용하고, 기대

되는 출력 값이 10이면 풀-다운측의 게이트 레벨회로를 이용한다. 다단으로 구성된 회로의 경우에 펜-아웃 (fan-out) 스템(stem)에서 발생한 STF고장은 그림 6과 같이 풀-업측 게이트 레벨 회로 입력선에서의 STF고장으로 대치하고, 펜-아웃 스템에서 STR고장은 풀-다운측 게이트 레벨회로 입력선에서의 STR고장으로 대치하고 전파한다.

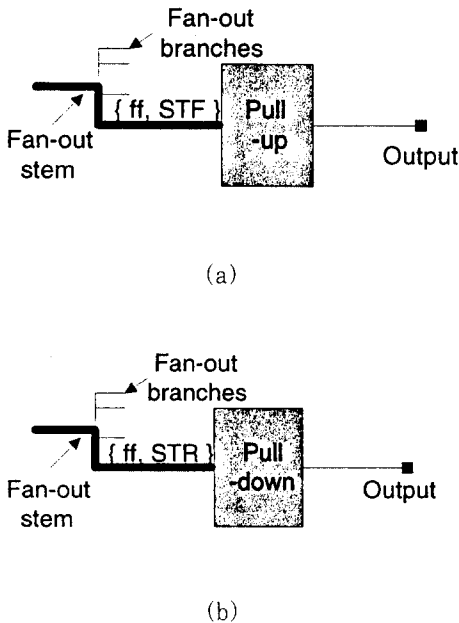


그림 6. 펜-아웃 스템에서 고장 신호전파
(a) STF 고장, (b) STR 고장
Fig. 6. Faulty signal propagation at fan-out stem. (a) STF fault, (b) STR fault

V. 적용 및 검토

제안된 방법의 타당성을 풀-업측에만 바이폴라 트랜지스터를 사용하는 BiCMOS NAND 회로와 Complex BiNMOS 회로, 그리고 전단의 펜-아웃 스템에서 고장신호가 전파되는 경우의 예를 통하여 입증한다.

그림 7은 풀-업측에만 바이폴라 트랜지스터를 사용하는 BiNMOS NAND 회로를 나타낸 것이다. 위의 회로는 입력 AB가 00, 01 또는 10일때는 MP1이나 MP2 또는 모두를 통해 Q1의 베이스에 전하를 공급하

고, Q1이 ON되어 출력의 커패시턴스를 충전한다. 또한, 입력 AB가 11일때는 MN3과 MN4를 통해 출력의 커패시턴스에 있는 전하를 방전한다. 이때 MN1과 MN2는 Q1의 베이스 전하를 방전함으로써 Q1이 ON되지 못하도록 한다. 그러나 트랜지스터에서 stuck-open고장이 발생하면 순차동작을 하거나 전상태 값을 유지하게 된다. 각 트랜지스터에서 stuck-open고장이 발생했을 때, SPICE 시뮬레이션 결과는 아래 표 2과 같다.

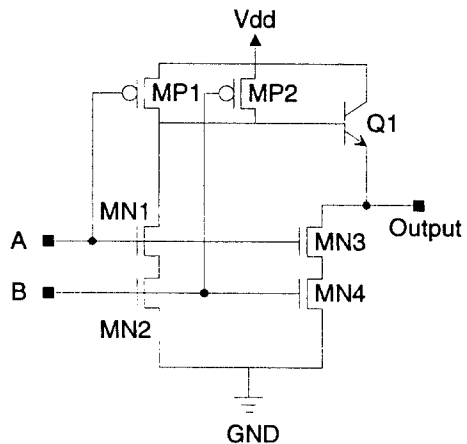
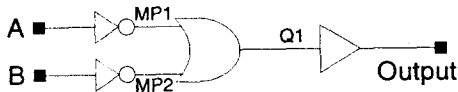


그림 7. 하나의 바이폴라 트랜지스터를 사용하는 BiNMOS NAND 회로
Fig. 7. BiNMOS NAND circuit using single bipolar transistor at pull-up part.

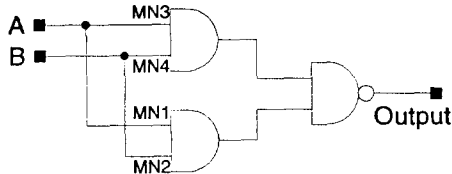
표 2. stuck-open 고장이 있는 BiNMOS NAND 회로의 동작
Table 2. Behavior of BiNMOS NAND circuit with stuck-open faults.

BiNMOS NAND stuck-open RESULTS											
Input A	Input B	Fault -Free	MP1 open	MP2 open	MN1 open	MN2 open	MN3 open	MN4 open	Q1.E open	Q1.B open	Q1.C open
0	0	1	1	1	1	1	1	1	SA0	SA0	STR
0	1	1	1	PS	1	1	1	1	SA0	SA0	STR
1	0	1	PS	1	1	1	1	1	SA0	SA0	STR
1	1	0	0	1	STF	STF	SA1	SA1	0	0	0

그림 7의 회로를 정리 1-정리4를 이용하여 풀-업측과 풀-다운측으로 분할하여 게이트 레벨로 변환하면 그림 8와 같다.



(a)



(b)

그림 8. 그림 7의 게이트 레벨 회로
(a) 풀-업측, (b) 풀-다운측
Fig. 8. Gate level circuit of Fig. 7.
(a) Pull-up part, (b) Pull-down part

MN1과 MN2에서의 stuck-open고장은 동일한 천이고장으로 나타난다. 입력 AB가 11일때, MN3과 MN4가 ON되어 출력의 커패시턴스 전하를 방전한다. 그러나 MN1과 MN2의 stuck-open고장으로 인하여 Q1의 베이스 전하를 방전하지 못하기 때문에 Q1이 어느 정도 ON상태를 유지한다. 따라서 출력에서 천이고장이 발생한다. MN2의 stuck-open고장은 풀-다운측 게이트 레벨 회로의 AND 게이트 입력선의 게이트 입력선에서의 STR고장으로 모델링할 수 있다.

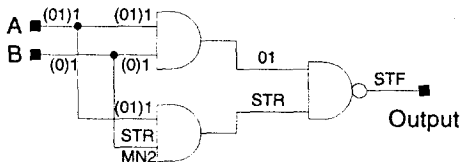


그림 9. MN2의 stuck-open고장
Fig. 9. stuck-open fault of MN2.

그림 7회로의 MP1에서 stuck-open고장이 발생하면, 입력 AB가 10일때 전상태 값을 유지한다. 만일 전상태 값이 0이었다면, MP1에서의 stuck-open고장은 풀-업측 게이트 레벨 회로의 OR 게이트 입력선의 STR고장으로 모델링할 수 있다.

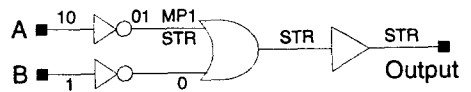


그림 10. MP1의 stuck-open고장
Fig. 10. Stuck-open fault of MP1.

표 3은 그림 7의 회로에서 발생하는 stuck-open고장을 검출하기위한 테스트 벡터와 검출되는 고장을 나타낸 것이다

표 3. 그림 7의 회로에 대한 테스트 벡터와 검출되는 stuck-open고장

Table 3. Test vector and detected stuck-open faults for Fig. 7.

Test Vector and Detected Stuck-Open Faults			
Initiaization Vector A B	Test Vector A B	검출되는 stuck-open 고장	
1 1	0 0	Q1E, Q1B, Q1C	
	0 1	MP1(전상태 값 0), Q1E, Q1B, Q1C	
	1 0	MP2(전상태 값 0), Q1E, Q1B, Q1C	
0 0	1 1	MN1, MN2, MN3, MN4	
0 1		MP1(전상태 값 1), MN1, MN2, MN3, MN4	
1 0		MP2(전상태 값 1), MN1, MN2, MN3, MN4	

아래 그림 11은 함수 $F = \overline{A \cdot B} + C$ 를 구현한 Complex BiCMOS 회로를 나타낸 것이다.

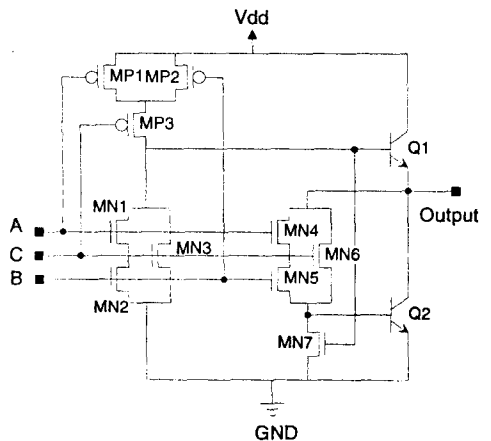


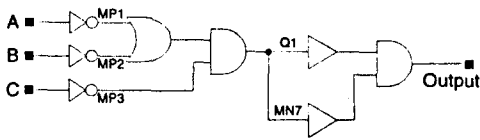
그림 11. $F = \overline{A \cdot B} + C$ 예제 회로
Fig. 11. Example circuit of $F = \overline{A \cdot B} + C$.

표 4. Complex BiCMOS회로의 시뮬레이션 결과
Table 4. Simulation result of Complex BiCMOS circuit.

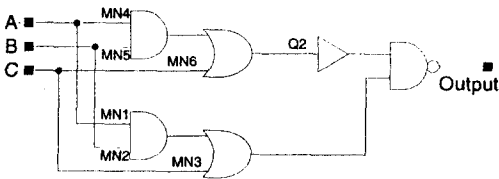
Complex BiCMOS Circuit stuck - open RESULTS																	
Input A B C	Fault -Free	MP1 open	MP2 open	MP3 open	MN1 open	MN2 open	MN3 open	MN4 open	MN5 open	MN6 open	MN7 open	Q1.E open	Q1.B open	Q1.C open	Q2.E open	Q2.B open	Q2.C open
0 0 0	1	1	1	PS	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
0 0 1	0	0	0	0	0	0	STF	0	0	PS	0	0	0	0	SA1	SA1	STF
0 1 0	1	PS	1	PS	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
0 1 1	0	0	0	0	0	0	STF	0	0	PS	0	0	0	0	SA1	SA1	STF
1 0 0	1	1	PS	PS	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
1 0 1	0	0	1	0	0	0	STF	0	0	PS	0	0	0	0	SA1	SA1	STF
1 1 0	0	0	1	0	STF	STF	0	PS	PS	0	0	0	0	0	SA1	SA1	STF
1 1 1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SA1	SA1	STF

그림 11의 예제 회로에서 발생한 stuck-open고장에 대한 SPICE 시뮬레이션 결과는 표 4와 같다.

그림 12는 함수 $F = A \cdot B + C$ 를 구현한 Complex BiCMOS 회로를 풀업측과 풀다운측으로 분할하여 게이트 레벨 회로로 변환한 것이다.



(a)



(b)

그림 12. Complex BiCMOS 회로의 게이트 레벨 회로 (a) 풀업측 게이트 레벨 회로, (b) 풀다운측 게이트 레벨 회로

Fig. 12. Gate level circuit of Complex BiCMOS. (a) Pull-up part gate level circuit, (b) Pull-down part gate level circuit

고장이 없는 상태에서 그림 11회로의 첫번째 입력이 001, 011, 101, 110, 111중의 하나가 오면 출력은 '0'

이 되고, 두번째 입력이 000, 010, 100중의 하나가 오면 출력은 '1'이 된다. 그러나 MP3에서 stuck-open 고장이 발생하면 출력은 전상태 값 '0'을 유지한다. MP3에서의 stuck-open고장은 그림 13과 같이 게이트 레벨회로의 AND게이트 입력선의 STR고장으로 나타낼 수 있다.

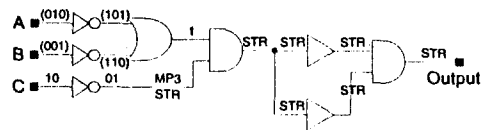


그림 13. Complex BiCMOS 회로의 MP3의 stuck-open고장
Fig. 13. Stuck-open fault of MP3 at Complex BiCMOS circuit.

또한, MN3에서의 stuck-open고장은 그림 14과 같이 게이트 레벨회로에서 OR게이트 입력의 STR고장으로 나타낼 수 있다.

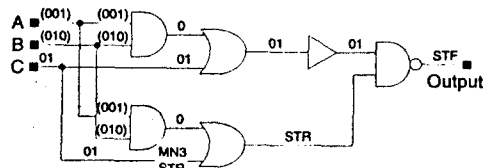


그림 14. Complex BiCMOS의 MN3의 stuck-open고장
Fig. 14. Stuck-open fault of MN3 at Complex BiCMOS circuit.

표 5는 Complex BiCMOS 회로에서 발생하는 stuck-open고장을 검출하기 위한 테스트 벡터와 검출되는 고장을 나타낸 것이다

표 5. Complex BiCMOS 회로에 대한 테스트 벡터와 검출되는 stuck-open고장
Table 5. Test vector and detected stuck-open faults for Complex BiCMOS circuit.

Test Vector and Detected Stuck-Open Faults		
Initializa-tion Vector	Test Vector A B C	검출되는 stuck-open 고장
출력을 '0'으로 초기화하는 Vector	0 0 0	MP3(전상태 값 0), MN6(전상태 값 0), MN7, Q1.E, Q1.B, Q1.C
	0 1 0	MP1(전상태 값 0), MP3(전상태 값 0), MN4(전상태 값 0), MN6(전상태 값 0), Q1.E, Q1.B, Q1.C
	1 0 0	MP1(전상태 값 0), MP3(전상태 값 0), MN5(전상태 값 0), MN6(전상태 값 0), Q1.E, Q1.B, Q1.C
출력을 '1'로 초기화하는 Vector	0 0 1	MN3, MP3(전상태 값 1), MN6(전상태 값 1), Q2.E, Q2.B, Q2.C
	0 1 1	
	1 0 1	MN1, MN2, MN4(전상태 값 1), MN5(전상태 값 1), Q2.E, Q2.B, Q2.C
	1 1 1	

그림 15는 팬-아웃 스템(fan-out stem)의 팬-아웃 가지들(fan-out branches)중의 하나가 BiCMOS회로의 입력이 되는 경우의 예를 나타낸 것이다. 팬-아웃 스템에서 고장이 발생하면 팬-아웃 가지들은 모두 동일한 고장신호를 전파한다.

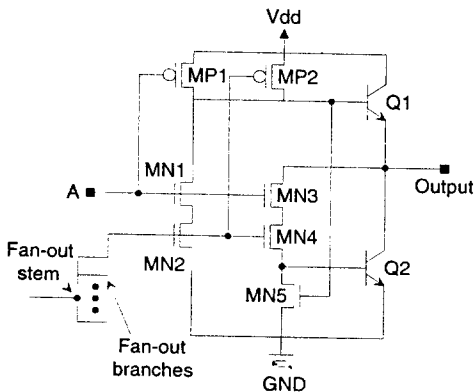
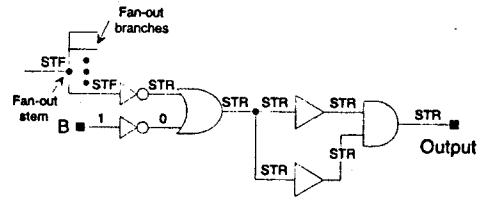
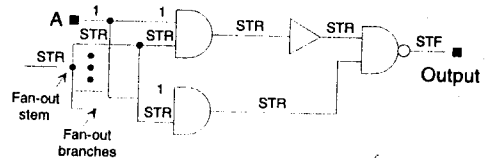


그림 15. 팬-아웃 스템에서의 고장 신호전파
Fig. 15. Faulty signal propagation at fan-out stem.

팬-아웃 스템에서 STF고장이 발생하면 폴-업측 게이트 레벨회로로 전파하고, STR고장이 발생하면 폴-다운측 게이트 레벨회로로 고장신호를 전파한다. 그림 16은 팬-아웃 스템에서 천이고장이 발생한 경우의 예를 나타낸 것이다.



(a)



(b)

그림 16. 팬-아웃 스템에서 천이고장
(a) 팬-아웃 스템의 STF 고장 (b) 팬-아웃 스템의 STR 고장

Fig. 16. Transition fault at fan-out stem.
(a) STF fault at fan-out stem (b) STR fault at fan-out stem

이상의 예에서 본 바와 같이 본 논문에서 제안된 BiCMOS회로를 등가인 게이트 레벨로 변환하고 BiCMOS 회로의 stuck-open고장을 변환된 회로의 게이트 입력선에서 천이고장으로 모델링하면, BiCMOS 회로에서 발생한 stuck-open고장을 효율적으로 검출할 수 있었다.

VI. 결 론

본 논문에서는 BiCMOS 회로에서 발생하는 트랜지스터 stuck-open 고장을 게이트 레벨의 상승천이와 하강천이의 두 개의 천이고장으로 변환하여 효율적으로 검출하는 방법을 제안하였다. 제안된 방법은 BiCMOS회로를 출력을 '1'로 만드는 폴-업측과 '0'으로 만드는 폴-다운측으로 분할하여 각각 등가인 게이

트 레벨회로로 변환하고, stuck-open고장이 발생한 트랜지스터는 게이트 레벨로 변환된 회로의 게이트 입력선에서의 천이고장으로 모델링하였다. 기대되는 출력이 '01'일때는 풀-업측 게이트 레벨 회로를 이용하고 '10'일때는 풀-다운측 게이트 레벨 회로를 이용하여 고장을 검출함으로써, BiCMOS 회로에서 발생한 stuck-open고장을 기존의 게이트 레벨 테스트 생성 알고리즘을 이용하여 용이하게 검출할 수 있게 되었다. 또한, 풀-업측에만 바이폴라 트랜지스터를 사용하는 BiCMOS NAND회로와 Complex BiCMOS 회로, 그리고 전단에서 발생한 고장이 펜-아웃 시스템을 통해 전파되는 경우의 예를 통하여 제안된 방법의 타당성을 입증하였다.

향후 연구과제로는 BiCMOS 회로에서 발생하는 여러가지 물리적 결함을 게이트 레벨에서 모델링하고, 이를 검출하는 방법에 대하여 연구하는 것이다.

참 고 문 헌

- [1] H.C. Lin, J.C. Ho, R.Iyer and K. Kwong, "Complementary MOS - Bipolar Transistor Structure." *IEEE Trans. Electronic Device*, vol.ED-16, no.11, pp.945-951, NOV. 1969.
- [2] M. Kubo, I. Masuda, K. Miyata, and K.Ogiue, "Perspective on BiCMOS VLSI's." *IEEE J. Solid-State Circuits*, vol.23.no.1, pp.5-11, Feb. 1988.
- [3] E.W.Greeneich and K.L.Maclaughlin, "Analysis and Characterization of BiCMOS for High-Speed Digital Logic." *IEEE J. Solid-State Circuits*, vol.23, no.2, pp.558-565, Apr. 1988.
- [4] K. Ogiue, M. Odaka, S. Milyaoka, I. Masuda, and T. Ikeda, "13-ns, 500-mW, 64-kbit ECL RAM Using HI-BiCMOS Technology." *IEEE J. Solid-State Circuits*, vol.21, no.5, pp.681-685, Oct. 1986.
- [5] J.D. Gallia, et al., "High-Performance BiCMOS 100K-Gate Array," *IEEE J. Solid-State Circuits*, vol.25, no.1, pp.142-149, Feb. 1990.
- [6] T. Hotta, et al., "CMOS/Bipolar Circuits for 60-MHz Digital Processing." *IEEE J. Solid-State Circuits*, vol.21, no.5, pp.808-813, Oct. 1986.
- [7] M.E. Levitt, K. Roy and J.A. Abraham, "BiCMOS Fault Models : Is Stuck-At Adequate?," *IEEE ICCD*, pp.294-297, 1990.
- [8] K. Roy, M.E. Levitt and J.A. Abraham, "Test Considerations for BiCMOS Logic Families," *IEEE CICC*, pp.17.2.1-17.2.4, 1991.
- [9] S. Chakravarty, "On Synthesizing and Identifying Stuck - Open Testable CMOS Combinational Circuits," *27th ACM/IEEE DAC*, pp.736-739, 1990.
- [10] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Fault Simulation of Unconventional Faults in CMOS Circuits," *IEEE Trans. ON CAD*, vol.10, no.5, pp.677-682, May. 1991.
- [11] S. M. Menon, A. P. Jayasumana, Y. K. Malaiya, "Testable Design for BiCMOS Stuck-Open Fault Detection," *1993 IEEE VLSI TEST SYMPOSIUM*, pp.296-302, Apr. 1993.
- [12] M. Y. Osman, M. I. Elmasry, "Highly Testable Design of BiCMOS Logic Circuits," *IEEE J. Solid-State Circuits*, vol.29, no.6, pp.671-678, Jun. 1994.
- [13] A. P. Jayasuman, Y. K. Malaiya, and R. Rajsuman, "Design of CMOS Circuits for Stuck-Open Fault Testability," *IEEE J. Solid-State Circuits*, vol.26, no.1, Jan. 1991.
- [14] H. Cox, J. Rajski, "Stuck-Open and Transition Fault Testing in CMOS Complex Gates," *ITC*, pp.688-694, 1988.

저 자 소 개



申載興(正會員)

1964年 10月 10日生. 1982년
3월~1986년 2월 한양대학교
전자공학과 공학사. 1989년 9
월~1991년 8월 한양대학교 전
자공학과 대학원 공학석사.
1993년 3월~현재 한양대학교

전자공학과 대학원 박사과정. 주관심분야는 VLSI
Design & Testing, Fault Simulation 등임

林寅七(正會員)

第 31卷 A編 第 11號 參照

현재 한양대학교 전자공학과 교수