

論文95-32A-12-19

게이트가 파인 구조를 이용한 SOI MOSFET에서의 항복전압 개선 (Breakdown Voltage Improvement in SOI MOSFET Using Gate-Recessed Structure)

崔 珍 赫 *, 朴 榮 俊 *, 閔 弘 植 *

(Jin Hyeok Choi, Young June Park, and Hong Shick Min)

요 약

SOI MOSFET의 단점 중 하나인 소스-드레인 사이의 항복전압 감소의 개선을 위하여 게이트가 파인 구조를 제안한다. 실험 결과 이러한 구조의 SOI 소자는 기존의 평면 구조의 소자에 비하여 현저한 항복전압의 개선을 보였다. 이러한 증가의 원인을 2차원 소자의 모의 실험과 기판 전류 측정을 통하여 정량적으로 분석하였다. 그 결과 게이트가 파인 구조의 MOSFET는 평면 구조의 MOS 소자에 비해 충돌 이온화율이 작을 뿐 아니라 기생 바이폴라의 증폭도가 낮아짐으로 항복전압의 개선을 준다는 것을 보였다. 또한, 게이트가 파인 구조의 소자는 평면 LDD 구조에서 발생하는 전류 구동력의 감소를 초래하지 않았다.

Abstract

A gate-recessed structure is introduced to SOI MOSFET's in order to increase the source-to-drain breakdown voltage. A significant increase in the breakdown voltage is observed compared with that of a planar single source/drain SOI MOSFET without inducing the appreciable reduction of the current drivability. We have analyzed the origin of the breakdown voltage improvement by the substrate current measurements and 2-D device simulations, and shown that the breakdown voltage improvement is caused by the reductions in the impact ionization rate and the parasitic bipolar current gain.

I. 서 론

SOI MOSFET는 벌크 MOSFET에 비하여 기생 용량의 감소, 소자 절연의 용이함이나 문턱 전압 아래의 기울기 증가 등의 장점을 보여준다. 그러나 소스-드레인간의 항복전압 (BVds) 감소는 SOI 소자의 가장 큰 단점 중의 하나이다. 이러한 항복전압의 감소는 SOI 소자의 기판과 소스/드레인 영역이 바이폴라 트랜지스터와 같은 역할을 함으로써 발생하는 것이다. 이러한 결점을 해결하기 위하여 여러 가지 방법들, 밴드 갭

줄이기^[1], 캐리어 결합속도 증가법^[2], 소스 묶기^[3], GOLD 구조^[4] 등이 제안되어 왔다. SOI MOSFET의 또 하나의 단점은 실리콘 필름이 얇아짐에 따라 소스와 드레인의 기생 저항의 증가를 들 수 있다. 게이트가 파인 구조 (Gate-Recessed Structure, 아래부터 GR 구조라 함)의 SOI MOSFET를 이용하면 기생 저항의 크기를 크게 줄임으로써 극히 얇은 실리콘 박막의 SOI소자의 제작이 가능함을 실험적으로 보인 바가 있다^[5]. 본 논문에서는 기생 저항을 줄이기 위하여 도입된 GR 구조의 SOI MOSFET는 SOI 소자의 항복전압 향상에도 매우 효과적임을 측정 결과를 토대로 보이고자 한다. SOI MOSFET의 크기가 작아질수록 짧은 채널 효과를 줄이기 위하여 SOI 소자의 실리콘 필름 두께 또한 비례

* 正會員, 서울大學校 電子工學科

(Dept. of Elec. Eng., Seoul National Univ.)

接受日字: 1994年10月7日, 수정완료일: 1995年11월17日

하여 작아지는 경향이 있으므로 기생저항의 감소와 항복전압의 증가라는 두 가지 측면에서 GR 구조의 소자는 더욱 중요성을 지닌다. SOI MOSFET의 항복전압을 일으키는 요인이 되는 충돌 이온화율과 기생 바이폴라 트랜지스터의 증폭도를 비교하여 이 두 가지 요인이 항복전압에 미치는 요인과 항복전압의 향상에 GR 구조가 얼마만큼의 영향을 주는지 소자 시뮬레이터를 이용하여 정량적으로 분석한다.

II. 소자의 제작 과정

SOI MOS 소자는 SIMOX 웨이퍼를 이용하여 제작되었으며 초기 실리콘 필름의 두께와 메몰 산화막 층의 두께는 각각 200nm와 430nm이다. 주요한 제작 과정은 그림 1에 보였다.

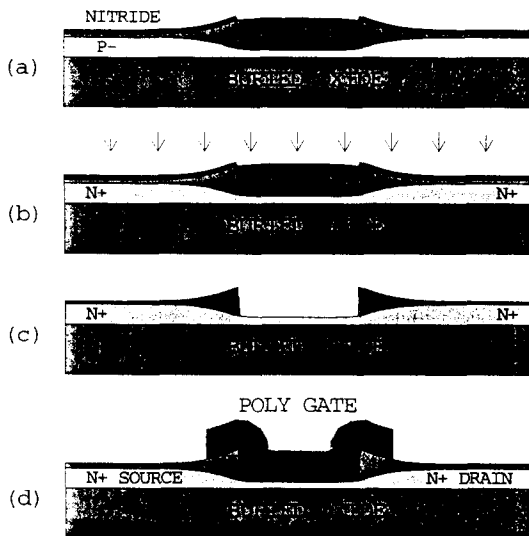


그림 1. GR 구조의 소자를 제작하기 위한 주요한 공정 과정도와 최종적인 소자의 구조

Fig. 1. Key process steps for fabricating the gate-recessed SOI MOSFET and the final device structure.

LOCOS 절연막을 형성시킨 후 40nm의 실리콘 질화막을 덮고 게이트가 될 영역에 실리콘 질화막을 제거하고 실리콘 산화막을 280nm 형성시킨다 (그림 1-a), 이러한 실리콘 산화막을 자기 정렬 마스크 (self-aligned mask)로 이용하여 높은 도즈 ($5 \times 10^{15} \text{cm}^{-2}$)의 인을 도핑한다 (그림 1-b). 이렇게 도핑된 인은 높은 온도의 열처리를 통하여 소스와 드레인

의 접합을 형성시킨다. 실리콘 질화막을 자기 정렬 마스크로 이용하여 채널 영역의 실리콘 산화막을 그림 1-c 와 같이 RIE 방법으로 제거시킨다. 그 다음부터의 공정은 보통의 MOS 제작 공정과 같다. 문턱 전압 조절용 이온 주입과 게이트 산화막을 형성시키고 N형 다결정 실리콘을 화학 기상증착한 뒤 게이트를 형성시키고 다시 비소를 높은 도즈 ($5 \times 10^{15} \text{cm}^{-2}$)로 이온 주입한다. 소자를 제작하고 난 최종 모양은 그림 1-d에 보였다. SOI 소자에서 기생 저항을 줄이기 위하여 여러 가지의 GR 구조가 제안되어 왔으나 [6], [7] 본 논문에서 제안하는 GR 구조는 자기 정렬의 소스/드레인 대칭 형태를 갖추고 있다. GR MOS를 제작한 뒤 C-V 방법을 이용한 실리콘 필름의 두께는 50nm 이고 게이트 산화막의 두께는 17nm이다. 실리콘 박막의 도핑 농도는 $4 \times 10^{16} \text{cm}^{-3}$ 이다. 비교를 위하여 평면구조의 일반적인 MOSFET를 아울러 제작하였다. 실리콘 필름의 두께를 GR MOS와 같게 하기 위하여, 산화막을 기르고 HF를 이용한 습식 에칭을 하는 방법으로 실리콘 필름의 두께를 줄인 뒤 소자제작을 하였다. 게이트 산화막의 두께와 문턱 전압 조절용 불순물 주입 등의 공정조건은 GR MOS 소자와 동일하다. 제작을 완료한 뒤 C-V 방법으로 두께를 측정한 결과 60nm로 GR 구조의 소자와는 10nm의 두께 차이가 있었다. 좀 더 자세한 공정은 과정과 조건은 [5]에 보였다. 두 소자간의 10nm 두께 차이로 인한 BVds의 영향은 두 소자의 도핑 농도를 고려하면 무시할 만한 양임이 알려져 있다 [8].

III. 결과와 검토

GR 구조의 SOI 소자와 평면 구조의 SOI 소자의 측정된 I-V 특성 곡선이 그림 2에 주어져 있다. 채널 길이는 $1 \mu\text{m}$ 이며 폭은 $20 \mu\text{m}$ 이다. GR SOI 소자는 평면 구조의 소자에 비하여 상당한 양 ($\sim 2\text{V}$)의 항복전압의 증가를 보여주고 있다. GR SOI 소자의 항복전압 증가 요인을 정량적으로 분석하기 위하여 기관 전류를 측정하였다. 그림 3은 기관 전류를 측정하기 위한 SOI MOSFET의 구조와 측정회로도이다. 기관전극이 달린 SOI MOSFET의 소자 layout은 그림 3에 보인 바와 같은 구조로 별도로 설계되었다. 그림 4는 GR 소자와 평면 소자의 기관 전류 측정값을 보이고 있다. SOI MOSFET에서는 드레인 영역에서 발생한 기관 전류가

기판 전극에서 완전하게 측정될 수는 없다. 그러나, 그림 4의 두 비교 소자는 실리콘 필름의 두께가 거의 같으며 문턱전압 조절용 불순물 주입이 같으므로 기판 전류의 정량적인 비교는 의미가 있다. 그림 4에서 GR 소자는 평면 소자의 기판 전류에 비하여 훨씬 적은 기판 전류를 보임을 알 수 있다. 그림 5는 GR 구조의 소자와 평면 구조의 소자의 실리콘 표면에 대한 도핑 분포를 보여주고 있다. 그림 5에 보인 바와 같이 GR 소자는 드레인 영역의 도핑이 마치 LDD 소자와 같은 구조를 가지고 있기 때문에 기판 전류의 감소를 얻을 수 있는 것이다. 기판 전류의 감소는 더 높은 드레인 전압에서 기생 바이폴라 효과의 트리거링 (triggering)을 일으키므로, 그 만큼 더 높은 BVds를 보이며 따라서 기판 전류의 감소, 즉 충돌 이온화율의 감소는 GR 구조의 소자의 항복전압 증가에 중요한 요인이 된다. 그러나 기판 전류의 특성만으로는 그림 2에서 보는 바와 같이 2V 정도의 항복전압 증가를 설명하지 못한다. 왜냐하면, 그림 4의 기판 전류 측정 결과는 1V 미만의 BVds 증가를 예측하고 있기 때문이다.

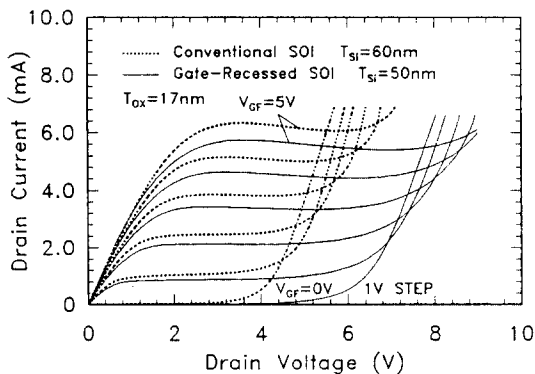


그림 2. GR 소자와 평면 소자의 측정된 I-V 특성의 비교 (W/L=20 μ m \times 1 μ m)
 Fig. 2. Measured I-V characteristics of the planar SOI MOSFET and the GR SOI MOSFET (W/L=20 μ m \times 1 μ m).

SOI 소자에서 소자의 BVds에 영향을 미치는 또 다른 중요한 요인은 기생 바이폴라 트랜지스터의 증폭도 (β) 이다. 평면 구조의 LDD 소자와 SD (single drain) 소자의 시뮬레이션을 통하여 β 가 SOI 소자의 BVds에 큰 영향을 미친다는 것이 보고된 바 있다^[9]. 그 원인은 소스 영역의 낮은 도핑 (lightly doped

source, LDS)이 드레인 영역에서 생성된 홀을 소스로 주입되는 것을 용이하게 함으로써 마치 바이폴라 트랜지스터에서 에미터 굽힘수 (Gummel number)의 감소를 주는 것과 같은 효과를 일으키기 때문이다. GR 구조의 소자도 대칭적인 구조를 가지고 있으므로, 소스 영역 또한 그림 5와 같은 불순물 분포를 보이고 있다.

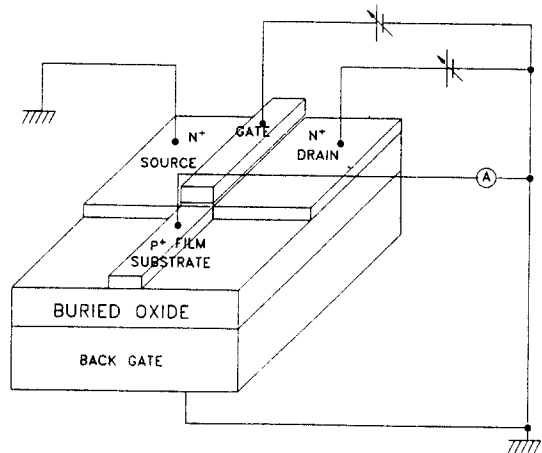


그림 3. SOI MOSFET에서 기판전류를 측정하기 위한 소자의 구조와 그 회로도
 Fig. 3. Device structure of SOI MOSFET for measuring the substrate current and bias condition for its measurement.

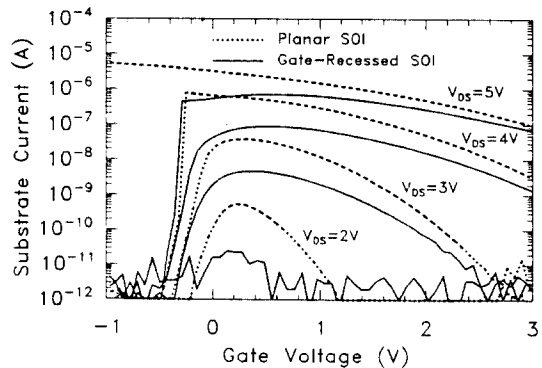


그림 4. 여러 가지의 드레인 바이어스에서 게이트 전압에 대한 평면 구조의 MOS 소자와 GR 구조의 MOS 소자에서 기판 전류의 변화
 Fig. 4. Substrate current versus gate bias characteristics of the planar and the GR SOI MOSFET's with the drain bias as a parameter.

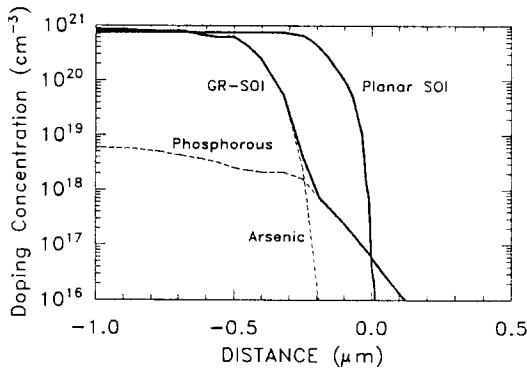


그림 5. 평면 구조의 소자와 GR 구조의 소자에 대한 실리콘 표면에서의 도핑 분포
 Fig. 5. Lateral doping profiles of the planar and the GR SOI MOSFET's at the surface of silicon film.

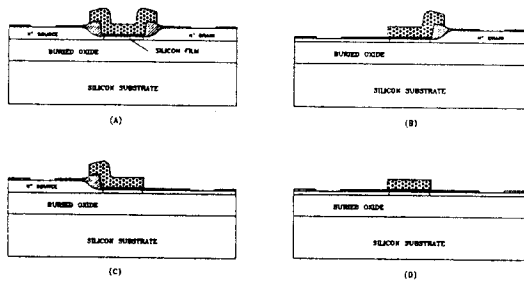


그림 6. 2차원 소자 시뮬레이션에 사용된 소자의 구조. (a): GR 구조의 소자, (b): GR 구조가 드레인에만 존재하는 소자, (c): GR 구조가 소스에만 존재하는 소자, (d): Planar 소자
 Fig. 6. The simulated device structures (a): GR device, (b): GR structure adopted to drain only, (c): GR structure adopted to source only, (d): Planar device.

정량적으로 이러한 LDS 효과가 BVds에 미치는 영향을 분석하기 위하여 SOI 소자에 대한 이차원 소자 시뮬레이션을 수행하였다. 그림 6은 시뮬레이션에 사용된 소자의 구조이다. A 소자는 GR 구조의 소자이며 D 소자는 평면 구조의 소자이다. B 소자는 GR 구조가 드레인에만, C 소자는 GR 구조가 소스에만 존재하는 가상의 소자들이다. B 소자의 시뮬레이션을 통하여 충돌이온화의 감소가 BVds에 주는 영향을 그리고 C 소자의 시뮬레이션을 통하여 기생 바이폴라 트랜지스터의 증폭도가 BVds에 주는 영향을 분석할 수 있다.

사용된 소자 시뮬레이터는 SNU-2D^[10]이며 SOI 소자의 항복전압 예측에 필수적인 격자온도 증가 현상 (self-heating effect)과 밴드갭 줄어듦 현상 (band-gap narrowing effect)도 SNU-2D에 고려되었다. 충돌이온화율의 격자온도 (lattice temperature) 의존성은 다음의 형태를 따랐다^[11].

$$\alpha = a_n \exp \left[- \left(\frac{b_o (1 + \gamma (T_L - 300))}{E} \right) \right]$$

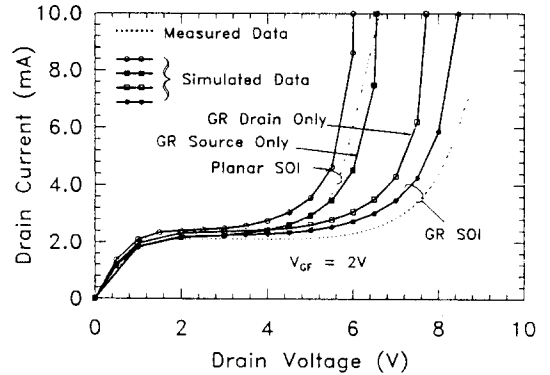


그림 7. 게이트 전압이 1V 인 경우의 측정된 I-V 특성과 시뮬레이션된 I-V 특성
 Fig. 7. The measured and the simulated I-V characteristics for the gate voltage of 1V.

a_n , b_o , γ 는 실험결과와 맞추기 위하여 각각 $7.0 \times 10^5 \text{cm}^{-1}$, $1.35 \times 10^6 \text{Vcm}^{-1}$, $3.5 \times 10^{-3} \text{K}^{-1}$ 로 조정되었다. 2차원 도핑 프로파일은 TSUPREM4에서 얻었는데 단위실험의 ASR 측정 결과를 통하여 TSUPREM4는 실리콘과 실리콘 산화막 사이에서의 인의 확산을 실제보다 작게 예측하는 것으로 확인되었으며 이 점을 보상해주기 위하여 확산 시간을 실제 공정 조건보다 크게 하였다. 게이트 전압이 1V일 때의 시뮬레이션된 I-V 특성을 그림 7에 보였다. LDS 효과 또한 항복전압 개선에 커다란 영향을 줄을 알 수 있다. 그림 8은 여러 가지 게이트 전압의 변화에 따른 BVds의 변화를 보여준다. BVds에 대한 여러 가지의 정의가 존재하지만 게이트 전압에 따른 BVds의 변화를 보기 위하여 본 논문에서는 $dI_d/dV_d (W/L) = 0.05 \text{mS}$ 가 되는 드레인 전압을 BVds로 정의하였다. 그림 8의 A와 B 또는 C와 D를 비교하면 LDS의 영향을 그리고 A와 C 또는 B와 D를 비교하면 충돌이온화의

BVds 영향을 알 수 있다. 시뮬레이션된 BVds가 실제 측정값과 정확하게 일치하지는 않지만 LDS가 BVds에 커다란 영향을 (0.4V에서 1.0V 정도) 준다는 것을 알 수 있다. 따라서 GR구조에서 도핑이 천천히 변화하는 것이 충돌 이온화율과 더불어 BVds 증가에 결정적인 영향을 미침을 알 수 있다. 보통의 평면 LDD구조를 이용하여도 LDS 효과를 얻을 수는 있다. 그러나 LDD 구조의 소자는 소스 영역의 저항의 증가로 전류 구동 능력이 감소하는 것이 큰 단점이며 더욱이 SOI 구조의 소자에서의 LDD 형태는 더욱더 나쁜 효과를 주며^[4], 이것이 SOI MOSFET에서 LDD 형태를 피하고자 하는 큰 이유 중의 하나이다. 그러나 본 논문에서 보인 GR 구조의 소자는 그림 2에 보인 바와 같이 전류 구동의 감소가 그리 크지 않음을 알 수 있다. 그것은 비록 소스와 기판의 접합에 낮은 도핑의 영역이 존재하지만 소스와 드레인이 채널 영역 위에 존재하는 구조 (elevated source/drain structure)를 지니고 있으므로 채널 끝부분에서 소스 전극까지의 전체적인 기생저항을 고려하면 GR 구조의 소자가 평면 LDD에 비하여 그리 크지 않기 때문이다. SOI 소자의 실리콘 박막의 두께가 작아질수록 GR 소자의 이러한 장점은 증가한다.

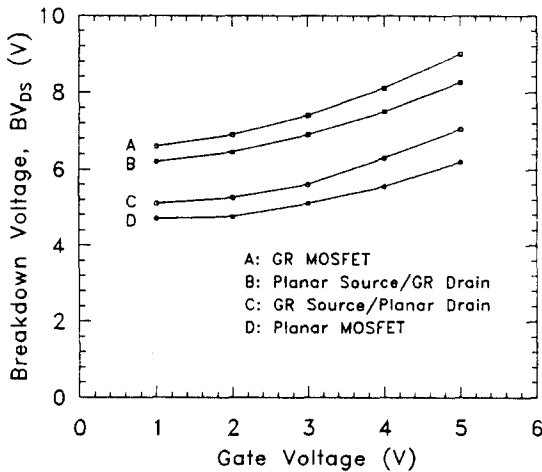


그림 8. 여러 가지 게이트 전압에 대한 시뮬레이션된 BVds 특성

Fig. 8. Simulated breakdown voltage characteristics as a function of gate voltage.

그림 8은 게이트 전압이 0V보다 작은 경우에 대한

GR 구조의 소자와 평면 소자의 항복전압 특성을 보인 것이다. 게이트 전압이 0V보다 작은 경우에 SOI 소자의 항복은 GIDL (gate induced drain leakage) 전류에 의하여 발생한다^[12]. 그림 9에 보인 바와 같이 GR 구조의 소자는 평면 구조의 소자에 비하여 3V 정도 되는 BVds의 증가를 보여준다. 이것은 GR 구조의 소자는 드레인 영역의 도핑이 천천히 변화함과 동시에 그림 1-d에 보는 바와 같이 게이트 산화막의 두께가 드레인과의 접합영역에서 증가함으로써 GIDL 전류의 감소를 가져온다. 그림 9에서는 GR 구조의 소자의 GIDL 전류가 현저히 줄어들음을 볼 수 있다. 이러한 특징으로 인하여 GR 구조의 SOI 소자는 게이트 전압이 0보다 작은 영역에서도 커다란 항복전압의 증가를 준다.

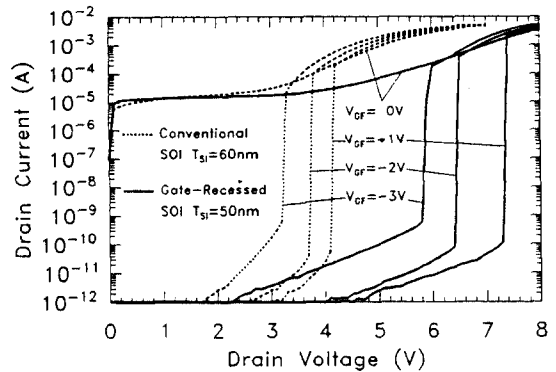


그림 9. 게이트 전압이 0보다 작은 경우에 대한 BVds 특성

Fig. 9. Breakdown Voltage characteristics at various negative gate biases.

IV. 결론

본 논문에서는 SOI MOSFET가 가진 가장 큰 단점 중의 하나인 항복전압의 감소를 게이트 영역이 파인 구조를 도입하여 극복될 수 있음을 실험을 통하여 보여주었으며, 그러한 항복전압의 증가요인을 기판 전류의 측정과 소자의 2차원 모의실험을 통하여 정량적으로 분석하였다. GR 구조의 소자가 기존의 LDD 구조와는 달리 전류의 구동능력 감소를 크게 일으키지 않으면서도 기생저항을 크게 감소시킴과 더불어 항복전압의 증가에도 효과적임을 보였다.

감사의 글

※ 이 연구는 교육부의 연구비 지원(ISRC 94-E-1007)에 의하여 이루어졌습니다.

참 고 문 헌

- [1] M. Yoshimi, M. Terauchi, A. Murakoshi, M. Takahashi, K. Matsuzawa, N. Shigyo, and Y. Ushiku, "Technology Trends of Silicon-On-Insulator - Its Advantages and Problems to be Solved -," *IEDM Tech. Dig.*, pp. 429-432, 1994.
- [2] H. F. Wei, N. M. Kalkhoran, F. Namavar, and J. E. Chung, "Improvement of Breakdown Voltage and Off-State Leakage in Ge-Implanted SOI n-MOSFETs," *IEDM Tech. Dig.*, pp. 739-742, 1993.
- [3] E. P. Ver Ploeg, T. Watanabe, N. A. Kistler, J. C. S. Woo, and J. D. Plummer, "Elimination of Bipolar-Induced Breakdown in Fully-Depleted SOI MOSFETs," *IEDM Tech. Dig.*, pp. 337-340, 1992.
- [4] Y. Yamaguchi, T. Iwamatsu, H.-O. Joachim, H. Oda, Y. Inoue, T. Nishimura, and K. Tsukamoto, "Source-to-Drain Breakdown Voltage Improvement in Ultrathin-Film SOI MOSFET's Using a Gate-Overlapped LDD Structure," *IEEE Trans. Electron Device*, vol. ED-41, no. 7, pp. 1222-1226, 1994.
- [5] J.-H. Choi, Y.-J. Park, and H.-S. Min, "Extremely Thin Film (10nm) SOI MOSFET Characteristics Including Inversion Layer to Accumulation Layer Tunneling," *IEDM Tech. Dig.*, pp. 645-648, 1994.
- [6] M. Chan, F. Assaderaghi, S. A. Parke, C. Hu, and P. K. Ko, "Recessed-channel structure for fabrication ultrathin SOI MOSFET with low series resistance," *IEEE Trans. Electron Device Lett.*, vol. EDL-15, no. 1, pp. 22-24, 1994.
- [7] O. Faynot, and B. Giffard, "High performance ultrathin SOI MOSFET's obtained by localized oxidation," *IEEE Trans. Electron Device Lett.*, vol. EDL-15, no. 5, pp. 175-177, 1994.
- [8] N. Kistler, and J. Woo, "Detailed Characterization and Analysis of the Breakdown Voltage in Fully Depleted SOI n-MOSFET's," *IEEE Trans. Electron Device*, vol. ED-41, no. 7, pp. 1217-1221, 1994.
- [9] J.-Y. Choi, and J. G. Fossum, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's," *IEEE Trans. Electron Device*, vol. ED-38, no. 6, pp. 1384-1391, 1991.
- [10] W.-S. Choi, J.-G. Ahn, Y.-J. Park, H.-S. Min, and C.-G. Hwang, "A time dependent hydrodynamic device simulator SNU-2D with new discretization scheme and algorithm," *IEEE Trans. Computer Aided Design*, vol. 13, no. 7, pp. 899-908, 1994.
- [11] P. B. M. Wolbert, G. K. M. Wachutka, B. H. Krabbenborg, and T. J. Mouthaan, "Nonisothermal device simulation using the 2-D numerical process/device simulator TRENDY and application to SOI-devices," *IEEE Trans. Computer Aided Design*, vol. 13, no. 3, pp. 293-302, 1994.
- [12] J. Chen, F. Assaderaghi, P. K. Ko, and C. Hu, "The Enhancement of Gate-Induced-Drain Leakage (GIDL) Current in Short-Channel SOI MOSFET and its Application in Measuring Lateral Bipolar Current Gain β ," *IEEE Trans. Electron Device Lett.*, vol. EDL-13, no. 11, pp. 572-574, 1994.

— 저 자 소 개 —



崔 珍 赫(正會員)
1967년 2월 3일생. 1989년 서울 대학교 전자공학 학사. 1991년 서울 대학교 전자공학 석사. 1995년 현재 서울 대학교 전자공학과 박사과정 재학 중. 주관심분야는 SOI 소자의

모델링과 특성분석임.

朴 榮 俊(正會員) 第 27卷 第 6號 參照
현재 서울대학교 전자공학과 부교수

閔 弘 植(正會員) 第 27卷 第 6號 參照
현재 서울대학교 전자공학과 교수