

論文95-32A-12-18

TFT/LCD 시스템 패키지 전기적 특성 분석 및 설계도구의 구현

(Development of a Tool for the Electrical Analysis and Design of TFT/LCD System Package)

任 虎 男 *, 池 龍 *

(Ho Nam Yim and Yong Jee)

요 약

본 논문에서는 박막 트랜지스터 액정표시기(Thin Film Transistor Liquid Crystal Display: TFT/LCD) 패키지 구성에 대한 전기적 특성 분석 및 구조 설계를 지원하여 주는 도구 LCD_FRAME 프로그램의 구현에 대해 고찰하였다. LCD_FRAME은 TFT/LCD 시스템 패키지 구조로부터 전기적 특성을 분석할 수 있으며, 사용자 제약 조건들을 만족하는 패키지 구조를 설계할 수 있다. 이러한 분석 및 설계는 TFT/LCD의 간략화된 패키지 수준 모델을 사용함으로써 실시간에 수행할 수 있게 하였다. LCD_FRAME은 패키지 구성 요소를 객체로 삼고 설계 구조 범위를 제시할 수 있는 객체 지향 전문가 시스템으로 구성되어 있다.

LCD_FRAME을 사용하여 480 x 240 pixel을 갖는 TFT/LCD 패키지에서 a-Si TFT의 I-V 특성들과 패키지 주사선을 따라 진행되는 신호 파형의 왜곡을 살펴보고, 그 결과 화면 가장 오른쪽 pixel까지의 최대 신호 지연 시간은 1.58 μ s로 분석되었다. 최대 6.35 μ s의 패널 주사선 신호 지연 시간을 갖고 3360 x 780 pixel을 갖는 액정 패널 패키지에 대한 설계에서 그 규격을 주사선 선폭은 20 μ m, pixel TFT의 게이트 폭은 60 μ m, 길이는 8 μ m 등으로 제시하였다. LCD_FRAME 프로그램에서 제시되는 결과들은 SPICE의 입력 파일, 텍스트 형태의 자료 파일 및 그래프 형태로 제공되도록 하였다.

Abstract

This paper describes the development of a software tool LCD_FRAME that may guide the analyzing process for the electrical characteristics and the design procedure for constructing the thin film transistor liquid crystal display(TFT/LCD) packages. LCD_FRAME can analyze its electrical characteristics from the TFT/LCD system package configuration, and provide the design variables to meet the user's requirements. These analysis and design procedure can be done in real time according to the model at simplified package level of TFT/LCD. LCD_FRAME is an object-oriented expert system which considers package elements as objects.

With this LCD_FRAME software tool, we analyzed the I-V characteristics of a-Si TFT and its signal distortion which has maximum 1.58 μ s delay along the panel scan line of the package containing 480 x 240 pixels. We designed the package structure of maximum 6.35 μ s signal delays and 3360 x 780 pixels, and as a result we showed that the proper structure of 20 μ m scan line width, 60 μ m panel TFT gate width and 8 μ m gate length. This LCD_FRAME software tool provides results of the analysis and the design in the form of input files of the SPICE program, text data files, and graphic charts.

* 正會員, 西江大學校 電子工學科
(Department of Elec. Eng., College of Eng.,
Sogang Univ.)

※ 본 연구는 1994년도 교육부 반도체분야 학술연구
조성비에 의해 수행되었습니다.

接受日字: 1995年1月28日, 수정완료일: 1995年11月27日

I. 서 론

전자 시스템에서 패키지(package)는 시스템의 회로 부품들(circuit components)과 그들을 전기적으로 연결하는 연결 요소(interconnections)로 이루어져 있다^[1]. 전자 시스템 패키지에 대한 전기적 특성 분석을 생각할 때 이 패키지를 이루고 있는 요소들에 대한 해석은 각각 개별적으로 모델링될 수 있다. 시스템의 집적도가 높아짐에 따라 그 구성 요소가 많아지므로 개별적으로 모델링된 요소들을 종합하여 전체 시스템 패키지를 분석하는 것은 비 효율적이고 각 요소의 모델중 전체 시스템의 특성 분석에 필요한 부분만을 선택하여 전체 모델을 구성하는 것이 바람직하다^[2]. 그 이유는 같은 구성 요소라도 전체 시스템에서의 위치에 따라 다른 모델로 나타날 수 있기 때문이다. 예를 들면 TFT/LCD(Thin Film Transistor/Liquid Crystal Display: 박막 트랜지스터 액정표시기) 패키지에서 구동기 출력단의 패스 트랜지스터로 사용되는 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 소자는 그 on 저항으로 모델링될 수 있고, 패널 내의 주사선에 게이트가 접속되어 있는 MOSFET 소자 즉 TFT(Thin Film Transistor: 박막 트랜지스터) 소자는 그 게이트 캐패시턴스로 모델링될 수 있으며, 액정 셀로의 신호 전달 파형 분석이 요구되는 부분의 MOSFET 소자는 신호 전달 특성을 기술할 수 있는 완전한 TFT 소자 모델이 필요한 것이다. 이러한 관점에서 본 논문에서는 각 요소에 대한 모델링은 부품 수준 모델링(component level modeling), 부품 수준 모델중 필요한 특성들만을 선택하여 전체 모델을 구성하는 과정은 패키지 수준 모델링(package level modeling)으로 하여 시스템을 분석하는 도구를 구성하였다.

기존의 연구 방법으로는 칩 내에서의 선 연결(chip level wiring)에 의한 영향에 대한 것^[3,4,5], 단일 칩 모듈에서의 리드에 의한 전기적 기생 변수의 영향에 대한 것^[6], 다중칩 모듈에서의 칩 사이의 연결선에 관한 것^[7,8,9] 등이 있다.

TFT/LCD는 TFT를 스위칭 소자로 사용하여 LCD에 선택적으로 영상 신호를 인가하여 반응케 하는 평판 표시 장치이다. TFT/LCD 패키지의 전기적 특성 분석에 있어 고려되어야 할 요소는 패키지 수준의 모델을 생성하는 것이다. TFT/LCD 패키지에 대한 패키

지 수준 모델링은 TFT/LCD 시스템이 수십 μm 이내의 주파수 이내에서 동작하며, RC 모델로도 충분히 적은 오차 범위 내에서 분석 가능하다는 가정에 근거를 두고 있다. TFT/LCD 패키지의 구성 요소들 중 분석의 대상은 구동기의 출력단, TAB 테잎, 액정 패널의 신호 전달선과 TFT등이다. 구동회로중 행 구동기는 액정 패널의 각 행을 순차적으로 주사하는 역할을 하며, 열 구동기는 선택된 행의 영상 신호를 각 pixel으로 내보내는 역할을 한다. TAB 테잎은 이들 구동기를 외부와 연결시키기 위한 일차적인 패키지이며, 이 시스템에서는 구동기를 액정 패널과 연결시키는 역할을 하고 있다. 액정 패널에는 스위치 역할을 하는 TFT와, 이 TFT들을 외부 구동 회로와 연결시키기 위한 연결선들이 있다. TFT/LCD와 같이 고밀도로 집적화된 시스템에서 이들 각 부분만을 별도로 분석한다는 것은 시스템의 설계, 제작에 있어 커다란 의미를 갖지 못한다. 따라서 패키지 수준 모델링 방법을 기반으로 하여 TFT/LCD 패널, 구동기 IC 등의 부품을 포함하는 시스템에 대한 설계와 분석의 과정을 일괄적으로 안내하여 줄 수 있는 시스템 개발 도구인 LCD_FRAME을 구현하였다. LCD_FRAME은 패키지의 각 부품을 객체로 표현하며, 주어진 구조로부터 전기적 특성을 분석해 내는 순방향 추론과 주어진 전기적 특성으로부터 패키지 구조를 찾아내는 역방향 추론 과정을 가지고 있는 객체 지향 전문가 시스템으로 구성하였다. TFT/LCD 시스템 개발자는 이 도구를 사용함으로써, 패키지의 연결 구조로 인한 기생성분들(parasitics)이 시스템의 전기적 특성에 미치는 영향을 분석할 수 있고, 설정된 광학적, 전기적 특성을 만족하는 패키지 구조를 설계할 수 있다.

본 논문에서는 TFT/LCD 시스템 패키지와 같이 집적화된 시스템의 분석을 위해 패키지 수준 모델링 방법을 소프트웨어로 구성한 분석, 설계도구인 LCD_FRAME을 구현하였다. II, III장에서는 각각 LCD_FRAME의 구조와 구현에 대해 설명하였으며, IV장에서는 LCD_FRAME을 이용한 분석, 설계 방법 및 그 결과에 대해 기술하였다.

II. 분석 및 설계 도구 구조

1. 도구의 구현 방법

객체 지향적 분석(Object Oriented Analysis)에서

는 각 객체가 가진 특성들은 객체의 자료 구성원(data member)으로, 객체가 수행하는 역할은 함수 구성원(member function)으로 나타낼 수 있도록 해 주며, 객체 지향 프로그래밍(Object Oriented Programming: OOP)은 분석의 대상과 같은 구성으로 소프트웨어를 구성할 수 있게 해 준다. 따라서 기하학적 구조를 가진 패키지의 분석에 있어서도 각각의 부분에 대한 객체를 생성함으로써 보다 효율적인 소프트웨어를 구성할 수 있다. LCD_FRAME은 객체를 단위로 하여 구성하였으므로 프로그램의 사용,수정 등을 보다 직관적으로 용이하게 할 수 있다.

전문가 시스템은 작업 메모리(working-memory), 규칙 메모리(rule-memory), 규칙 해석 모듈(rule-interpretter)의 세 가지 요소를 가지고 있다^[10]. 작업 메모리는 문제의 현 상태를 기술해 주는 <특성 요소 - 특성 값>의 집합체이며, 규칙 메모리는 작업 기억 요소에 담겨 있는 요소에 대해 작용하는 조건문들의 집합체이고 규칙 해석 모듈은 작업 메모리의 요소들을 규칙 메모리의 요소들과 비교하여 어떤 규칙을 적용해야 하는지를 결정하는 역할을 한다. 이 규칙 해석의 방법에는 크게 두 가지가 있다. 주어진 자료로부터 출발하여 결과를 이끌어 내는 순방향 추론(forward chaining)과 이미 도출된 결과로부터 자료를 추출해 내는 역방향 추론(backward chaining)이 그것이다.

2. 분석 및 설계 과정

TFT/LCD 패키지의 분석에는 SPICE등의 일반 회로 분석 프로그램 상에서 패널을 RC ladder 회로로 모델링하고, MOS 모델을 변화시킨 a-Si TFT 모델을 포함시켜 시뮬레이션을 수행하고 있다. 그러나 이 방법은 액정 패널의 구조로부터 변수를 직접 계산하고 SPICE 용 코드를 작성해 주어야 하는 단점이 있으며, 결과의 확인에 있어서도 직접 데이터 화일이나, 파형으로부터 신호 지연 시간 등의 결과를 찾아내야 한다. 또한 이와 같은 분석에 있어서 구동기의 출력단에 의한 영향은 고려하지 않고 있다. LCD_FRAME 에서는 주어진 패키지 객체 구조로부터 전기적 변수를 계산하여 주며, 이를 이용하여 SPICE 시뮬레이션을 자동으로 수행하고 결과를 확인케 하여 주고, 시뮬레이션을 통하지 않고도 신호 지연 시간을 계산하여 알려줄 수 있으므로, 기존의 방법보다 많은 노력을 줄인다.

TFT/LCD의 설계에 있어서는, 반복적인 계산 및 자

료 처리면에서 가지고 있는 컴퓨터의 장점을 LCD_FRAME이 이용하여 설계 결과를 도출해 낸다. LCD_FRAME은 실험 결과로 밝혀진 사실이나 자료를 자체에 내포하도록 구성되어 있으므로, 자료의 축적에 따라 보다 나은 설계가 이루어질 수 있다. 또한 설계 가능한 패키지 구조의 범위를 제시하므로 이 범위 내에서 설계자는 융통성 있게 설계할 수 있다. LCD_FRAME에서는 신호 전달 과정에서의 왜곡을 분석하기 위한 간이 시뮬레이터 LCD_SIM과 파형 및 특성 곡선의 표시를 위한 그래프 표시기 LCD_CHART를 포함시켰다. LCD_FRAME의 분석 및 설계시 프로그램의 흐름은 그림 1과 같다.

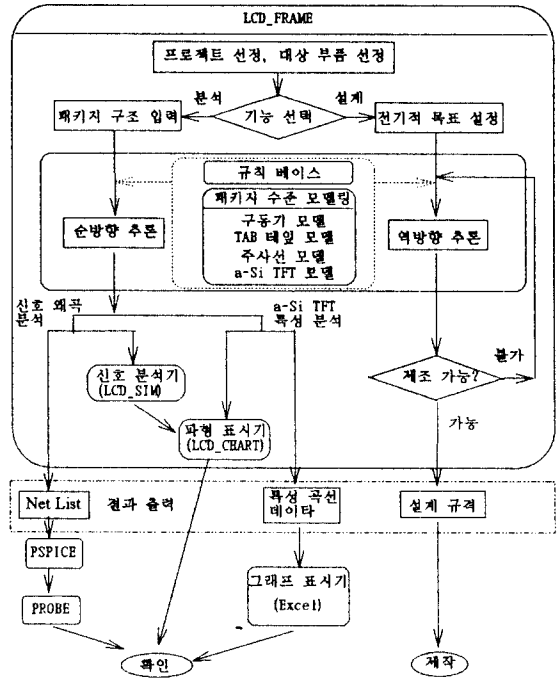


그림 1. LCD_FRAME의 흐름
Fig. 1. Flow of LCD_FRAME.

3. 사용자 인터페이스

본 LCD_FRAME은 MS-WINDOWS상에서 동작하게 구성하였으며, 대화상자(dialog box)를 통한 편리한 그래픽 환경을 사용자에게 제공하여 사용자가 설계, 분석에 보다 효율적으로 참여할 수 있도록 구성하였다. TFT/LCD 시스템 설계자는 '프로젝트 네비게이터 (Project Navigator) 윈도우'를 사용하여 모든 작업을 수행할 수 있도록 꾸며져 있다. 이 네비게이터는 사

용자가 목표로 하는 프로젝트의 계층에서 작업할 수 있도록 한다. 하나의 프로젝트는 여러 개의 타겟(target)으로 이루어져 있다. 이 타겟 계층은 한 시스템을 구성하는 각 부품(액정 패널, 구동기, TAB 테잎 등의 객체)들을 가지고 작업한다. 어떤 부품들을 선택할 것인지가 이 단계에서 결정된다. 이 다음 단계가 프로세스 단계이다. 이 단계에서는 각 부품에 대해 어떤 작업이 이루어질 것인지를 지정한다. 각 부품에 대해 구조를 입력받고, 모델링을 수행하여 라이브러리를 구성하고, 이들을 이용하여 부품의 전기적 특성을 점검하는 과정이다. 각 부품의 패키지 구조를 입력받는 부분은 텍스트 형태와 그래픽 형태의 두 가지를 지원한다. 분석 결과를 확인하기 위해서 사용자는 LCD_FRAME의 차트 보기 기능을 사용할 수 있다. 보다 정밀한 그래픽이 요구될 때에는 출력되는 데이터 파일을 사용하여 외부 프로그램(EXCEL등)에서 그래프로 그려볼 수 있게 구성하였다.

III. TFT/LCD 분석 및 설계 도구 구현

1. 객체




LCD_FRAME은 객체 지향 전문가 시스템(Object Oriented Expert System)으로 구성되었다. LCD_FRAME은 TFT/LCD 패키지의 각 객체(Object)를 전문가 시스템의 작업 메모리로 삼고, 규칙 메모리, 규칙 해석 모듈을 사용하여 TFT/LCD 패키지의 분석 및 설계를 수행하도록 구성되었다.

본 연구에서는 OOP의 장점을 살려 TFT/LCD 패키지의 각 부품, 즉, 패널에서 스위칭 역할을 하는 TFT, TFT에 전기 신호를 공급해 주는 신호선, 신호를 발생시키는 구동기, 그리고 구동기와 신호 선을 연결하는 부분(TAB 테잎)등 요소별로 나눈 형태를 각각 객체로 정의하여 각 구조 변수와 전기적 특성 변수 값을 갖고, 그 전기적인 전달 특성을 함수 구성원으로 하였다. 즉 모든 객체는 패키지 구조 자료 구성원을 가지며, 여기에 덧붙여 구동기 객체는 출력 저항이라는 자료 구성원을 가지고 구동 파형을 출력하는 역할을 수행하는 객체이고, 신호선은 연결 저항, 연결 캐패시턴스의 자료 구성원을 가지고 신호 파형을 전달하는 객체이며, TFT는 게이트 캐패시턴스 등의 자료 구성원을 가지고 전류를 출력하는 객체인 것이다. 각 객체와 그 객체가

가지는 패키지 구조 자료 구성원은 다음과 같으며, 대략적인 값의 크기를 표시하기 위해 괄호 안에 예를 보였다. 이 값들은 뒤의 분석에 변수 값으로 사용되었다.

표 1. LCD_FRAME의 객체 자료 멤버 및 그 값의 예

Table 1. Object data member of LCD_FRAME and its value.

객체 (부품)	데이터 멤버(규격)	값	단위
행 구동기	채널 폭	150	μm
	채널 길이	3	μm
	게이트 옥사이드 두께	400	\AA
패널	가로방향 fixel 수	480	
	세로방향 fixel 수	240	
	가로방향 fixel 크기	270	μm
	세로방향 fixel 크기	360	μm
TAB 테잎	길이	14	mm
	도체 폭	130	μm
	도체 두께	35	μm
	도체사이 거리	300	μm
	도체 저항률	11	$\mu\Omega\cdot\text{cm}$
	유전상수	3.4	
	유전체 두께	75	μm
패널 a-Si TFT	게이트 폭	60	μm
	게이트 길이	8	μm
	능동층 두께	500	\AA
	이동도	1	$\text{cm}^2/\text{V}\cdot\text{sec}$
	전도대 유효 상태밀도	7×10^{19}	cm^{-3}
	유전체 두께	3000	\AA
	a-Si permittivity	10^{-10}	F/m
	유전체 permittivity	6×10^{-11}	F/m
	플랫 밴드 전압	0.7	V
패널 주사 선로	폭	10	μm
	두께	1500	\AA
	길이	129.6	mm
	저항률	19	$\mu\Omega\cdot\text{cm}$

2. 전문가 시스템(Expert System)

LCD_FRAME은 TFT/LCD의 설계에 있어 축적된 지식 또는 규칙을 기반으로 하여 사용자에게 가이드를 제공하는 전문가 시스템(Expert System)의 성질을 가지고 있다.

LCD_FRAME에서는 위에서 기술한 TFT/LCD 패

키지 각 부품 자체의 기하학적 구조와 전기적 특성 변수들을 작업 메모리로 삼으며 TFT/LCD에 사용된 회로를 해석하는 데 필요한 기본적인 법칙들, 또는 TFT/LCD의 연구·개발 단계에서 알려진 여러 가지 기술적인 사항들과 같이 TFT/LCD에 관련된 모든 지식들을 규칙 메모리로 삼는다.

(규칙 1: 패키지 수준 모델링 규칙)

액정표시기 패키지 구조에서 구동 신호가 전달되는 선로는 그림 2와 같은 등가회로로 나타낼 수 있다. 그림에서 V는 구동 회로에서 생성된 주사 신호, R_{tr} 은 구동기 출력단 pass transistor의 on 저항, R_{int} 는 TAB 테이프 및 패널내 주사선의 등가저항, C_{int} 는 패널내 주사선의 캐패시턴스로서 패널내 모든 $C_{dot,n}$ 의 합, $C_{dot,n}$ 은 한 화소 주사선의 캐패시턴스이다.

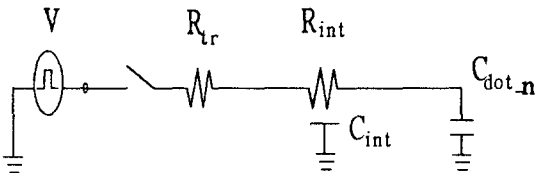


그림 2. TFT/LCD 주사 계통의 패키지 수준 모델
Fig. 2. A package level model of TFT/LCD scanning system.

(규칙 2: 신호 지연 시간 규칙)

구동기 출력단에서 계단파(step pulse)형태 신호가 인가되었을 때, 소자를 on시킬 수 있는 신호 파형의 90%가 전달되는 시간은

$$T_{90\%} = 1.0 R_{int} C_{int} + 2.3 (R_{tr} C_{int} + R_{tr} C_{dot} + R_{int} C_{dot})$$

의 식으로 주어진다^[11]. 패널내부 신호선에서의 파형은 측정이 불가능하므로 신호선 끝단에서 파형을 측정 한 후 시뮬레이션 결과를 이에 맞게 보정해 주는 작업이 필요하다.

(규칙 3: a-Si TFT 전기적 특성 규칙)

a-Si TFT의 부품 수준 모델은 각 노드 전압의 함수로 전류와 캐패시턴스를 나타내는 M. Shur의 모델을 사용한다^[12,13]

LCD_FRAME은 TFT/LCD 패키지의 기하학적 구조로부터 전기적 특성을 도출해 내는 순방향 추론과,

주어진 전기적 특성으로부터 이를 만족할 수 있는 기하학적 구조를 찾아내는 역방향 추론의 두 가지 규칙 해석 방법을 가지고 있다. 순방향 추론은 작업 기억 부분의 요소들과 연결되는 규칙을 찾아 나가는 방법이다. TFT/LCD 패키지 요소중 특정한 한 부품의 특성 요소들(패키지 구조 변수, 전기적 특성 변수)에 해당되는 규칙이 있는지를 모두 찾아 이 규칙을 분석에 적용시키게 된다. TAB 테이프, 액정 패널의 신호선과 TFT와 같은 패키지의 요소들과, TFT/LCD 패키지 전체가 이 분석의 대상이 된다. 역방향 추론은 주어진 목표를 이룰 수 있는 규칙을 찾아 나가는 방법이다. TFT/LCD 패키지에서 주사선의 신호 지연 시간을 특정값 미만으로 줄이는 것이 목표인 경우에 이 목표를 만족시킬 수 있는 설계 규칙을 찾아 이 규칙을 적용하여 설계를 하도록 가이드 라인을 제시한다. LCD_FRAME은 별도의 규칙 획득 기구를 두지 않고, 프로그램 내에 규칙을 직접 끼워 넣는 방식^[14]을 사용한다.

IV. 실험 결과

LCD_FRAME은 Borland C++ compiler를 사용하여 구현하였으며^[15], IBM-PC(80386이상의 CPU)와 MS-WINDOWS 3.1 (또는 그 이상) 운영 체제상에서 동작한다. LCD_FRAME은 패키지의 전기적 특성을 단순하게 모델링 하였으며, 이로 인해 사용하는 대화 방식으로 전기적 특성에 대한 분석 및 구조 설계를 수행할 수 있다.

TFT/LCD에 대한 분석 또는 설계 시스템에 대한 보고는 아직 이루어지지 않고 있는 상태이다. 따라서 본 논문에서는 구현된 LCD_FRAME을 사용하여 480 x 240 pixel을 갖는 패키지 구조로부터 주사선의 신호 지연 시간을 분석하고 pixel내의 a-Si TFT의 I-V 특성을 분석하였으며, 3360 x 780 pixel을 가지며 주사선 지연 시간이 주사 신호 펄스 폭의 10% 미만이 되는 구조를 설계하는 방법을 보임으로써 LCD_FRAME의 성능을 검사하였다. 시뮬레이션 프로그램으로 PSPICE를, 파형 표시기 프로그램으로 PROBE를 사용하였으며, 검사 결과 LCD_FRAME은 주어진 TFT/LCD 패키지에 대해 전기적 특성을 대화 방식으로 실시간에 분석, 제공할 수 있었고, 사용자 제약 조건을 만족하면서 제조 가능한 패키지 규격을 설계해 낼 수 있었다.

1. 패키지 전기적 특성 분석

전기적 특성 분석에서는 순방향 추론을 사용하여 각 부품별로 그 전기적 특성을 분석할 수 있고, 이 부품들을 종합적으로 연결하였을 때의 전기적 특성도 분석할 수 있다. 부품에 대한 분석은 pixel, 연결 선, 구동기, TAB 테잎의 각 부품에 대해 이루어지며, 전체 시스템에 대한 분석은 이들을 전체적으로 구성한 상태에서 이루어진다. LCD_FRAME은 전기적 특성 검사를 위해서 회로 분석 프로그램인 PSPICE를 사용하며, PROBE 프로그램을 이용하여 이 결과를 파형으로 확인할 수 있도록 하여 준다. 전기적 특성중 신호 파형의 90%가 전달되는 신호 지연 시간에 대해 분석하였다.

(1) TAB 테잎

TAB 테잎 객체에 대한 값이 표 1과 같이 주어졌을 때, 그 결과 TAB 테잎을 통과하는 신호의 왜곡에 대한 분석 결과를 그림 3과 같이 얻을 수 있으며, 90% 신호 지연 시간은 약 1×10^{-11} sec 정도로 나타났다.

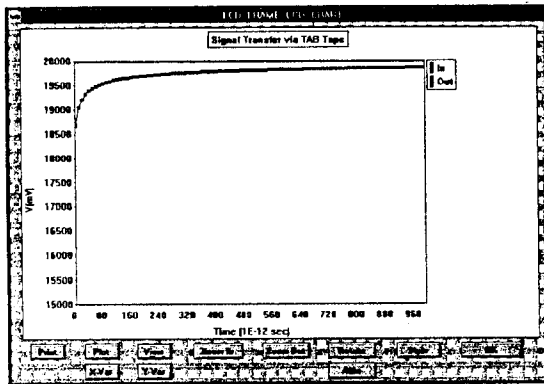


그림 3. TAB 테잎을 통과하는 신호의 왜곡
Fig. 3. Distortion of transmitting signal through TAB tapes.

(2) pixel TFT 소자

TFT 객체의 자료가 표 1과 같이 주어졌을 때, a-Si TFT 특성에 대한 규칙을 사용하여 $I_{ds}-V_{ds}$, $I_{ds}-V_{gs}$ 특성과 같은 TFT의 전기적 특성을 분석할 수 있다. I-V 특성의 계산에는 Gauss-Legendre 적분법을 사용하였다.

계산 결과는 파형 표시 대화 상자인 LCD_CHART를 통해 그래프 형태로 확인하며, 또는 생성되는 데이터 화일을 사용하여 외부 프로그램인 EXCEL등을 통하여 확인 및 데이터 처리를 한다. 그림 4와 5는 I-V 특성을 LCD_CHART를 통하여 확인한 것이다.

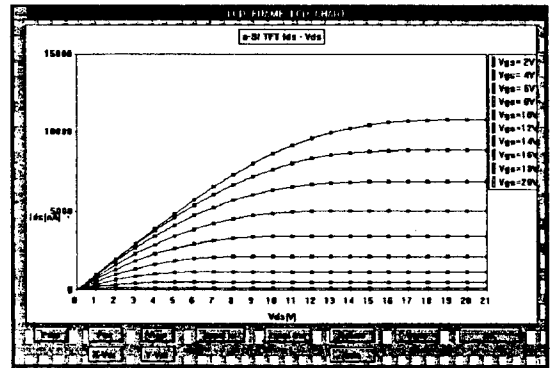


그림 4. a-Si TFT의 $I_{ds} - V_{ds}$ 특성곡선
Fig. 4. An $I_{ds} - V_{ds}$ characteristic curve of a a-Si TFT.

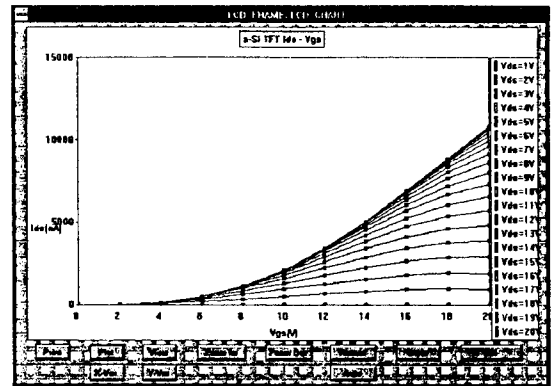


그림 5. a-Si TFT의 $I_{ds} - V_{gs}$ 특성 곡선
Fig. 5. An $I_{ds} - V_{gs}$ characteristic curve of a a-Si TFT.

(3) 주사선

패키지 요소 객체들에 대한 구조가 표 1과 같이 주어졌을 때, 등가회로 모델링에 대한 규칙과 신호 지연 시간에 대한 규칙을 적용하여 분석한 결과를 PSPICE 네트 리스트(net list)로 출력하고 이를 PSPICE를 이용하여 시뮬레이션 하였다. PSPICE와 같은 회로 시뮬레이션 프로그램에서는 분산 RC 네트워크에 대한 분석을 지원하지 않으므로 분산 RC 네트워크를 집중(lumped) RC 네트워크로 근사시키기 위해 10 개의 부분을 가진 L모델을 사용하였다. 그 결과 그림 6과 같은 주사선에서의 신호 왜곡 결과 파형을 얻을 수 있었다. 주사 신호 전압 V(In)이 구동기 출력단에서 출력되었을 때, V(Tape in)은 구동기 출력단과 TAB

테잎이 ILB(Inner Lead Bonding)된 부분, V(Tape_out)은 TAB 테잎과 액정 패널이 OLB(Outer Lead Bonding)된 부분, V(Dot_1_o_10)은 주사선의 앞에서부터 1/10 되는 부분, V(Dot_5_o_10)은 주사선의 중간 부분, V(Dot_9_o_10)은 9/10 되는 부분, V(Last)는 주사선의 마지막 부분에서의 신호 전압 파형을 나타낸다. 이와 같이 주사선 각 부분에서 신호 파형을 확인할 수 있다. 패널 내의 연결선에 대한 분석에서 고려하여야 할 부분은 그 저항 값과 선 폭 및 두께에 의한 연결선의 전기적 특성 변화이며, 그림 5에서 볼 수 있듯이 이 연결선을 진행하면서 신호는 크게 영향을 받는 것을 알 수 있다. TFT/LCD 패키지 전체적으로 볼 때 TAB 방식의 패키징은 전체 시스템의 전기적 특성 열화에 거의 영향을 미치지 않는 것으로 나타났다. 앞의 패키지 구조를 사용할 때 주사선에서의 최대 신호 지연 시간은 $1.58 \mu s$ 로 분석되었으며, 패널 내의 제일 좌측 pixel과 제일 우측 pixel사이의 신호 지연은 $1.06 \mu s$ 정도의 크기를 갖는 것으로 나타났다.

주사신호전압

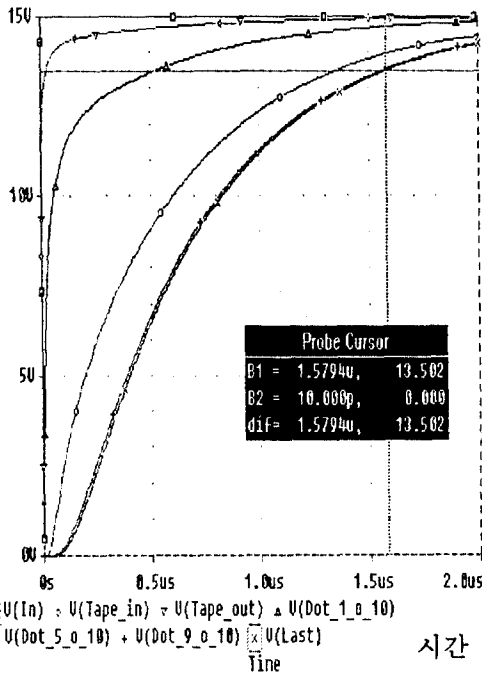


그림 6. TFT/LCD 주사 계통에서의 신호 지연 시간

Fig. 6. Signal delay time of a TFT/LCD scanning system.

2. 패키지 구조 설계

TFT/LCD 패키지의 설계시에는 전기적인 특성과 광학적인 특성을 동시에 고려하게 된다. 예로, material의 변경 없이 저항값을 낮추기 위해 주사선 폭을 넓게하려면 이에 따른 개구율 감소를 고려하게 되고, 개구율 증대를 목적으로 스토리지 캐패시턴스를 Storage on Previous Gate Line 방식으로 채택할 경우 이로 인한 주사선의 용량 증가 그리고 주사선 신호 지연 시간의 증가를 예측하게 된다. 제품의 설계시에 고려하여야 할 여러 변수들은 이렇게 서로 유기적으로 결합되어 있으므로 제품의 사양에 맞추어 사전에 내정된(default) 값으로부터 출발하여 두 가지 정도의 서로 상호 보완(trade-off) 관계에 있는 변수들을 선정한 후, 요구되는 사양을 만족하도록 조절하여 가는 방법이 적당하다. LCD_FRAME을 사용한 설계 과정을 다음과 같이 설정된 규격의 설계를 통하여 보인다. 액정 패널이 가로, 세로 각각 3360, 780 개의 pixel을 가지고 하나의 pixel은 가로, 세로 모두 $204 \mu m$ 의 크기를 가지며, 패널 주사선의 저항률은 $20 \mu\Omega\text{-cm}$, 두께는 2000 \AA 인 규격을 만족하는 패널을 설계하고자 한다. 이러한 규격에 대하여 주사선의 신호 지연 시간이 요구 사항으로 직접 주어질 경우 이와 관련된 규칙, 즉, 앞의 신호 지연 시간을 계산하는 식으로부터 패키지 구조를 찾아 낼 수 있다. 즉, 신호 지연 시간이 주사 신호 펄스 폭의 10% 이내에 해당하도록 하여야 한다면, 주사 신호 펄스 폭이 $63.5 \mu s$ 일 때 허용 가능한 최대 신호 지연 시간은 $6.35 \mu s$ 가 된다. 구동기 출력단의 설계에 있어 MOS의 게이트 길이는 최소 소자 크기(minimum feature size)로 결정할 수 있다. 앞의 분석 과정을 통하여 TAB 테잎은 신호 지연 시간의 변화에 별다른 영향을 미치지 않는다는 것이 밝혀졌으므로, 지정된 것을 선택하도록 한다. 이미 제작된 구동기를 사용하여야 하는 경우라면 이 구동기의 출력단이 충분히 구동할 수 있는 구조로 액정 패널이 설계될 수 있다. 액정 패널이 먼저 설계되어 있는 상태라면, 구동기를 그에 맞추어 설계할 수 있다. 그러나 두 요소를 같이 설계하여야 하는 경우라면 정해진 전체 신호 지연 시간을 넘지 않는 범위에서 액정 패널의 주사선의 구조 및 TFT의 게이트 구조와 구동기 출력단 각각의 구조를 최적화 시켜야 한다.

설계 과정의 수행하여 패널 마지막 pixel까지의 신호 지연 시간이 $6.35 \mu s$ 를 넘지 않도록 설계된 패키지

구조를 표 2와 같이 얻었다. 이러한 분석을 통하여 얻어진 TFT/LCD 패키지 구조중 액정 패널의 주사선과 TFT의 구조를 다음 그림 7과 같이 나타낼 수 있다.

표 2. 최대 6.35 μs 의 신호 지연 시간을 갖도록 설계된 패키지 구조

Table 2. Package structure of having 6.35 μs maximum signal delay.

부 품	규 격	값		단 위
		최대	최소	
행구동기	채널 폭		200	μm
	채널 길이	3	3	μm
	게이트옥사이드두께	400		\AA
패 널	가로방향 fixel수	3360		
	세로방향 fixel수	780		
	가로방향 fixel크기	204		μm
	세로방향 fixel크기	204		μm
TAB 테잎	길이	14		mm
	도체폭		130	μm
	도체두께		75	μm
	도체사이거리	300		μm
	도체 저항률	11		$\mu\Omega\cdot\text{cm}$
	유전상수	3.4		
	유전체 두께	75		μm
패 널 a-Si TFT	게이트 폭	60		μm
	게이트 길이	8		μm
	능동층 두께	500		\AA
패 널주사선	폭	204	20	μm
	두께		2000	\AA
	길이	228.4	228.4	mm
	저항률	20		$\mu\Omega\cdot\text{cm}$

이와 같은 설계 방식을 사용하여 사용자 제약 조건을 만족하는 패키지의 설계 구조 범위를 그림 8과 같이 동일 지연 시간 표면(isochronal delay surface)¹⁶¹을 갖는 그래프로 나타낼 수 있다. 이 그래프에서 X축은 주사선의 선 폭을, Y축은 구동기 출력단의 저항을, Z축은 주사선의 길이를 나타내며, 주어진 지연 시간 6.35 μs 동안에 진행할 수 있는 거리를 나타낸다. 이것은 전체 연결 캐패시턴스 550 pF, 주사선의 두께 0.2 μm , 주사선의 저항률 20 $\mu\Omega\cdot\text{cm}$ 일 때의 그래프이다. 액정 패널의 수평축 길이, 즉, 주사선의 길이가 정해졌을 때 이에 해당하는 등고선을 택하면 이 등고선 위에 해당하는 부분이 설계 가능한 규격이 된다. 이와

같은 분석은 구동기 출력단, TAB 테잎, 신호 전달선, TFT와 같은 TFT/LCD 패키지의 각 부품 단위와 패키지 전체적인 구조에서도 최적화된 설계를 가능케 한다.

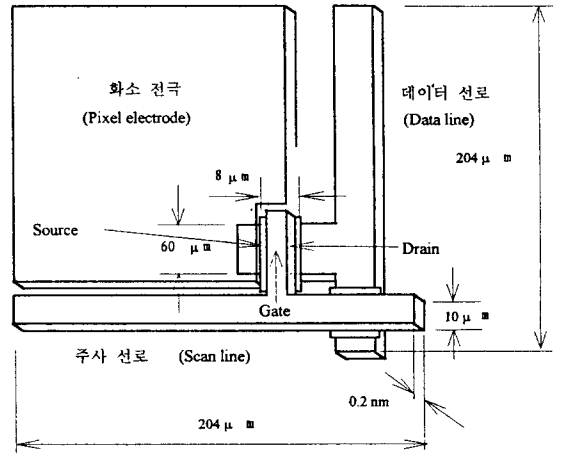


그림 7. 6.35 μs 최대 지연 시간을 갖도록 설계된 TFT/LCD 패키지의 패널 구조

Fig. 7. TFT/LCD panel structure designed to have maximum delay of 6.35 μs .

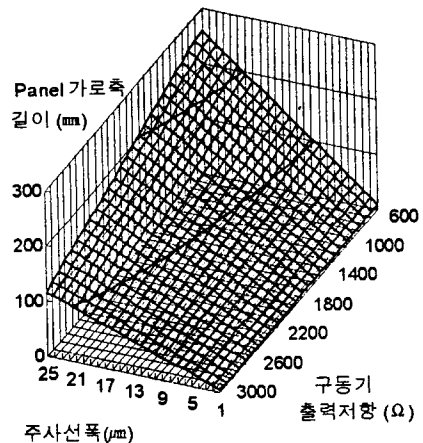


그림 8. 6.35 μs 의 동일 지연 시간 표면

Fig. 8. An isochronal surface for 6.35 μs delay time.

V. 결 론

본 논문에서는 TFT/LCD 패키지의 분석, 설계를 지원하는 소프트웨어 도구인 LCD_FRAME의 개발에 대해 기술하였다. 이 소프트웨어는 TFT/LCD의 각 부품들을 객체로 표현하고 부품 수준 및 패키지 수준에서

의 모델링을 수행하며, 여기서 생성된 모델과 규칙들을 기초로 하여 패키지의 분석 및 설계를 수행하는 객체 지향적 전문가 시스템으로 구성되어 있다. 이 분석, 설계 시스템을 사용하여 480H x 240V pixel을 가지는 TFT/LCD 패키지의 a-Si TFT $I_{ds}-V_{ds}$, $I_{ds}-V_{gs}$ 특성 곡선을 얻을 수 있었으며, TAB 테잎과 주사선에서의 신호 왜곡에 대한 분석을 수행하여 각각 10 ps, 1.58 μ s의 90% 신호 지연 시간을 가짐을 밝혀내었다. 또한 3360 x 780의 pixel을 가지며 주사선 지연 시간을 주사선 펄스 폭의 10% 미만으로 유지할 수 있는 패키지 구조를 설계한 결과 주사선 선평 및 TFT 게이트의 폭, 길이에 대한 규격을 각각 20 μ m, 60 μ m, 8 μ m 등으로 제시하였다.

LCD_FRAME의 구현에 있어 TFT/LCD의 간결화된 패키지 수준 모델을 사용한 결과, 분석 및 설계를 실시간으로 수행할 수 있었다. 그 결과들은 SPICE 넷 리스트 파일의 형태로 제공하여 외부에서 시뮬레이션할 수 있으며, 또한 LCD_FRAME내에서 시뮬레이션을 통하여 신호 파형의 변화 모습과 a-Si TFT의 I-V 특성 등을 그래프 형태로 확인할 수 있도록 하였다. 추후 과제로는 액정 셀에 대한 전기적 특성을 기술할 수 있는 모델을 설정하여 LCD_FRAME을 TFT/LCD의 광학적 모의실험까지 가능한 시스템으로 발전시키는 연구가 진행되어야 할 것이다.

참 고 문 헌

- [1] R.R. Tummala, E.J. Rymaszewski, Microelectronics Packaging Handbook, p.3, Van Nostrand Reinhold, 1989.
- [2] 임호남, 지 용, "TFT/LCD 부품 패키지에 대한 전기적 특성 해석," 대한 전자 공학회 하계 종합 학술대회 논문집, 제 17권 제 1호, pp.402-406, 1994
- [3] J.K. Ousterhout, "A Switch-Level Timing Verifier for Digital MOS VLSI," IEEE Trans. Computer-Aided Design, Vol. CAD-4, No.3, pp.336-349, July, 1985.
- [4] L.M. Brocco, S.P. McCormick, J. Allen, "Macromodeling CMOS Circuits for Timing Simulation," IEEE Trans. Computer-Aided Design, Vol.7, No.12, pp.1237-1249, Dec. 1988.
- [5] T. Sakurai, "Approximation of Wiring Delay in MOSFET LSI," IEEE J. Solid-State Circuits, Vol.SC-18, No.4, pp.418-426, Aug. 1983.
- [6] C.T. Tsai, "Package Inductance Characterization at High Frequencies," IEEE Trans. Comp., Hybrids, and Manuf. Technol., Vol.17, No.2, pp.175-181, May, 1994.
- [7] J.M. Jong, B. Janko, V. Tripathi, "Equivalent Circuit Modeling of Interconnects from Time-Domain Measurement," IEEE Trans. Comp., Hybrids, and Manuf. Technol., Vol.16, No.1, pp.119-126, Feb., 1993.
- [8] R.C. Frye, "Physical Scaling and Interconnection Delays in Multichip Modules," IEEE Trans. Comp., Hybrids, and Manuf. Technol., Vol.17, No.1, pp.30-37, Feb., 1994.
- [9] A.I. Kayssi, K.A. Sakallah "Delay Macromodels for Point-to-Point MCM Interconnections," IEEE Trans. Comp., Hybrids, and Manuf. Technol., Vol.17, No.2, pp.147-152, May, 1994.
- [10] T.J. Kowalski, An Artificial Intelligence Approach to VLSI Design, pp.9-12, Kluwer Academic Publishers, 1985.
- [11] H.B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI, Addison-Wesley, pp.194-211, 1990.
- [12] M. Shur, M. Hack, and J.G. Shaw, "A New Analytic Model for Amorphous Silicon Thin-Film Transistors," J. Appl. Phys. 66(7), pp.3371-3380, Oct., 1989.
- [13] M. Hack, M.S. Shur, and J.G. Shaw, "Physical Models for Amorphous-Silicon Thin-Film Transistors and Their Implementation in a Circuit Simulation Program," IEEE Trans. Electron Devices, Vol.36, No.12, pp.2764-2769, Dec., 1989.
- [14] D.W. Franke, "Imbedding Rule Inferencing in Applications," IEEE Expert, pp.8-14, Dec., 1990.

- [15] 임호남. "TFT/LCD 패키지 분석 및 설계 도구의 구현." 서강대학교 석사학위 논문. 1994
- [16] C. Hilbert, C. Rathmell, "Design and

Testing of High Density Interconnection Substrates." Multichip Modules, pp. 567-579, IEEE Press, 1991.

저 자 소 개



任 虎 男(正會員)

1968年 7月 26日生. 1993年 2月 서강대학교 전자공학과 졸업(학사). 1995年 2月 서강대학교 대학원 전자공학과 졸업(석사). 1995年 1月 ~ 현재 현대 전자산업(주) 재직. 주관심 분야는 TFT-LCD 설계 및 시뮬레이션 등임.

池

龍(正會員) 第 31卷 A編 第 3號 參照

현재 서강대학교 전자공학과 부교수