

論文95-32A-12-16

Air-Bridge 공정을 이용한 GaAs Power MESFET의 제작 및 특성 연구

(Fabrication and Characteristics of GaAs Power MESFETs Using Air-Bridge Processes)

李逸炯*, 金尙明**, 李應鎬***, 李鎮九*

(Il-Hyeong Lee, Sang-Myung Kim, Eung-Ho Rhee, and Jin-Koo Rhee)

요 약

1 μm 게이트와 undoped GaAs 표면층을 갖는 GaAs power MESFET을 영상반전 및 air-bridge 공정 등을 이용하여 제작하고 DC 및 RF 특성을 측정하였다. 전력용 소자의 총 게이트폭이 0.45~2.2 mm 의 범위에서 포화전류는 107~500 mA(197~255 mA/mm), RF 선형 출력전력은 111~519 mW(204~270 mW/mm), 전류이득 차단주파수는 7~10 GHz, 그리고 6 GHz 에서의 최대 단방향 전송 전력이득은 5.7~12.7 dB 및 전력부가효율은 37.9~41.2 % 를 얻었다.

Abstract

GaAs power MESFETs with 1 μm gate length and an undoped GaAs surface layer on the doped GaAs channel are fabricated using IR(image reversal) and air-bridge processes. And then We have measured and calculated DC and RF characteristics. We have obtained saturation current 107~500 mA (197~255 mA/mm), maximum linear RF output power 111~518.8 mW (204~270 mW/mm), current gain cut-off frequency 7~10 GHz, maximum unilateral transducer power gain 5.7~12.7, and power added efficiencies 37.9~41.2 % from the devices with gate width 0.45~2.2 mm, at 6 GHz.

I. 서 론

1966년에 Mead 등에 의해 GaAs MESFET가 처음으로 소개된 이후 반도체 결정 성장과 내부 정합을 통한 단위셀 소자 결합기술의 발전으로 1970년대 후반과 1980년대 초반에 걸쳐 4 GHz 에서 4 W 및 6

GHz에서 25 W 출력을 갖는 GaAs power MESFET가 발표되었다.^[1-3] 뿐만아니라, 1970년에 Mimura 등에 의해 우수한 주파수 특성을 갖는 이중접합 구조를 이용한 HEMT(high electron mobility transistor)가 개발되었지만^[4] 이후 고전력 소자로서 GaAs MESFET를 대체하지는 못했다. 왜냐하면 HEMT는 $1 \times 10^{18} \text{cm}^{-3}$ 정도의 높은 불순물 농도로 인하여 높은 항복전압을 얻기가 어렵기 때문이다. 따라서 power HEMT에서는 전류밀도를 높이기 위해 채널수를 증가시키는 연구가 진행되어 1987년에 Hikosaka 등에 의해 30 GHz 에서 7~8 V 항복전압 및 1 W 출력전력을 갖는 다채널구조의 MQ-HEMT (multi-quantum well HEMT)가 발표되었으나^[5] 에피층 성장면에서 아직도 어려움이 많다. 반면에, 큰

* 正會員, 東國大學校 電子工學科

(Dept. of Elec. Eng., Dongguk Univ.)

** 正會員, 韓國通信

(KT Research Lab.)

*** 正會員, SETRI 研究所

(SETRI Lab, Inc.)

接受日字:1995年7月4日, 수정완료일:1995年11月27日

래에 일반적인 GaAs power MESFET의 주파수 특성을 향상시키기 위한 새로운 시도로 일반적인 에피층 구조를 약간 변형시켜 n GaAs 채널층 위에 undoped AlGaAs 또는 undoped GaAs 층을 삽입하여 채널표면에서 발생하는 불필요한 기생효과를 줄임으로써 초고주파에서 고출력 및 고효율을 갖는 전력용 소자가 발표되었다.¹⁶⁻⁷¹

본 논문에서도 n GaAs 채널층 위에 undoped GaAs 층이 삽입된 에피 구조를 갖는 GaAs power MESFET을 영상반전(image reversal) 공정 및 air-bridge 공정을 이용하여 제작한 후 DC 및 RF 특성을 측정하였다.

II. GaAs power MESFET 단위공정

게이트 길이가 1 μm 이고 게이트 핑거수가 20 개 이상인 게이트를 갖는 GaAs power MESFET을 제작하기 위한 단위공정으로 영상반전 및 air-bridge 공정을 사용하였다.

영상반전 공정을 이용한 포토리소그래피(photo-lithography)는 자동적으로 over-hang 구조를 갖기 때문에 금속증착 후 리프트-오프에 용이하다. 특히, HMDS(hexame-thyldisilazan) 및 PR 코팅(coating), 베이킹(baking), 그리고 UV 노광 등의 공정 조건을 적절히 조절하면 현상후 PR의 두께를 2.5 μm 까지 얻을 수 있기 때문에 2.0 μm 정도의 금속증착 및 리프트-오프에도 매우 용이하다. 영상반전 공정에 사용한 PR은 AZ 5214E이며 공정순서는 초기 세척, HMDS 및 PR 코팅, prebaking, 패턴정렬 후 UV 노광, reverse 베이킹, 전면노광(flood exposure) 및 현상 순서이다.¹⁸¹

Interdigital 형태로 설계된 GaAs power MESFET의 격리된 전극을 상호연결하기 위해 증착방식을 통한 air-bridge 공정을 이용하였다. Air-bridge 구조는 절연체 crossover 구조에 비하여 격리물질의 비유전율이 작고 동시에 격리간격이 크기 때문에 기생 캐패시턴스를 크게 감소시킬 수 있다. 그림 1(a)-(d)는 격리된 소오스전극을 상호연결하기 위한 air-bridge 공정 단면도로 소오스 전극이 게이트 버스를 넘어가는 방식이다. 그림 1(a)는 air-bridge로 연결될 부분에 Au를 5000 Å 증착하여 소오스 포스트를 형성한 모습이고, 그림 1(b)는 AZ 1518E PR을 이

용하여 surface via 패턴 포토리소그래피(PR #1)와 hard 베이킹을 실시한 후에 전체 웨이퍼 표면에 약 100 Å 정도의 Au 박막을 형성시킨 모습으로 Au 박막은 다음 공정의 포토리소그래피에서 PR #1 이 현상되는 것을 막아주는 역할을 한다. 그림 1(c)는 영상반전 공정을 이용한 금속패턴 포토리소그래피(PR #2) 후의 형태로 PR 패턴은 리프트-오프에 용이한 over-hang 구조이며 PR 두께는 약 2.5 μm 이다. 그림 1(d)는 약 2 μm 두께의 Au를 증착한 후 리프트-오프하여 air-bridge 가 완성된 모습이다.

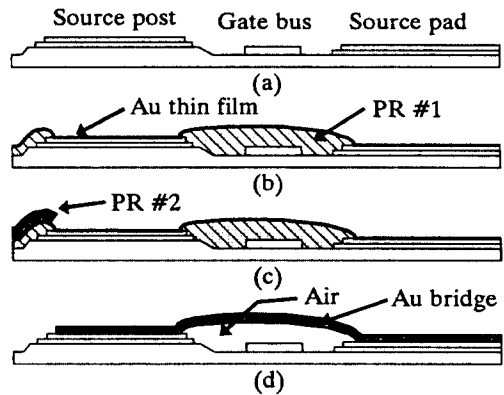


그림 1. Air-bridge의 공정단면도
Fig. 1. Cross sections of air-bridge processes.

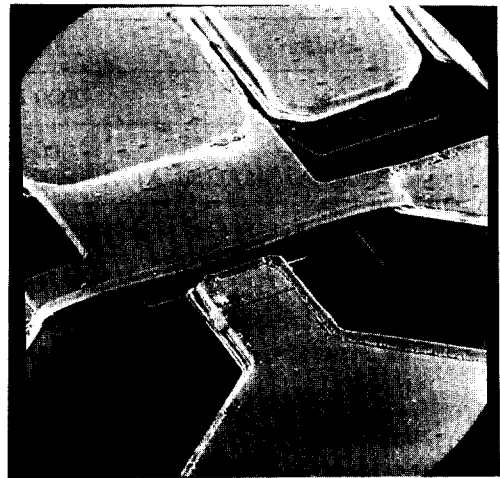


그림 2. 제작된 air-bridge 영역의 SEM 사진
Fig. 2. A SEM photo of fabricated air-bridge.

그림 2는 그림 1의 공정으로 제작된 air-bridge

부분의 SEM 사진으로 게이트 버스와 Au 브릿지 사이의 air-gap은 약 3.5 μm 이다.

III. GaAs power MESFET 제작

본 논문에서는 MBE(molecular beam epitaxy) 법으로 성장시킨 에피층 웨이퍼를 사용하여 GaAs power MESFET을 제작하였다. 그림 3 은 undoped 표면층을 갖는 GaAs power MESFET의 에피층 구조로 일반적인 에피층 구조를 약간 변형시켜 n+ GaAs cap층과 n GaAs 채널층 사이에 undoped GaAs 표면층이 삽입된 형태이다. 이러한 웨이퍼로 제작된 GaAs power MESFET은 채널위의 undoped GaAs 표면층이 이상적인 passivation 등으로 작용하여 채널표면에서 발생하는 기생효과에 의한 드레인 전류의 주파수 분산현상, 항복전압의 감소, 그리고 소오스저항 변화 등과 같은 현상을 줄일 수 있다. 또한 높은 트랜스컨덕턴스와 이득, 그리고 낮은 게이트-소오스 캐패시턴스를 얻기 위해서는 채널 리세스 에칭을 통하여 게이트와 접촉되는 undoped GaAs 표면층의 두께를 최적화해야 한다.^[7,9]

n ⁺ GaAs	3 x 10 ¹⁸ cm ⁻³	500 Å
i GaAs		700 Å
n GaAs	1.5 x 10 ¹⁷ cm ⁻³	1200 Å
i AlGaAs Buffer		1000 Å
i GaAs Buffer		2000 Å
Superlattice Buffer		1000 Å
Al _{0.3} Ga _{0.7} As(50 Å)/GaAs(50 Å)		10 Periods
Semi-insulating GaAs substrate		

그림 3. MBE로 성장된 에피층 구조
Fig. 3. The structure of an epi-layers grown by MBE.

GaAs power MESFET의 제작을 위한 마스크는 공정 순서에 따라 메사, 오믹, 리세스, 게이트 및 air-bridge 공정을 위한 surface via, 그리고 금속패턴의 총 6 장으로 제작하였다. 또한, 제작된 마스크 중에서 금속증착 후 리프트-오프가 필요한 공정의 마스크는 영상반전 공정을 이용하기 위해 opaque image

로 제작하였고 나머지 마스크는 transparent image 로 제작하였다.

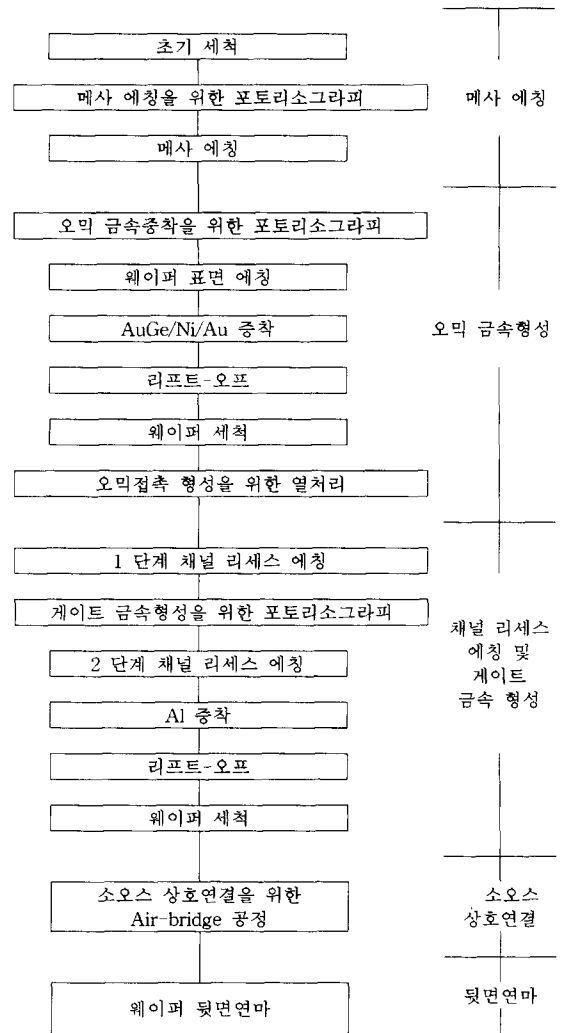


그림 4. GaAs power MESFET의 제작 순서
Fig. 4. A fabrication flow chart of GaAs power MESFETs.

그림 4 는 GaAs power MESFET 제작을 위한 전체 공정순서이다. 제작은 공정순서에 따라 메사에칭은 웨이퍼를 초기 세척한 후 황산 에칭용액(H₂SO₄ : H₂O₂ : H₂O = 1 : 8 : 160)을 이용하여 활성영역이 서로 격리되도록 6000 Å 에칭하였다. 오믹은 열적 증착기를 이용하여 약 10⁻⁶ Torr의 진공상태에서 AuGe/Ni(2300Å/300Å)를 증착한 후 450 °C, N₂ 분위기의 furnace로 열처리하였고, TLM 패턴으로 측

정된 오믹접촉 비저항은 $1.0 \sim 3.0 \times 10^{-6} \Omega\text{-cm}^2$ 이었다. 채널 리세스 에칭은 채널표면의 전계 집중현상을 감소시켜 항복전압을 높이기 위해 오믹패턴과 게이트 패턴을 이용하여 2 단계 채널 리세스 에칭을 실시하였다. 우선 웨이퍼의 에칭시간에 따른 포화전류의 관계를 분석한 데이터를 바탕으로 1 단계에서는 오믹패턴을 이용하여 n+ GaAs 층을 에칭하였고, 2 단계에서는 게이트 패턴 포토리소그래피를 실시한 후 게이트 아래의 undoped GaAs 층이 300~400 Å 남도록 에칭하였다. 1 단계에서는 6 분간 에칭하여 포화전류가 380 mA/mm 가 되도록 하였고, 2 단계에서는 4 분간 에칭하여 포화전류가 240 mA/mm 가 되도록 하였다. 게이트 금속증착은 Al을 7000 Å 증착한 후 아세톤으로 리프트-오프 하였다. 완성된 쇼트키 다이오드의 전류-전압 특성으로부터 ideality factor 1.12, built-in 전압 0.71 V, turn-on 전압 0.55 V 및 항복전압 18 V 를 얻었다. 마지막으로, 앞에서 논의한 air-bridge 공정을 실시하여 GaAs power MESFET의 제작을 완료한 후 웨이퍼의 두께가 150 μm 가 되도록 뒷면을 연마한후 뒷면에 Au를 증착하였다.

그림 5 는 상기의 공정을 통해 제작된 게이트길이와 게이트폭이 $1 \times 150 \mu\text{m}$ 이고 게이트 핑거수가 20 개인 GaAs power MESFET의 표면사진이다.

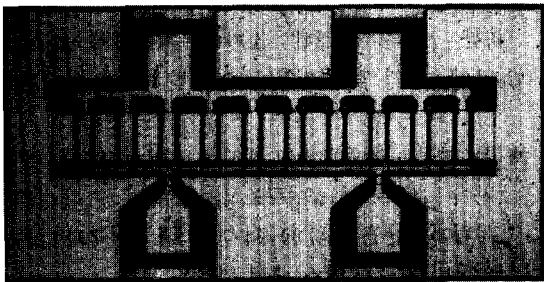


그림 5. 제작된 GaAs power MESFET 의 표면 사진

Fig. 5. A surface photo of the fabricated GaAs power MESFET's.

IV. GaAs power MESFET의 DC 및 RF 특성

상기의 제작공정으로 완성된 GaAs power MESFET의 DC 및 RF 특성을 웨이퍼상에서 측정하였다. 그리고 게이트 길이 1 μm , 단위 게이트폭 55 μm

m, 게이트 핑거수가 20 개인 소자의 대표적인 전류-전압 특성과 S-파라미터를 각각 그림 6 과 그림 7 에 나타내었다. 그림 6 에 나타난 전류-전압은 $V_{ds} = 1.0 \text{ V/div}$, $I_{ds} = 0.1 \text{ A/div}$, $V_{gs} = -1.0 \text{ V/step}$ 이다.

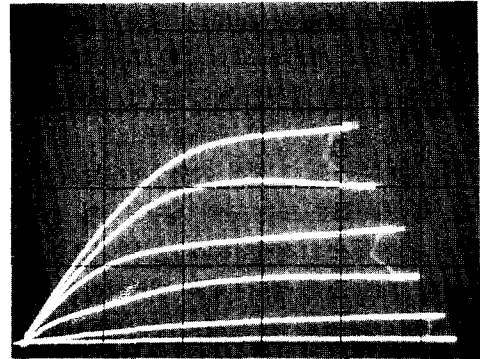


그림 6. 제작된 GaAs power MESFET의 전류-전압 특성

Fig. 6. Current-voltage characteristics of the fabricated GaAs power MESFET.

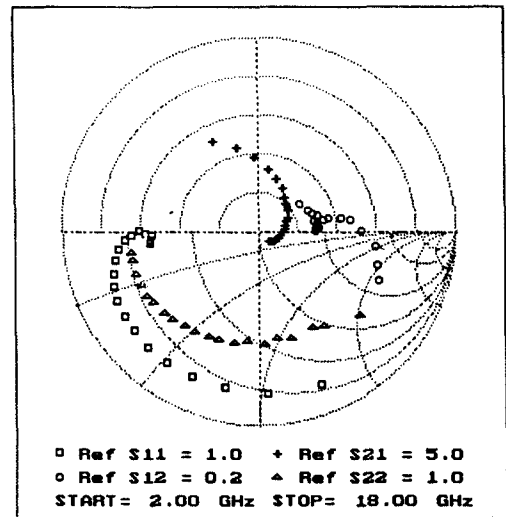


그림 7. 제작된 GaAs power MESFET의 S-파라미터

Fig. 7. RF characteristics of the fabricated GaAs power MESFET.

또한, 그림 7 에 나타난 S-파라미터는 HP 8722A 회로망분석기와 Cascade Microtech microprobe를 이

용하여 2~18 GHz 주파수 범위에서 측정하였다. 이 때, 측정조건은 $V_{ds} = 4\text{ V}$, $I_{ds} = 0.5\text{ I}_{dss}$ 이다.

표 1 은 여러가지 제원을 갖는 제작된 GaAs power MESFET의 측정된 DC 특성과 S-파라미터로부터 차단주파수(f_T), 주파수 6 GHz 일때의 최대 가용이득 (G_{max} : maximum available gain), 최대 단방향 전송전력이득(G_{TUmax} : maximum unilateral transducer power gain), 전력부가효율(PAE : power added efficiency) 및 선형 RF 출력전력 (P_{out})을 계산한 결과이다. 여기서 핀치-오프 전압 (V_p), 무릎 전압(V_k) 및 포화전류(I_{dss}) 등의 값은 대표적인 값이다. 표 1 에서 차단주파수는 7~10 GHz 이고, 총 게이트폭 또는 단위 게이트폭의 증가로 출력전력이 증가하지만 전력이득과 전력부가효율은 감소되는 것을 볼때 최대 출력전력과 전력이득을 얻기 위해서는 단위 게이트폭 및 게이트 핑거수의 최적화 설계가 필요함을 알 수 있다. 또한, 표 1 에서 I_{dss} 의 평균 값은 약 230 mA/mm 로 본 실험실에서 제작한 동일한 제원을 갖는 일반적인 구조를 갖는 GaAs power MESFET의 평균 I_{dss} 가 약 100 mA/mm 와 비교할 때 약 2 배정도 큰 값을 갖는다. 이러한 이유는 게이트 바로 아래의 undoped GaAs 표면층에 의해 n GaAs 채널층의 공핍 두께가 감소하기 때문인 것으로 사료된다. 또한, 핀치-오프전압이 큰것은 undoped GaAs 층이 두껍기 때문에 정밀한 채널 리세스 에칭과 sub-micron 게이트 공정을 통하여 DC 및 초고주파 특성을 보다 더 향상시킬 수 있을 것으로 기대된다. 그리고 게이트폭의 증가와 함께 차단주파수가 조금씩 증가하는 현상에 대해서는 검토중이다.

표 1. GaAs power MESFET의 DC 및 RF 특성(f = 6 GHz)
Table 1. DC & RF characteristics of the GaAs power MESFETs.

게이트 폭 (μm) × 핑거수	I_{dss} (mA)	V_p (V)	V_k (V)	f_T (GHz)	G_{max} (dB)	G_{TUmax} (dB)	PAE (%)	P_{out} (mW)	측정조건 (V_{ds} , I_{ds})
75×6	107	-5	1.7	7.0	14.10	12.7	41.22	111.0	4V, 52mA
75×8	147	-5	1.7	7.5	7.48	7.19	39.02	152.5	4V, 73mA
110×6	130	-5	1.7	9.6	11.24	9.77	40.37	134.9	4V, 67mA
55×20	280	-5	1.6	10	10.25	8.86	40.75	297.5	4V, 146mA
110×20	500	-5	1.7	9.6	6.73	5.70	37.87	518.8	4V, 257mA

V. 결 론

미세패턴 리소그래피를 위한 영상반전 공정과 격리된 소오스를 상호연결하기 위한 air-bridge 공정을 이용하여 1 μm 게이트 아래에 undoped 표면층을 갖는 GaAs power MESFET을 제작하고 DC 및 RF 특성을 측정하였다.

TLM 패턴으로 측정된 오믹접촉 비저항은 $1.0\sim 3.0 \times 10^{-6} \Omega\text{-cm}^2$ 이었으며 쇼트키 다이오드의 전류-전압 특성으로부터 ideality factor 1.12, built-in 전압 0.71 V, turn-on 전압 0.55 V 및 역방향 항복전압 18 V 를 얻었다. 제작된 전력용 소자의 총 게이트폭이 0.45~2.2 mm 의 범위에서 포화전류는 107~500 mA, RF 선형 출력전력은 111~519 mW, 차단주파수는 7~10 GHz, 6 GHz 에서의 최대 단방향 전송전력이득은 5.7~12.7 dB 및 전력부가효율은 37.9~41.2 % 를 얻었다. 본 논문에서 제작된 undoped 표면층이 있는 GaAs power MESFET은 일반적인 구조를 갖는 GaAs power MESFET과 비교할때 두배 이상의 높은 전류밀도와 전력밀도를 얻을 수 있었으며 보다 정밀한 채널 리세스 에칭과 sub-micron 게이트 공정이 이루어지면 DC 특성의 향상은 물론 보다 높은 차단주파수, 전력이득 및 전력부가효율을 갖는 X-band 이상의 대역에서 동작 가능한 고효율 및 고전력 소자의 제작도 가능하리라 기대된다.

또한, 보다 안정된 소자를 제작하기 위해서는 via-hole 공정 및 열저항 등에 관한 연구도 필요하다.

※ 본 연구는 서울대학교 반도체 공동연구소의 반도체 분야 교육부 학술연구조성비(ISRC 95-E-3248), 국방과학연구소(ADD-94-7-1)와 한국과학재단의 연구비 지원에 의해 수행 되었음.

참 고 문 헌

[1] Mead, C. A., "Schottky Barrier Gate Field Effect Transistor," Proc. IEEE, Vol. 54, February 1966, pp. 307-308.
[2] Fukata, M., K. Suyma, H. Suzuki, K. Nakayama, and H. Ishikawa, "Power GaAs MESFET with a high Drain-Source Breakdown Voltage," IEEE

- Trans. on Micriwave Theory and Techniques, Vol. MTT-24, June 1976, pp. 312-317.
- [3] Higashisaka, A., Y. Takayama, and F. Hasegawa. "A High-Power GaAs MESFET with an Experimentally Optimized Pattern." IEEE Trans. on Electron Devices, Vol. ED-27, June 1980, pp. 439-440.
- [4] Mimura, T., S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Field-Effect Transistor With Selectively Doped GaAs/n-AlxGal-xAs Heterojunctions." Jpn. J. Appl. Phys. Lett., Vol. 19, May 1980, pp. L225-L227.
- [5] Hikasaka, K., N. Hidaka, Y. Hirachi, and M. Abe. "A 30 GHz 1-W Power HEMT." IEEE Electron Device Lett., Vol. EDL-8, 1987, pp. 521-523.
- [6] Kim, B., H. O. Tserng, and H. D. Shih. "Microwave Power GaAs MISFETs with Undoped AlGaAs as an Insulator." IEEE Electronic Device Lett., Vol. EDL-5, 1984, pp. 494-495.
- [7] H. Takahashi, K. Asano, K. Matsunaga, N. Lwata, A. Mochizuki, and H. Hirayama. "Step-recessed gate GaAs FETs with an undoped surface layer." IEEE IEDM 1991, pp. 259 -262, Dec. 1991.
- [8] 이진구 외 4 명, "Image Reversal 공정을 이용한 Sub-Micron 게이트의 제작." 대한전자공학회 추계종합 학술대회 논문집, 제 15 권, 제 2 호, pp. 356-358, 1992
- [9] 이진구 외 5 명, "Undoped 표면층을 갖는 전력용 GaAs MESFET 의 제작에 관한 연구." 대한전자공학회논문지, 제 31 권, A 편, 제 1 호, 1994. 1. pp. 65-70

— 자 소 개 —

李逸炯(正會員) 第 31卷 第 1號 參照
현재 동국대학교 전자공학과 박사과정



李應鏞(正會員)
1963 년생. 1987년 2월 동국대학교 공과대학 전자공학과(공학사). 1989년 2월 동국대학교 전자공학과 (반도체 공학석사). 1992년 7월 육군 학사장교 중위 전역(통신). 1995년 9월 동

국대학교 전자공학과(박사과정 수료). 1994년 3월 (주) 세트리 연구소 근무. 주관심 분야는 화합물 반도체 소자 및 디지털 IC 설계 제작 및 반도체 장비 등임

金尙明(正會員) 第 30卷 第 8號 參照
현재 한국통신 선임연구원

李鎭九(正會員) 第 25卷 第 11號 參照
현재 동국대학교 전자공학과 교수