

# Conventional UV 리소그라피와 경사각증착에 의한 0.5 $\mu\text{m}$ 전력용 GaAs MESFET 제작에 관한 연구

(Studies on fabrication of 0.5  $\mu\text{m}$  GaAs power MESFET's using a conventional UV lithography and angle evaporations)

李逸炯\*, 金尙明\*\*, 尹鎮燮\*, 李鎮九\*

(Il-Hyeong Lee, Sang-Myung Kim, Jin-Seub Yoon, and Jin-Koo Rhee)

## 요 약

0.5  $\mu\text{m}$  게이트 길이의 전력용 GaAs MESFET를 conventional UV 리소그라피와 경사각증착을 이용하여 제작한 후 DC 및 RF 특성을 측정하고 검토하였다. 전력용 GaAs MESFET는 n-channel 층 위에 undoped GaAs 표면층을 갖도록 MBE 로 성장시킨 wafer에 영상반전 공정, air-bridge 공정 및 본 연구실에서 개발한 0.5  $\mu\text{m}$  게이트 제작 공정등을 이용하였다. 전력용 소자의 총 게이트폭이 0.6~3.0 mm 의 범위에서 포화 전류는 80~400 mA, RF 선형 출력전력은 60~265 mW, 전류이득 차단주파수는 13~16 GHz, 그리고 10 GHz 에서의 최대 단방향 전송 전력이득은 7.0~2.5 dB 및 전력부가효율은 35.68~30.76%를 얻었다.

## Abstract

GaAs power MESFETs with 0.5  $\mu\text{m}$  gate length using a conventional UV lithography and angle evaporations are fabricated and then DC and RF characteristics are measured and carefully analyzed. The 0.5  $\mu\text{m}$  GaAs power MESFET's are fabricated on epi-wafers which have an undoped GaAs layer inbetween n+ and n GaAs layers grown by MBE, and by the processes such as an image reversal(IR), air-bridge, and our developed 0.5  $\mu\text{m}$  gate fabrication techniques. The total gate widths of the fabricated 0.5  $\mu\text{m}$  GaAs power MESFETs are 0.6~3.0 mm, the current saturation of them 80~400 mA, the maximum linear and RF output power of them 60~265 mW. The current gain cut-off frequencies for the 0.5  $\mu\text{m}$  GaAs power MESFETs varies 13~16 GHz. For the test frequency of 10 GHz the maximum unilateral transducer power gains and the power added efficiencies of the GaAs power devices are 7.0~2.5 dB and 35.68~30.76 %, respectively.

## I. 서 론

전력용 GaAs MESFET 가 수십 GHz 이상의 높은

주파수 대역에서 효율적으로 동작하기 위해서는 우선 게이트 길이가 sub-micron 이 되어야 한다. 즉, X-밴드 주파수 대역에서 전력이득, 전력부가효율 및 차단주파수등과 같은 소자 파라미터들이 양호한 특성을 나타내기 위해서는 전력용 GaAs MESFET 의 게이트 길이가 0.5  $\mu\text{m}$  또는 그 이하로 작아져야 한다. 0.5  $\mu\text{m}$  이하의 게이트를 제작하기 위해 전자빔 리소그라피, X-선 리소그라피 및 레이저 리소그라피 기술등이 다양하

\* 正會員, 東國大學校 電子工學科  
(Dept. of Elec. Eng., Dongguk Univ.)

\* 正會員, 韓國通信  
(KT Research Lab.)

接受日字: 1995年7月20日, 수정완료일: 1995年11月27일

게 연구되어 왔지만 이러한 방법들은 제작비가 비싸고 공정이 매우 복잡하며 제작시간이 과다하게 소요되는 문제점을 안고 있다. 본 논문에서는 기술된 바와 같은 문제점을 극복하기 위해 값싼 conventional UV 리소그래피 공정을 이용하여 제작 공정이 간단하면서 재현성이 좋은 0.5  $\mu\text{m}$  게이트 제작방법을 제안하였다. 또한, 제안한 방법을 이용하여 0.5  $\mu\text{m}$  전력용 GaAs MESFET를 제작한 후 DC 및 RF 특성을 측정 및 검토하였다.

II. 0.5  $\mu\text{m}$  게이트 제작방법

본 논문에서는 일반적인 반도체 공정인 conventional UV 리소그래피와 경사각 열증착을 이용하여 0.5  $\mu\text{m}$  게이트를 제작하였다<sup>[11]</sup>.

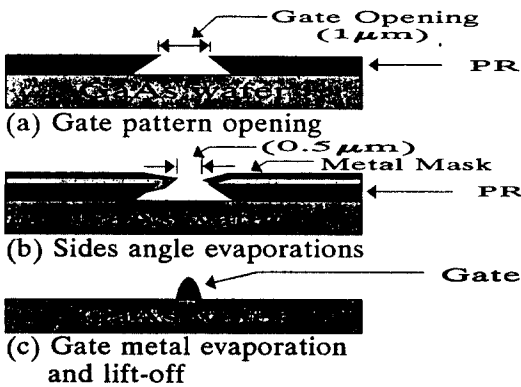


그림 1. 0.5  $\mu\text{m}$  게이트의 공정단면도  
Fig. 1. Cross-sectional view of the 0.5  $\mu\text{m}$  gate processes.

그림 1 은 본 논문에서 제안한 0.5  $\mu\text{m}$  게이트를 제작하기 위한 공정단면도이다. 그림 1 (a)는 conventional UV 리소그래피를 이용하여 1  $\mu\text{m}$  포토리소그래피를 실시한 모습으로 선풍제어가 용이하고 리소그래피된 패턴의 직선성이 매우 우수한 영상반전(image reversal) 공정을 이용하였다.<sup>[12]</sup> 그림 1 (b)는 경사각 열증착을 통한 측면증착공정으로 증착각도를 PR 두께와 리소그래피된 게이트의 너이로부터 계산하여 웨이퍼 표면의 좌측 및 우측에서 각각 22° 및 32° 각도로 Al 을 5000 Å 씩 증착하여 실제 게이트패턴을 0.5  $\mu\text{m}$ 로 축소시킨 모습이다. 그림 1 (c)는 웨이퍼 정면에서 게이트금속으로 Al 을 7000 Å 증착한 후 리프트-

오프를 통하여 0.5  $\mu\text{m}$  게이트가 완성된 모습이다. 그림 1 (b) 공정에서의 경사각 증착각도는 매우 중요하다. 왜냐하면 경사각 증착각도가 너무 크면 리소그래피된 게이트 패턴의 아래쪽 좌우측에 Al 이 증착되어 채널표면에 금속이 쌓일 수 있고 리프트-오프도 용이하지 않다. 또한 경사증착 각도가 너무 작으면 Al 의 소모량이 많아지고 웨이퍼정면에 대해 게이트길이의 감소율의 차이가 커지게 된다. 그림 2 는 그림 1 의 공정으로 제작된 0.5  $\mu\text{m}$  게이트의 전자현미경의 표면사진으로 제작된 0.5  $\mu\text{m}$  금속게이트의 직선성이 우수함을 알 수 있다. 또한 그림 3 은 단면사진으로 4  $\mu\text{m}$  의 소오스와 드레인 사이에 0.5  $\mu\text{m}$ 의 금속게이트가 선명하게 형성되었음을 볼 수 있다.

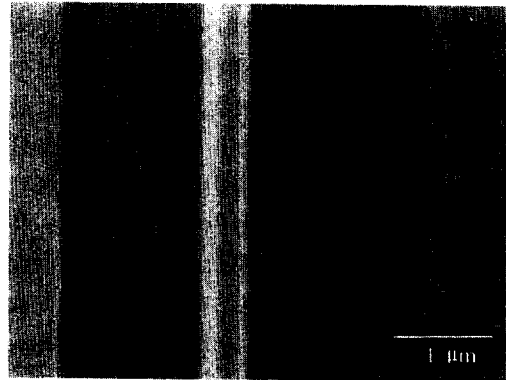


그림 2. 제작된 0.5  $\mu\text{m}$  게이트의 표면 SEM사진  
Fig. 2. A SEM photo of the fabricated 0.5  $\mu\text{m}$  gate

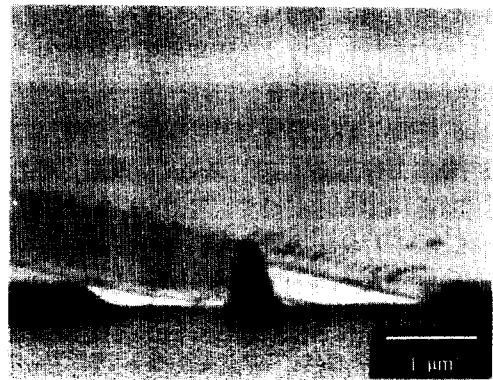


그림 3. 제작된 0.5  $\mu\text{m}$  게이트의 단면 SEM 사진  
Fig. 3. A cross-sectional SEM photo of the fabricated 0.5  $\mu\text{m}$  gate.

본 논문에서 제안한 conventional UV 리소그래피와

경사각 증착을 이용한 0.5 μm 게이트 제작공정은 기존의 전자빔 리소그라피공정에 비해 제작공정이 간단하여 제작시간을 크게 줄일 수 있으며 off-set 게이트 제작에도 용이함은 물론 기존의 전력용소자 제작공정과 동일한 수의 마스크로써 제작이 가능하다. 따라서, 본 논문에서 제안된 제작방법은 매우 값싼 전력용 소자 제작 공정이 다.

### III. 0.5 μm 전력용 GaAs MESFET 제작

그림 4 는 MBE 로 성장된 0.5 μm 전력용 GaAs MESFET 제작에 이용된 에피층 웨이퍼구조로 n+ 와 n GaAs 층 사이에 undoped GaAs 표면층을 갖도록 설계하였다. 본 논문에서 채택한 구조는 undoped GaAs 표면층이 마치 이상적인 passivation 층처럼 작용하도록 하여 드레인 전류의 주파수 분산현상, 항복 전압의 감소, 그리고 소오스저항 변화 등과 같은 현상을 줄일 수 있다.<sup>[3, 4]</sup> 또한 n-GaAs 채널층위에 undoped AlGaAs 층을 삽입한 구조도 연구발표되고 있다.<sup>[5]</sup> 상기의 구조에서 높은 전달특성, 높은 이득 및 낮은 게이트-소오스 캐패시턴스를 얻기 위해서는 소오스 및 드레인쪽의 n-GaAs 채널층위의 undoped GaAs 층의 두께와 게이트 바로 아래의 undoped GaAs 층의 두께를 최적화함이 필요하다.

0.5 μm 전력용 GaAs MESFET 제작은 공정순서에 따라, 첫째, 황산 에칭용액(H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> : H<sub>2</sub>O = 1 : 8 : 160)을 이용하여 활성영역이 서로 격리되도록 6000 Å 메사 에칭 하였다. 오믹은 열적 증착기를 이용하여 약 10<sup>-6</sup> Torr의 진공상태에서 AuGe/Ni/Au (2300Å/300Å/3000Å)를 증착한 후 N<sub>2</sub> 분위기의 furnace 내에서 450 °C로 열처리하였다. 이때 오믹접촉 비저항은 1.0~3.0 × 10<sup>-6</sup> Ω-cm<sup>2</sup> 이었다. 채널 리세스 에칭은 채널표면의 전계 집중현상을 감소시켜 항복전압을 높이기 위해 오믹패턴과 게이트 패턴을 이용하여 2 단계 채널 리세스 에칭을 실시하였다. 1 단계에서는 오믹패턴을 이용하여 n+ GaAs 층을 에칭하였고, 2 단계에서는 게이트 패턴 포토리소그라피를 실시한 후 게이트 아래의 undoped GaAs 층이 300~400 Å 남도록 에칭하였다. 게이트 금속증착은 상기에서 제안된 0.5 μm 게이트 공정을 이용하였으며 경사각 증착 직전에 채널을 에칭하여 채널위의 산화물을 제거한 후 Al 을 7000 Å 증착하였다. 끝으로 격리된 소오스 전

극을 air-bridge 로 연결하여<sup>[6]</sup> 전력용 GaAs MESFET의 제작을 완료한 후 150 μm 두께까지 웨이퍼 뒷면을 연마하고 Au를 증착하였다.

그림 5 는 상기의 공정을 통해 제작된 게이트길이와 게이트 폭이 각각 0.5 x 150 μm 이고 게이트 핑거수가 20 개인 전력용 GaAs MESFET의 게이트 부분의 표면사진이다.

n <sup>+</sup> GaAs	3 x 10 <sup>18</sup> cm <sup>-3</sup>	500 Å
i GaAs		700 Å
n GaAs	1.5 x 10 <sup>17</sup> cm <sup>-3</sup>	1200 Å
i AlGaAs	Buffer	1000 Å
i GaAs	Buffer	2000 Å
Superlattice Buffer 1000 Å		
Al <sub>0.3</sub> Ga <sub>0.7</sub> As(50 Å)/GaAs(50 Å) 10 Periods		
Semi-insulating GaAs substrate		

그림 4. MBE로 성장된 에피층 구조  
Fig. 4. A Structure of an epi-layers grown by MBE.

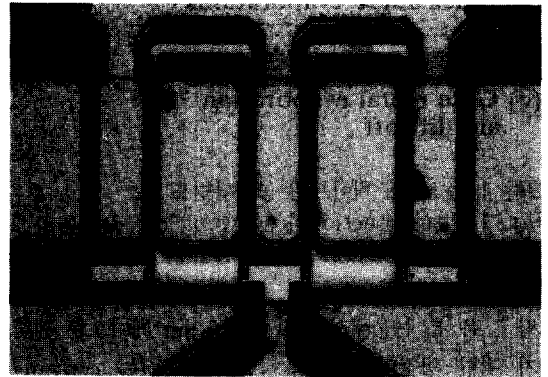


그림 5. 제작된 0.5 μm 전력용 GaAs MESFET의 사진  
Fig. 5. A photo of the fabricated 0.5 μm GaAs power MESFET(X1000).

### IV. 전력용 GaAs MESFET의 DC 및 RF 특성

그림 6 과 그림 7 은 상기에서 제안된 제작공정으로 제작된 0.5 μm 전력용 GaAs MESFET 중에서 게이

트 길이와 단위게이트폭이 0.5  $\mu\text{m}$  및 150  $\mu\text{m}$  이고, 게이트 핑거수가 20 개인 소자의 DC 및 S-파라메타 측정 결과이다.

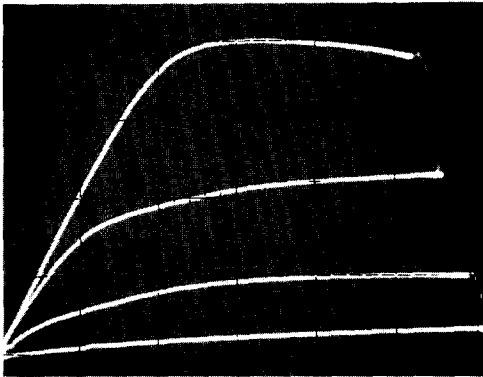


그림 6. 제작된 0.5  $\mu\text{m}$  전력용 GaAs MESFET의 전류-전압 특성  
 Fig. 6. Current-voltage characteristics of the fabricated 0.5  $\mu\text{m}$  GaAs power MESFET.

그림 6 에 나타난 전류-전압은  $V_{ds} = 1.0 \text{ V/div}$ ,  $I_{ds} = 0.1 \text{ A/div}$ ,  $V_{gs} = -1.0 \text{ V/step}$  이다. 또한, 그림 7 에 나타난 S-파라메타는 HP 8722A 벡터 회로망 분석기와 on-wafer microprobe를 이용하여 1~18 GHz 주파수 범위에서 측정하였다. 이때, 측정조건은  $V_{ds} = 5 \text{ V}$ ,  $I_{ds} = 0.5 I_{dss}$  이다.

표 1 은 여러가지 제원을 갖는 제작된 전력용 GaAs MESFET의 측정된 DC 특성과 S-파라메타로부터 계산된 차단주파수( $f_T$ ), 그리고 주파수 10 GHz 에서 측정된 최대 단방향 전송전력이득( $G_{TUmax}$  : maximum unilateral transducer power gain), 전력부가효율 (PAE : power added efficiency) 및 선형 RF 출력 전력( $P_{out}$ ) 특성이다. 즉, 본 논문에서 제안한 0.5  $\mu\text{m}$  게이트 제작공정을 통해 X-밴드 주파수대역의 전력용 소자를 제작할 수 있음을 알 수 있다. 또한, undoped GaAs 층의 정밀한 채널 리세스 에칭공정개발 및 sub-micron T-게이트 또는 sub-micron  $\Gamma$ -게이트 공정개발이 이루어지면 DC 및 RF 특성은 더욱 향상될 수 있을 것으로 기대된다.<sup>[7]</sup> 그리고 상기에서 제안된 공정으로 제작된 0.5  $\mu\text{m}$  전력용 GaAs MESFET의 특성 데이터는 상용 GaAs 전력용 소자의 특성과 비교할때 거의 같음을 알 수 있다.<sup>[8]</sup>

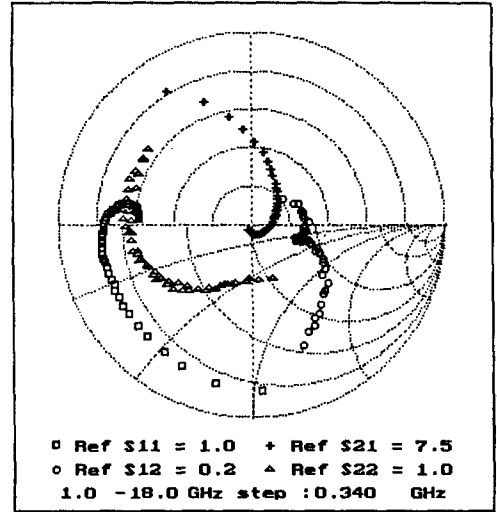


그림 7. 제작된 0.5  $\mu\text{m}$  전력용 GaAs MESFET의 S-파라메타  
 Fig. 7. Measured S-parameter characteristics of the fabricated 0.5  $\mu\text{m}$  GaAs power MESFET.

표 1. 0.5  $\mu\text{m}$  전력용 GaAs MESFET의 DC 및 RF 특성  
 Table 1. DC and RF characteristics of the fabricated 0.5  $\mu\text{m}$  GaAs power MESFET.

Unit gate width ( $\mu\text{m}$ ) No. of fingers	$I_{dss}$ (mA)	$V_p$ (V)	$f_T$ (GHz)	$G_{TUmax}$ (dB)	PAE (%)	$P_{out}$ (mW)
100 $\times$ 6	80	-3	14	7.00	35.68	60
110 $\times$ 6	90	-3	14	4.12	34.46	66
150 $\times$ 6	100	-3	13	4.60	33.91	90
100 $\times$ 20	280	-3	17	3.30	32.57	172
110 $\times$ 20	300	-3	17	3.01	32.24	192
150 $\times$ 20	400	-3	16	2.50	30.76	265

### V. 결론

본 논문에서는 conventional UV 리소그래피와鏡상각 증착 공정을 이용하여 0.5  $\mu\text{m}$  게이트 제작공정을 제안했다. 제안된 방법으로 0.5  $\mu\text{m}$  전력용 GaAs MESFET를 제작하고 DC 및 RF 특성을 측정하였다. 전력용 GaAs MESFET 제작공정에 있어서는 미세패

턴 리소그라피를 위한 영상반전 공정과 격리된 소오스를 상호연결하기 위한 air-bridge 공정등의 본 실험실에서 개발된 공정을 이용하였다. TLM 패턴으로 측정된 오믹접촉 비저항은  $1.0\sim 3.0 \times 10^{-6} \Omega\text{-cm}^2$  이었다. 제작된 0.5  $\mu\text{m}$  전력용 GaAs MESFET의 총 게이트 폭이 0.6~3.0 mm 의 범위에서 포화전류는 80~400 mA, RF 선형 출력전력은 60~265 mW, 전류이득 차단주파수는 13~16 GHz, 그리고 10 GHz 에서의 최대 단방향 전송 전력이득은 7.0~2.5 dB 및 전력부가효율은 35.68~30.76 % 를 얻었다. 본 논문에서 제작된 게이트 아래에 undoped GaAs 층이 있는 전력용 GaAs MESFET은 일반적인 구조를 갖는 conventional GaAs power MESFET과 비교할 때 두배 이상의 높은 전류밀도와 전력밀도를 얻을 수 있었다. 즉, 게이트 길이를 0.5  $\mu\text{m}$  로 줄임으로써 X-밴드 주파수대역에서 동작하는 전력용소자를 제작할 수 있었다. DC 특성의 향상과 보다 높은 차단주파수, 고효율 및 고전력 소자를 제작하기 위해 sub-0.5  $\mu\text{m}$  T-게이트 및 sub-0.5  $\mu\text{m}$   $\Gamma$ -게이트의 제작을 위한 연구가 필요하다. 또한, 소자의 안정성 향상, via-hole 공정 및 열저항등에 관한 연구도 필요하다.

※ 본 연구는 서울대학교 반도체 공동연구소의 반도체 분야 교육부 학술연구조성비 (ISRC 95-E-3248), 국방과학연구소(ADD-94-7-1)와 한국과학재단의 연구비 지원에 의해 수행 되었음.

참 고 문 헌

[1] 이일형, 김상명, 이응호, 이진구, "UV 리소그라피에 의한 0.5  $\mu\text{m}$  게이트 제작공정 연구", 제 2 회 한국반도체 학술대회 논문집, 한국물리학회, 대한전기학회, 대한전자공학회, pp. 425-426, 1995.

[2] 이일형, 김상명, 윤관기, 신석현, 이진구, "Image Reversal 공정을 이용한 Sub-Micron 게이트의 제작," 대한전자공학회 추계 종합 학술대회 논문집, 제 15 권, 제 2 호, pp. 356-358, 1992.

[3] H. Takahashi, K. Asano, K. Matsunaga, N. Lwata, A. Mochizuki, and H. Hirayama, "Step-recessed gate GaAs FETs with an undoped surface layer," IEEE IEDM 1991, pp. 259 -262, Dec. 1991.

[4] 김상명, 이일형, 신석현, 서진호, 서광석 이진구, "Undoped 표면층을 갖는 전력용 GaAs MESFET 의 제작에 관한 연구," 대한전자공학회 논문지, 제 31 권, A 편, 제 1 호, pp. 65-70, 1994. 1.

[5] Kim, B., H. O. Tserng, and H. D. Shih, "Microwave Power GaAs MISFETs with Undoped AlGaAs as an Insulator," IEEE Electronic Device Lett., Vol. EDL-5, pp. 494-495, 1984.

[6] 이일형, 김상명, 이종한, 박균호, 김영민, 우중천, 이진구, "Air-bridge 공정을 이용한 C-band 전력용 GaAs MESFET 의 제작 및 특성에 관한 연구", 제 1 회 한국반도체 학술대회 논문집, 한국 물리학회, 대한전기학회, 대한 전자공학회, pp 283-284, 1994

[7] Il-Hyeong Lee, Sung-Soo Kim, Yeon-Sik Chae, Jin-Seub Yoon and Jin-Koo Rhee "Studies on the fabrication of Sub-0.4  $\mu\text{m}$  T-gate and  $\Gamma$ -gate structures using UV lithography", 4th International Conference on VLSI and CAD, pp.313-316, Oct., 15-18, 1995.

[8] Harris data book "GaAs FETs, MMICs & Foundry Services" Harris Corporation, 1990.

— 저 자 소 개 —

李逸炯(正會員) 第 31卷 第 1號 參照  
현재 동국대학교 전자공학과 박사과정

金尙明(正會員) 第 31卷 第 1號 參照  
현재 한국통신 선임연구원



尹鎮燮(正會員)  
1957년 12월생. 1986년 2월 동국대학교 전기공학과 졸업.  
1989년 2월 동국대학교 전기공학과 대학원 졸업(공학석사).  
현재 동국대학교 전자공학과 박사과정.

李鎮九(正會員) 第 25卷 第 11號 參照  
현재 동국대학교 전자공학과 교수

주 관심분야는 화합물 반도체 소자 및 디지털 IC 설계 및 제작 등.