

論文95-32A-12-14

혼합시뮬레이터를 사용한 액정 표시기용 비정질 실리콘 박막 트랜지스터의 특성 시뮬레이션

(Simulation of Characteristics of Amorphous-Silicon Thin Film Transistor for Liquid Crystal Display Using the Mixed Simulator)

李相勳*, 金敬昊*

(Sang Hoon Lee and Kyung Ho Kim)

요 약

비정질 실리콘 박막 트랜지스터(a-Si TFT)의 가장 중요한 전기적 특성은 밴드갭(bandgap)내에 존재하는 땀글링 본드(dangling bonds)와 같은 국부적 에너지 준위(localized states)가 존재하는 것이다. 국부적 에너지 준위에 트래핑(trapping)된 전자는 a-Si 영역의 채널 전위를 변화시켜서 소자의 전기적 특성에 영향을 준다. 본 논문에서는 2차원 소자 시뮬레이터를 이용하여 밴드갭내에 존재하는 트랩 분포와 기관 실리콘과 게이트 절연막의 계면 준위에 따른 비정질 실리콘 박막 트랜지스터의 전기적 특성을 분석하고 측정치로 정확도를 검증하였다. 혼합시뮬레이터를 이용하여 액정 표시기의 스위칭 회로에서 비정질 실리콘 박막 트랜지스터가 Turn-off될 때 잔상의 원인이 되는 화소 전극의 전위 변화를 예측함으로써 비정질 실리콘 박막 트랜지스터의 On 전류와 trade-off로 설계 최적화가 가능하도록 하였다.

Abstract

The most important feature of a-Si TFT is dense localized states such as dangling bonds which exist in its bandgap. Electrons trapped by localized states dominate the potential distribution in the active a-Si region, and influence the performance of a-Si TFT. In this paper, we describe the electrical characteristics of a-Si TFT with respect to trap distribution within bandgap, electron mobility and interface states using 2-Dimensional device simulator and compare the result of simulation with measurements. Using the mixed-mode simulator, we can predict the potential variation of pixel which causes residual image problem during the turn-off of a-Si TFT driving circuit. Therefore it is possible to consider trade-off between potential variation of pixel and turn-on current of a-Si TFT for the optimized driving circuit.

I. 서 론

a-Si은 기관 재질에 관계없이 고품질(high-quality)

을 유지하면서 증착될 수 있기 때문에 여러 분야에서 사용되고 있다. 최근에는 저소비 전력과 색상화 등의 장점으로 차세대 표시기(display)로서 각광받고 있는 액정 패널에 비정질 실리콘 박막 트랜지스터가 스위칭 소자로서의 연구 및 사용이 확대되고 있다.

* 正會員, 三星電子 메모리본부 CAE
(CAE Memory Business, Samsung Elec.)

接受日字: 1995年1月19日, 수정완료일: 1995年11月27日

반도체 공정기술의 발달 및 비정질 실리콘 박막 트

랜지스터의 전기적 성능 개선의 빠른 진행에도 불구하고 a-Si의 재질 특성 및 밴드갭내의 국부적 에너지 준위 영향 등의 이론 부재로 소자의 제작 및 최적화, 구동 회로 특성의 개선에 어려움을 주고 있어서 최근에 2차원 소자 시뮬레이터를 사용하여 비정질 실리콘 박막 트랜지스터의 전기적 특성을 최적화 및 제품에 적용하는 사례가 늘고 있다.^{[1][2][3]}

본 논문에서는 TMA사의 2차원 소자 및 혼합 시뮬레이터 MEDICI^[4]를 이용하여 액정 패널에 사용되는 비정질 실리콘 박막 트랜지스터의 동작 특성 분석 및 틀 보정을 통하여 전자의 이동도, 밴드갭내의 트랩 분포 등을 시뮬레이션하였다. 밴드갭내에 존재하는 국부적 에너지 준위, a-Si과 절연막 사이의 계면 준위 등에 따른 전류-전압 특성 및 소자 내부의 전류 flow-line을 보였고 시뮬레이션 결과로 얻어진 게이트 및 드레인 전류 특성을 측정 데이터와 비교하여 5% 내의 결과를 얻을 수 있었다.

본 논문의 II장에서는 2차원 소자 시뮬레이터 MEDICI의 물리적 모델에 대한 설명과 비정질 실리콘 에너지 밴드갭에 존재하는 국부적 에너지 준위 등의 물성에 따른 전기적 특성에 대한 시뮬레이션 결과를 나타냈다. III장에서는 혼합시뮬레이터를 이용하여 액정 구동회로의 특성을 시뮬레이션하였으며 마지막으로 IV장의 결론 및 향후계획에서는 2차원 소자 시뮬레이터를 활용하여 추가로 진행할 항목을 제시하였다.

II. 측정 및 시뮬레이션 결과

1. 소자 시뮬레이터의 모델

소자 시뮬레이션은 소자의 단자를 통해 외부 인가 전압이 주어질 때 반도체 지배 방정식(governing Equations)인 전자/정공에 대한 연속(Continuity) 방정식과 포아송(Poisson) 방정식을 수치적으로 해석함으로써 소자 내부의 전위, 전하 등의 분포 및 단자의 전류-전압 등의 전기적 특성을 예측하는 것이다.

소자 시뮬레이터^[4]에는 연속 방정식의 보조 방정식인 전하의 수송방정식으로 drift-diffusion 근사식이 사용되며, Boltzmann 통계량, Einstein 관계식 등이 가정되어 있다. 전하의 발생-재결합(Generation-Recombination) 모델로서 SRH(Shockely-Read-Hall), direct bandgap transition을 위한 Auger,

전하의 충돌전리에 의한 impact ionization, 높은 전계에서 bandgap의 tunneling을 고려한 BTBT(Band to Band Tunneling) 등의 모델이 있다.

a-Si내의 전하(mobile electron)는 밴드갭내에 존재하는 국부적 에너지 준위에 트랩되며 비정질 실리콘 박막 트랜지스터의 전류-전압 특성에 영향을 준다. 2차원 소자 시뮬레이터는 밴드갭내의 에너지 준위 혹은 a-Si기판의 위치에 따라 트랩 분포를 수식의 형태로 표현할 수 있으며 밴드갭내의 트랩은 중성 홀, 중성 전자, donor 및 acceptor state 등의 4가지 경우가 있으며 20개까지의 에너지 레벨을 지정할 수 있다. 트랩핑 과정은 SRH model를 사용하며 trap occupation 함수는 다음 식 (1)로 표현된다.^[4]

$$f_i = \frac{\tau_p n + \tau_n \exp(-E_{ti}/kT)}{\tau_p [n + n_{ie} \exp(E_{ti}/kT)] + \tau_n [p + n_{ie} \exp(-E_{ti}/kT)]} \quad (1)$$

여기서 τ 는 소수 전하의 수명시간(life time), n 은 전자의 농도, E_{ti} 는 트랩 준위를 의미한다. f 는 최대 1의 값을 가지며 이것은 트랩 상태가 전하에 의해 완전히 차게 된 경우를 의미한다. 따라서 트랩을 가정한 경우 포아송 방정식은 다음 식 (2)의 형태로 변하게 된다.^[4]

$$\epsilon \nabla^2 \psi = q(p - n + N_D^+ - N_A^- + \sum N_{ti} f_i) \quad (2)$$

여기서 ϵ 는 실리콘의 유전 상수, N_D^+ 과 N_A^- 는 도우너형 불순물과 억셉터형 불순물의 농도를 나타낸 것이고 N_{ti} 는 i 번째 준위에서 트랩의 농도를 나타낸 것이다.

2. 비정질 실리콘 박막 트랜지스터의 구조

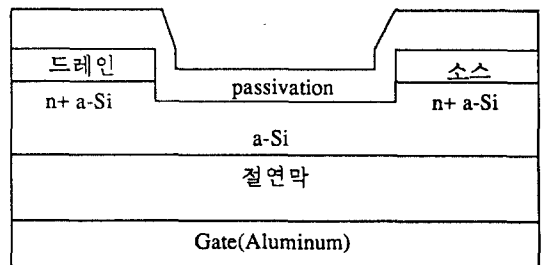


그림 1. 비정질 실리콘 박막 트랜지스터의 구조
Fig. 1. Structure of TFT(Thin Film Transistor).

본 논문에서 시뮬레이션에 사용된 a-Si 관련 파라미

터 및 소자의 구조를 표 1과 그림 1에 나타냈다. 비정질 실리콘 박막 트랜지스터의 구조는 유리 기판위에 알루미늄 게이트가 증착되어 있는 역 스택거형(inverted staggered type)^[5]이며 소자의 채널 길이, 폭은 각각 3.5 μm , 30 μm 이고 게이트 절연막의 두께는 5000 \AA , 게이트와 소오스(혹은 드레인)간의 걸쳐진 길이는 3.5 μm 이다. 절연막과 passivation 영역은 SiN으로 구성되어 있다.

표 1. TFT 구조 파라미터
Table 1. The parameter of TFT structure.

항목	파라미터 값
채널 길이(L)	7 μm
채널 폭(W)	30 μm
절연막 두께(Tox)	5000 \AA
a-Si 두께	1000 \AA
n+a-Si 두께	500 \AA

3. 비정질 실리콘 트랜지스터의 Turn-on 특성

그림 2(a)는 Turn-on 영역 특성의 측정 데이터와 시뮬레이션 결과를 비교한 것이며 시뮬레이션 조건은 $V_{ds}=10(\text{V})$ 인 조건에서 V_{gs} 를 0V~20V까지 인가한 것이다. 시뮬레이션에 사용된 파라미터는 소수전하의 수명시간이 10^{-8}sec , 전자의 이동도는 $0.96\text{cm}^2/\text{sec}$, 밴드갭 에너지는 1.8eV이고 a-Si과 절연층의 계면에서 도우너형 준위의 전하(Donor-like states Charge)는 $1.0 \times 10^{11}/\text{cm}^2$ 이다. 기판 내부의 국부적 에너지 준위의 분포는 본 논문에서는 에너지 준위에 따라 deep states에서는 상수, tail states에서는 지수함수로 정하였으며 시뮬레이션에 사용된 트랩 분포는 그림 2(b)에 나타냈다. Deep states에서는 $1.0 \times 10^{18}/\text{cm}^3$, tail state에서는 $4.0 \times 10^{19}/\text{cm}^3$ 이다.

그림 3은 비정질 실리콘 박막 트랜지스터의 게이트 전압에 따른 내부 특성을 나타낸 것이다. V_{gs} 가 4V일 때와 20V일 때의 내부 전류 flow-line을 보여주고 있다. 그림 3(a)와 같이 V_{gs} 가 Turn-on되기 이전 상태에서 소오스로 유입된 전자는 실리콘 기판 전영역에 넓게 퍼져서 드레인으로 흘러 들어가는 것을 알 수 있고 특히 이것은 실리콘 기판과 게이트 절연막의 계면 상태뿐만 아니라 passivation 영역의 계면에 있는 국부적 에너지 준위가 소자의 특성에 강하게 영향을 줄 것으로 예상되며 이 시뮬레이션 결과는 다음장에 언급하

였다.

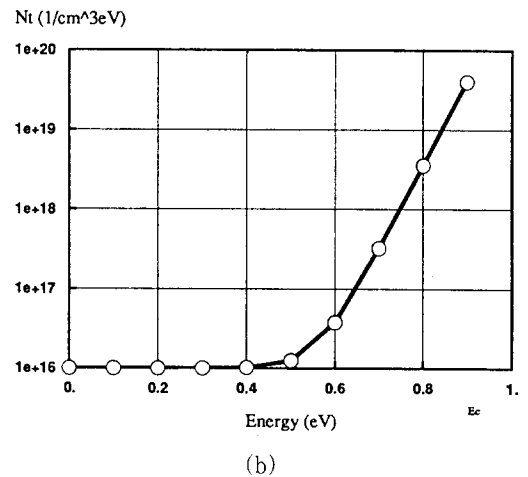
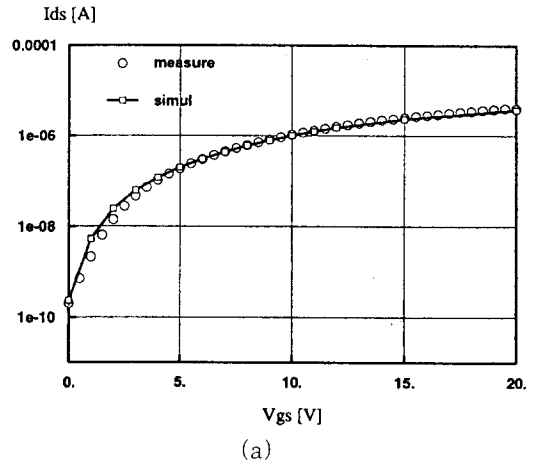
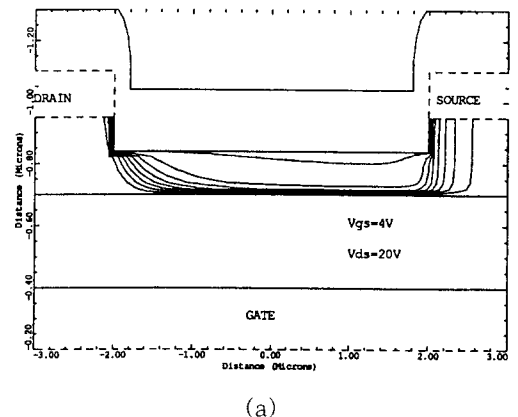
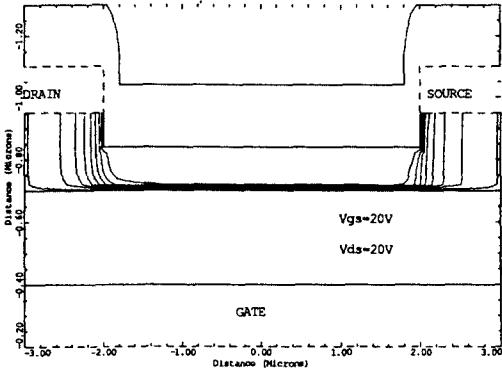


그림 2. 비정질 실리콘 박막 트랜지스터의 게이트 특성
Fig 2. Gate characteristics of TFT.





(b)

그림 3. 소자내부의 current flow-line 특성

- (a) $V_{gs}=3(V)$
- (b) $V_{gs}=20(V)$

Fig. 3. Current flow-line characteristics of TFT.

- (a) $V_{gs}=3(V)$
- (b) $V_{gs}=20(V)$

V_{gs} 가 20V일 때는 그림 3(b)와 같이 게이트와 인접한 기판 실리콘 영역에서 채널이 형성되어 전자가 드레인쪽으로 유입되는 것을 볼 수 있다.

그림 4는 게이트 특성 시뮬레이션 파라미터를 사용하여 게이트와 소스간의 전압차를 5V, 10V, 20V로 고정시키고 드레인 전압을 인가한 output 특성의 시뮬레이션 결과이며 측정 결과와 일치한다.

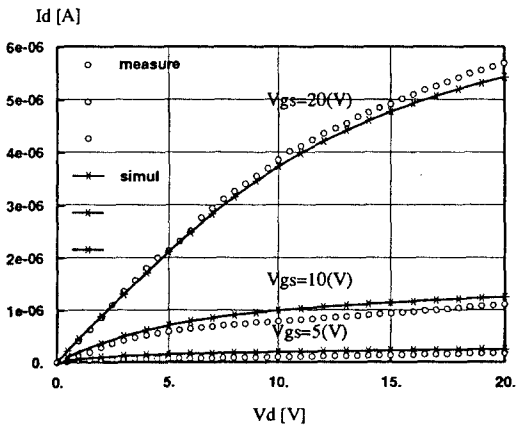
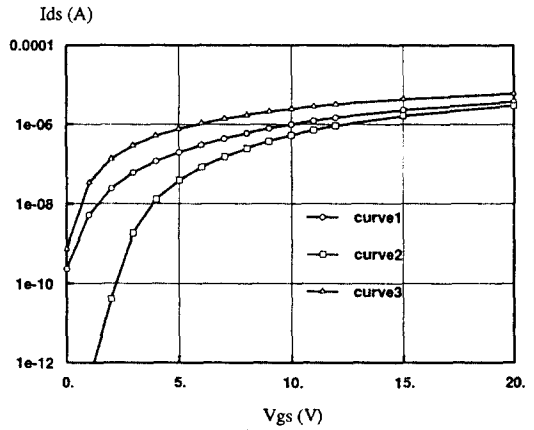


그림 4. 비정질 실리콘 박막 트랜지스터의 게이트 특성

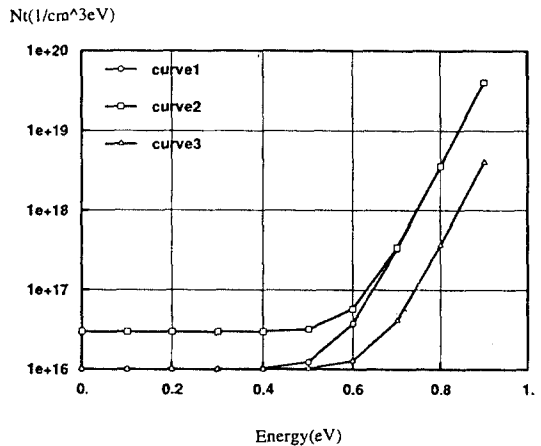
Fig. 4. Gate characteristics of TFT.

4. 밴드갭내의 트랩 영향

그림 5는 트랩의 분포에 따라 비정질 실리콘 박막 트랜지스터의 동작 특성을 분석하기 위해서 deep state와 tail state를 split하여 시뮬레이션한 결과이다. 그림 5(b)에서 곡선1,2는 tail state의 농도가 $4.0 \times 10^{19}/cm^3$ 으로 동일하고 deep states의 농도가 각각 $1.0 \times 10^{16}/cm^3$, $4.0 \times 10^{16}/cm^3$ 의 값을 가지는 것으로 deep states의 농도에 따라 소자의 동작을 분석한 것이며 전압, 전류 특성은 subthreshold영역을



(a)



(b)

그림 5. 트랩 분포에 따른 게이트 특성

- (a) 전압, 전류 특성
- (b) a-Si내의 트랩 분포

Fig. 5. Gate characteristics with trap distribution.

- (a) IV characteristics
- (b) trap distribution in a-Si

기준으로 오른쪽으로 이동한 것을 그림 5(a)에서 볼 수 있다. 이것은 deep states의 농도가 증가할수록 채널에 유기되는 전자는 deep states에 트래핑되는 것을 알 수 있다.^{[5] [6] [7]}

Tail state의 농도에 따른 전류 특성은 그림 5(b)의 곡선 1, 3의 두 경우에 대해서 deep state는 $1.0 \times 10^{16}/\text{cm}^3$ 로 동일하고 tail state가 각각 $4.0 \times 10^{19}/\text{cm}^3$, $1.0 \times 10^{18}/\text{cm}^3$ 인 경우에 대해서 시물레이션을 진행하였으며 그 결과로서 그림 5와 같이 tail states의 농도가 감소할수록 subthreshold 영역의 기울기가 증가하는 것을 알 수 있다.^{[5] [6] [7]}

4. 계면 준위 영향

기판 실리콘의 계면에 존재하는 덩글링 본드의 상태가 전류 특성에 주는 영향을 평가하기 위한 시물레이션을 진행하였다. 계면에 존재하는 실리콘과 절연층의 SiN간의 격자의 불연속성에 대한 모델은 표 2와 같이 억셉트형 준위(Acceptor-like states)와 도우너형 준위(Donor-like states)의 상태의 두 경우로 소자 시물레이터에 모델링되어 있다.

억셉트형 준위는 전자를 기준으로 비어있을 때 양의 전하를 띠고 전자가 충만될 때 중성이 되며 억셉트형 준위에 의한 전체의 전하량은 가전자대의 전위(ψ_B)와 전자의 유사 페르미 준위(ψ_{Fn})차에 비례한다. 그림 6은 억셉트 준위형의 밴드 밴딩(band-bending)에 따른 축적(accumulation), 공핍(depletion), 반전(inversion) 상태에서의 전하 상태를 보여 주고 있으며 반전층 영역에서 전하의 양이 최소가 되는 것을 알 수 있다.^[8]

도우너형 준위는 전자를 기준으로 비어있을 때 중성이 되고 전자가 충만될 때 음의 전하를 띠며 이 states에 의한 전체의 전하량은 전도대의 전위(ψ_C)와 전자의 유사 페르미 준위(ψ_{Fn})차에 비례하는 것으로 알려져 있다.^[8]

표 2. 계면에서의 states
Table 2. Interface states.

States	Charge		성질
	Empty	Fill	
Accetor-like	Positive	Neutral	$ \psi_B - \psi_{Fn} $ 에 비례
Donor-like	Neutral	Positive	$ \psi_C - \psi_{Fn} $ 에 비례

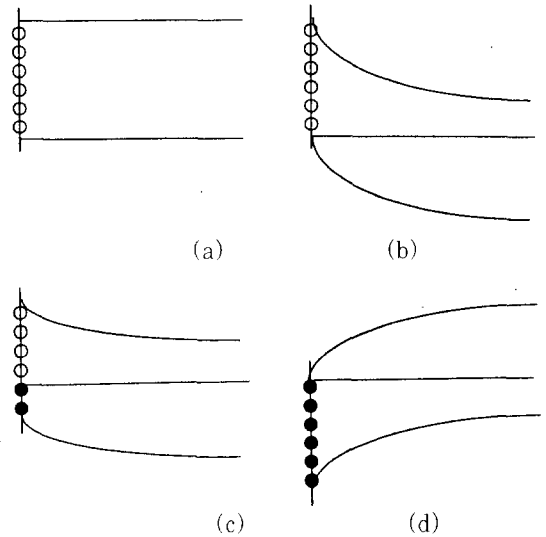


그림 6. 계면에서 Acceptor-like states
(a) 에너지 밴드 구조에서 acceptor-like states
(b) 축적 상태
(c) 공핍 상태
(d) 반전 상태

Fig. 6. Acceptor-like states.
(a) Acceptor-like states in energy band
(b) Accumulation
(c) Depletion
(d) Inversion

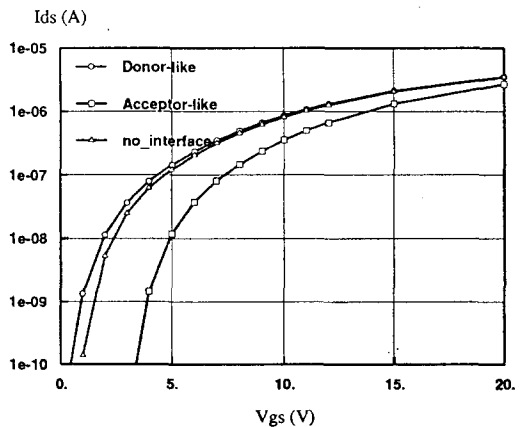


그림 7. 계면의 준위에 따른 게이트 특성
Fig. 7. Gate characteristics of Interface states.

그림 7은 a-Si과 게이트 절연막의 경계면에 도우너

형 준위, 억셉트형 준위를 각각 $1e11/cm^2$ 을 지정하여 시뮬레이션한 결과를 나타낸 것이다. 억셉트형 준위의 경우 게이트 전압이 증가할수록 가전자대의 전위(ψ_B)와 전자의 유사 페르미 준위(ψ_{Fn})차가 증가하고 계면의 음전하의 양에 의해서 게이트 특성 곡선은 그림 7과 같이 오른쪽으로 이동한다.

도너형 준위의 경우 게이트 전압이 증가할수록 전도대의 전위(ψ_c)와 전자의 유사 페르미 준위(ψ_{Fn})차가 감소하게 되고 계면의 양전하의 양은 점점 작아진다. 그림 7에서 게이트 특성 곡선은 계면 준위가 없는 경우보다 왼쪽으로 이동한 것을 알 수 있다.

그림 8은 실리콘 두 계면의 준위가 비정질 실리콘 박막 트랜지스터에 미치는 상대적인 영향을 평가하기 위해서 억셉트형 준위를 게이트쪽의 실리콘 계면(bottom)과 passivation쪽의 계면(top)에 따라서 시뮬레이션한 결과이다. 이때 계면의 억셉트형 준위의 농도는 $1 \times 10^{11}/cm^2$ 이다. 채널이 형성되는 게이트쪽 계면의 준위가 더 영향을 많이 주지만 그림과 같이 passivation쪽의 계면 준위도 소자 특성에 영향을 주는 것을 알 수 있다. 이것은 앞의 그림 3(a)처럼 게이트가 Turn-on되기 이전에 약한전 상태에서 전자가 기판에 넓게 퍼져서 드레인쪽으로 유입되기 때문인 것으로 판단된다.

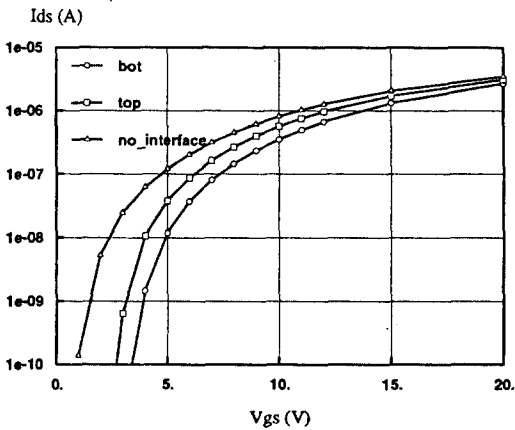


그림 8. 계면 준위의 위치에 따른 게이트 특성
Fig. 8. Gate characteristics of Interface position.

III. 구동회로 특성

그림 9는 비정질 실리콘 박막 트랜지스터를 사용한

액정 표시기에서 화소부분의 등가회로를 나타낸 것이다. 비정질 실리콘 박막 트랜지스터는 스위치로서 일정 주기로 On/Off하면서 신호를 액정에 기록하며 스위치가 Turn-off되었을 때는 액정이 다이내믹 메모리의 역할을 하여 신호를 유지한다. 그림 10은 액정의 구동과형을 나타낸 것이며 Vd는 데이터 신호, Vg는 주사선에 인가되는 선택 펄스, Vcom은 공통전극의 전압을 나타낸다. 선택 펄스 Vg는 T1의 시간동안 하이레벨로 되어 소자는 Turn-on되는 경우 화소 전극의 전위는 신호선의 전위 Vd와 같아지고 Vg가 로우레벨로 되면 비정질 실리콘 박막 트랜지스터는 Turn-off되어 액정 용량 Clc 및 유지용량 Cst에 축적된 전하는 유지된다.

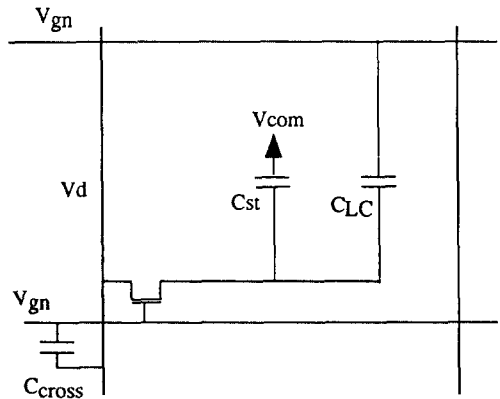


그림 9. 액정 화소의 등가회로
Fig. 9. Equivalent circuit of pixel.

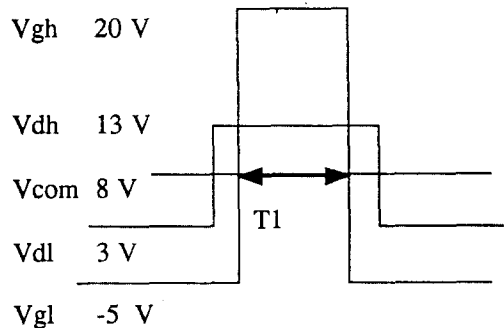


그림 10. 화소의 구동 신호
Fig. 10. Driving signal of pixel.

구동시 고려사항으로 스위치가 Off하는 순간에 생기는 오프셋 전압 ΔV_{gd} 는 소자의 게이트-소스, 게이트-드레인, 드레인-소스간의 기생 정전 용량에 의해 주사선의 전위가 ΔV_{g} 만큼 내려갈 때 화소 전극의 전위는

Cgd와 Clc 및 Cst의 용량 분할에 의해 일정 전압만큼 시프트한다. 비정질 실리콘 박막트랜지스터는 Off되는 순간 채널부위의 전자가 소스와 드레인으로 흡수되므로 Cgd는 MOSFET과 달리 채널 폭이 넓어짐에 따라 수십배의 용량을 가져서 화소 전극의 전위 변화의 원인이 되며 비정질 실리콘 박막 트랜지스터의 On 전류와 설계시 trade-off 관계에 있다. 이 전압의 시프트는 데이터 신호에 관계없이 항상 화소 전극 전위를 변화시키기 때문에 화상이 희미해져 보이는 잔상의 원인이 된다.

표 3. 화소의 등가회로에 사용된 정전 용량
Table 3. Capacitance of pixel.

CAP	의미	value
Cst	Storage Capacitor	0.55[pF]
Clc	액정 Capacitor	0.32[pF]
Ccross	Gate와 Data line 간의 Crossover	20[fF]

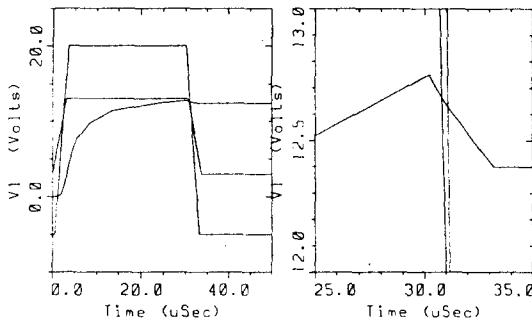


그림 11. 화소 전극의 전위 변화

Fig. 11. potential of pixel.

2차원 혼합시물레이터를 이용하여 소자가 Off되는 순간에 나타나는 화소 전극의 전위 변화를 예측하였다. 그림 9에서 사용된 비정질 박막 트랜지스터는 그림 1에 언급된 것이며 유지용량, 액정 용량 및 데이터와 게이트간의 기생 정전용량의 값은 표 3에 나타났다. 시물레이션 결과는 그림 11에 보였으며 게이트 신호가 하이레벨인 시간 T1동안 화소 전극의 전위는 12.5~12.7V의 일정 전위로 유지되다가 게이트가 로우레벨로 내려감에 따라 일정한 전위가 유지되지 않고 그림처럼 0.1V만큼 감소하는 것을 알 수 있다.

V. 결론 및 향후 계획

앞에서 언급한 바와 같이 소자 시물레이터를 이용하여 비정질 실리콘 박막 트랜지스터의 전기적 특성 분석 및 측정 데이터와의 틀 보정을 진행하였다. 비정질 실리콘 박막 트랜지스터의 전기적 특성은 a-Si내에 존재하는 국부적 에너지 준위의 tail/deep 분포와 게이트 절연막의 계면 준위에 강하게 영향을 받는 것을 확인할 수 있었고 틀 보정을 통한 시물레이션 결과는 측정 데이터와 비교하여 5%내의 결과를 얻었다. 시물레이션을 통하여 예측된 전자의 이동도는 $0.96\text{cm}^2/\text{sec}$, 밴드갭 에너지는 1.8eV이고 a-Si과 절연층의 계면에서 도우너형 준위의 전하는 $1.0 \times 10^{11}/\text{cm}^2$ 이었으며 밴드갭내의 국부적 에너지 준위는 deep states에서 $1.0 \times 10^{16}/\text{cm}^3$, tail state에서 $4.0 \times 10^{19}/\text{cm}^3$ 이다.

회로 레벨 시물레이션에서 비정질 실리콘 박막 트랜지스터에 대한 모델이 없기 때문에^[9] 비정질 실리콘 박막 트랜지스터가 사용되는 스위칭회로 특성을 시물레이션할 수 없으나 혼합 시물레이터 MEDICI (CA-AAM)를 이용하여 구동회로시 고려할 Turn-off 순간에 생기는 화소전극의 전위변화를 예측함으로써 trade-off 관계인 비정질 실리콘 박막 트랜지스터의 On 전류 개선과 동시에 최적화를 고려할 수 있다.

참고 문헌

- [1] John G. Shaw and Mike Hack, "Simulation of short-channel and overlap effects in amorphous silicon thin-film transistors," *J. Appl. Phys.* vol.65, no.5, 1 March 1989.
- [2] Toru Toyabe, Hiroo Masuda, Yoshiyuki Kaneko, Akira Sasano, Hiroshi Fukushima and Toshihisa Tsukada, "A Two-Dimensional Numerical Models of Amorphous Silicon Thin-Film Transistors," *IEDM*, pp.575-578, 1989.
- [3] John R. F. McMacken and Savvas G. Chamberlain, "A Numerical Model for Two-Dimensional Transient Simulation of Amorphous Silicon Thin-Film Transistors," *IEEE Trans. on CAD*, vol.11, pp.629-637, 1992.
- [4] *MEDICI user's manual*, TMA, 1994.

- [5] Martin J Powell, "The physics of Amorphous-Silicon Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol.36, pp.2753-2763, 1989.
- [6] M.Shur and M.Hack, "Physics of amorphous silicon based alloy field-effect transistors," *J.Appl.Psys.* vol.55, no.10, 15 May 1984.
- [7] Tatsumi Ishizuka, Kaaulki Sumino, Yasuroh Iriye and Masataka Hirose, "Two-Dimensional Device Simulator VENUS-2D/B for Amorphous Silicon Thin-Film Transistors Using a Gab-State Model," *Japanese J. of Applied Phys.* vol.30, Feb 1991.
- [8] Robert F. Pierret, "Modular Series on Solid State Devices," vol.4, pp.72-73, 1983.
- [9] *HSPICE user's manual*, META, 1992.

— 저 자 소 개 —



李相勳(正會員)

1990年 2月 서울대학교 계산통계학과 졸업(학사). 1994年 - 현재 삼성전자 CAE 주임연구원. 주관심 분야는 소자 시뮬레이션, Reliability 모델링, VLSI 설계 자동화 등임.



金敬昊(正會員)

1984年 2月 연세대학교 전자공학과 졸업(학사). 1987年 2月 한국과학기술원 전기 및 전자공학과(공학석사). 1991年 2月 한국과학기술원 전기 및 전자공학과(공학박사). 1983年 - 현재 삼성전자

ASIC 및 CAE 선임 연구원. 주관심 분야는 VLSI CAD 및 TCAD 등임.