

論文95-32A-12-11

초고집적회로의 커패시터용 PZT박막의 입열 조건에 따른 유전특성 -1- 비정질 PZT를 사용한 PZT 박막의 누설전류 개선에 관한 연구

(Dielectric properties with heat-input condition of
PZT thin films for ULSI's capacitor -1-
A study on the improvement of leakage current of
PZT thin films using a amorphous PZT layer)

馬在坪*, 白壽鉉**, 黃有商**

(Jae-Pyung Mah, Su-Hyon Paek, and Yoo-Sang Hwang)

요 약

PZT 박막의 누설전류를 감소시키기 위하여 상온에서 1차 스퍼터링하여 비정질 PZT 층을 증착한 후 600°C에서 2차 스퍼터링하여 안정한 perovskite PZT를 증착하여 입열조건을 다르게 하는 방법을 시도하였다. 상온에서 증착된 층의 영향을 I-V 와 P-E 곡선으로 알아보았다. 상온층을 증착한 경우 누설전류는 감소하였고 파괴전압은 증가하여 I-V 특성이 개선되었다. 그러나 상온층의 두께가 증가하면서 유전상수는 감소하는 경향을 나타내었다. 이는 상온에서 증착된 비정질층이 perovskite PZT 로 상변태 되지 않았기 때문으로 생각되었다. 전체 두께를 2000Å으로 하고 상온 증착층이 200Å 증착된 경우 3×10^{-7} A/cm² 정도의 낮은 누설전류와 800 이상의 높은 유전상수를 나타내어 PZT 박막의 메모리 소자용 capacitor로의 적용가능성을 높게 하였다.

Abstract

To improve the leakage current, we developed two step sputtering method where PZT thin film in first deposited at room temperature followed by 600°C deposition. The method used an amorphous PZT layer deposited at room temperature to keep a stable interface during sputtering at high temperature. PZT thin films were deposited on Pt/Ti/SiO₂/Si substrate at room temperature and 600°C sequentially. The effect of the layer deposited at room temperature was investigated with regard to I-V characteristics and P-E hysteresis loop. In the case of the sample with the layer deposited at room temperature, both leakage current and dielectric constant were decreased. The thicker the layer deposited at room temperature was, the lower dielectric constant was. However, leakage current was independent of the variation of the thickness ratio. The sample with 200Å of the layer deposited at room temperature showed the most promising results in both dielectric constant and leakage current.

I. 서론

* 正會員, 湖南大學校 電子工學科
(Dept. of Electronic Eng. Ho Nam Univ.)

** 正會員, 漢陽大學校 材料工學科
(Dept. of Materials Eng. Hanyang Univ.)

接受日字: 1995年3月27日, 수정완료일: 1995년11월16일

미세가공 기술이 크게 발전함에 따라 반도체 소자의 집적도가 크게 증가하고 있는 추세이다. 이에 따라 기존 재료들의 사용에 문제점이 발생하고 있다. 특히 집적도 면에서 가장 선두를 차지하는 DRAM (Dynamic

Random Access Memory) 의 경우 커패시터의 정전 용량이 큰 문제로 대두되고 있다. 즉, cell 면적의 감소에 따라 기존의 실리콘 산화 막(SiO_2)이나 질화막(Si_3N_4)을 사용할 경우 stack 이나 trench 등의 구조 개선으로도 정전용량의 확보가 어려운 상태이다.^[1] 이에 따라 유전율이 높은 고유전 재료에 대한 관심이 모아지고 있다. 이러한 고유전 물질 중 PZT 는 bulk 의 경우 1000이상의 높은 유전상수를 나타내어 이의 박막화에 관한 많은 연구가 진행되고 있다. 이의 박막화에는 많은 방법이 있으나 비교적 조성조절이 용이하고 오염이 적은 박막을 얻을 수 있는 스퍼터링 방법이 기본 물성의 연구에 많이 사용되고 있다.^[2] 또한 밀도가 높은 양질의 박막을 얻고자 600°C 이상의 기판온도에서 스퍼터링 하여 상변태 없이 In-situ로 안정한 perovskite 구조를 얻는 방법이 시도되고 있다.^[3]

그러나 이러한 방법의 경우 고온에서 스퍼터링이 진행되므로 PZT 박막과 기판의 계면이 불안정하여 누설 전류 증가의 원인이 된다고 보고되고 있다.^[4] 실제 PZT 박막은 백금 전극을 사용할 경우 두 물질의 일함수의 차이에 기인한 Schottky barrier에 의하여 누설 전류가 통제되는 것으로 알려져 있다.^[5] 그런데 이와 같이 PZT 와 기판의 계면이 불안정해 질 경우 Schottky barrier의 형성이 이론과 같이 이루어지지 못하여 누설전류가 비교적 큰 값을 갖는다.^[6] 이 누설전류를 감소시키기 위해서는 고온에서 스퍼터링 하는 동안 입열 조건을 달리하여 기판과의 계면을 안정하게 유지하도록 하는 방법을 생각할 수 있다.

따라서 본 연구에서는 고온에서 백금 기판에 직접 PZT를 스퍼터링한 경우에 발생하는 계면 불안정으로 인한 I-V 특성의 저하를 개선하고자, 상온에서 700Å의 비정질 PZT 층을 증착한 후 600°C에서 perovskite PZT 추가로 증착한 경우와 600°C에서 직접 백금 기판 위에 스퍼터링 한 경우로 나누어 시편의 특성을 비교하였다. 또한 물성의 최적조건을 확립하기 위하여 전체두께에서 상온 증착층이 차지하는 비율 변화가 전체 PZT 박막의 물성에 미치는 영향을 알아보았다.

II. 실험 방법

1. 시편제작

p형 (100)Si 기판위에 SiO_2 를 열산화법으로 1000

Å, 그리고 Ti와 Pt를 DC 스퍼터링으로 각각 300Å, 2500Å의 두께로 증착한 Pt/Ti/ SiO_2 /Si 기판을 사용하였다. 기판표면의 oil, 먼지, 불순물 등은 cleaning 작업으로서 먼저 아세톤, 에탄올로 세척하고 고순도 질소로 잔류물을 제거한 후 스퍼터링 시스템에 장착하였다. 5% excess PbO가 첨가된 냉간 성형된 타겟을 사용하여 5×10^{-2} torr에서 스퍼터링을 실시하였으며, 박막의 조성은 Zr/Ti ~ 53/47인 MPB (Morphological Phase Boundary) 근방이 되게 하였다. 다음에 스퍼터링 조건을 요약하였다.

target	PZT composite target by powder mixing
target size	$\phi = 3$ inch
background pressure	$6 \times 10^{-6} - 8 \times 10^{-6}$ torr
sputtering pressure	5×10^{-2} torr
sputtering gas (flow rate)	Ar/O ₂ = 9/1
substrate temperature	Room temp., 600°C
R.F. power	120W

PZT 박막의 증착은 2단계로 나누어 실시하였다. 먼저 상온에서 비정질 상태의 PZT 를 증착한 후 기판온도를 600°C로 가열하여 PZT 박막을 추가로 증착 하였다. 이때 전체 두께는 2000Å으로 하였고, 600°C에서 증착한 PZT층과 상온에서 증착한 PZT층의 두께 비는 2000Å/0Å, 1800Å/200Å, 1650Å/350Å, 1500Å/500Å, 1300Å/700Å, 1000Å/1000Å 으로 달리하여 그 영향을 보았다.

2. 측정

기판 표면과 PZT 박막 사이의 두께를 mechanical stylus profilometer (Tencor, α -step 200) 로 측정하였고 이를 scanning electron microscopy (SEM) 단면 사진으로 확인하였다. 결정화 여부와 결정상의 규명을 위하여 X선 회절기 (Rigaku RAD-C, with Ni filtered $\text{CuK}\alpha$ radiation)를 이용하였다. 튜브전압 40 kV, 튜브전류 40 mA 의 조건에서, scan 속도 $8^\circ / \text{min}$ 로 2θ scan 을 행하였다.

전기적 특성을 측정하기 위하여 열진공증착법으로 PZT 박막위에 지름 0.2 mm 인 Al 점전극을 약 3000Å 증착하여 알루미늄 - 강유전체 - 백금으로 이루어진 metal - ferroelectric - metal (MFM) 구

조의 평행판 커패시터를 제조하였다. Al 점전극은 금속 마스크를 이용하여 형성시켰다.

전류-전압 특성은 semiconductor parameter analyzer (HP4145B)를 사용하여 측정하였다. 이력 특성과 유전상수는 Standardized Ferroelectric Test System (RT66A)를 사용하였다.

III. 결과 및 고찰

1. 비정질 PZT층의 효과

먼저 상온에서 700Å의 비정질 PZT 층을 증착한 후 600°C 에서 1300Å을 증착한 시편의 상형성과 단면을 확인했다. (이 후 상온에서 증착된층은 상온층, 600°C 에서 증착된 층은 600°C층으로 나타냄) XRD 결과를 그림1에 나타내었다. 600°C증착한 경우와 비교하면 특정한 방향성 없이 perovskite PZT가 형성되었음을 알 수 있다. 이는 상온층이 없는 경우 (111) 방향으로 성장된 결과를 나타낸 것과는 다른 경향으로, 백금기판이 (111)로 방향성을 갖지만 상온에서 증착한 PZT층이 비정질이기 때문에 600°C 에서 그 위에 추가로 증착된 PZT가 방향성을 갖지 않고 성장한 것으로 생각되었다.

이 시편의 SEM 단면을 보여주는 그림2로 부터 상온 PZT와 Pt의 안정한 계면과 상온층과 600°C층의 계면이 나타남을 확인할 수 있다. 이러한 계면의 존재는 누설전류를 감소시키는 역할을 할 수 있다.

다음으로 상온 PZT층의 영향을 알아보기 위하여 상온에서 700Å을 증착한 후 600°C 에서 1300Å 을 추가로 증착하여 총 두께를 2000Å 으로는 시편과 상온층 없이 2000Å 을 모두 600°C 에서 증착한 시편의 특성을 비교 해보았다. 두 경우의 I-V 특성을 나타낸 그림 3을 보면 누설전류는 3V에서의 각각의 값이 $4 \times 10^{-6} \text{A/cm}^2$ 와 $3 \times 10^{-7} \text{A/cm}^2$ 로 상온층이 있는 경우가 1 order 정도 감소하였고, 파괴전압도 상온층이 있는 시편이 25V 이상으로 우수한 특성을 나타내어 상온층이 있는 경우가 I-V 특성이 개선되었음을 알 수 있다. 또한 이들의 전계 증가에 따른 누설전류의 변화가 다른 경향을 나타내고 있음을 볼 수 있다. 이러한 결과로부터 서론에서 언급한 바와 같이 상온층을 증착함으로써 누설전류의 전도기구가 달라지고, 누설전류가 감소되었음을 알 수 있다. 이들 전도기구의 변화에

대하여는 현재연구가 진행중이다.

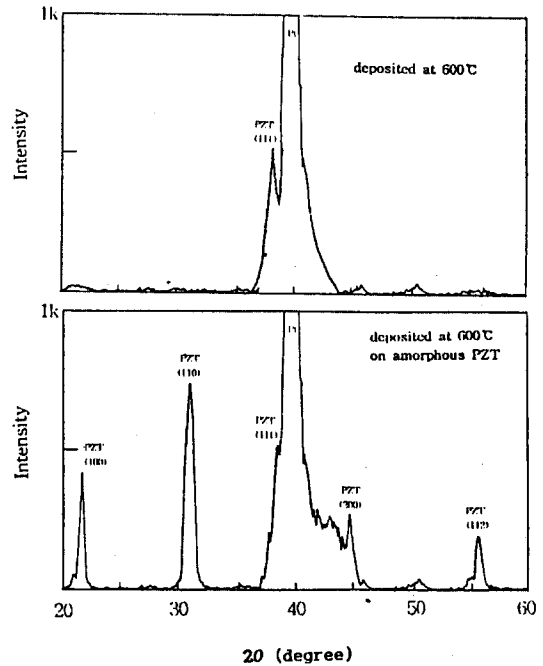


그림 1. 2단계 스퍼터링으로 증착한 PZT 박막의 XRD peak
Fig. 1. XRD peak of PZT thin film deposited by two step sputtering.

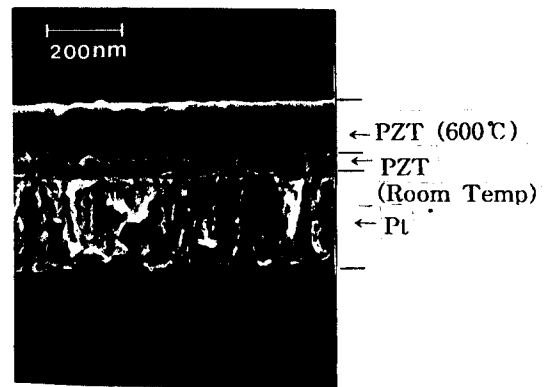


그림 2. 2단계 스퍼터링으로 증착한 PZT 박막의 SEM 단면 사진
Fig. 2. SEM cross section of PZT thin film deposited by two step sputtering.

그러나 유전상수의 경우 상온층이 있는 경우 350 - 400 정도로 상온층이 없는 시편의 900 - 1000 보다 크게 감소되었다. 두 가지 경우의 P-E loop 를 나타

낸 그림 4를 보면 같은 7V에서 상온층이 없는 경우는 잘 포화 (saturation) 된 경향을 보여주는 것에 비하여 상온층이 있는 시편은 포화가 아직 이루어지지 않았으며 잔류분극도 작은 값을 나타냄을 볼 수 있다. 이는 상온층이 600°C 에서 추가적인 스피터링이 진행되는 동안에도 perovskite 상형성이 이루어지지 않았음을 나타내는 것이다.

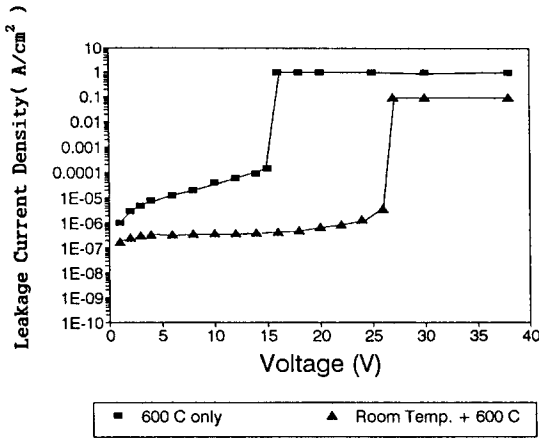


그림 3. 상온 증착층이 있는 경우와 없는 경우에 대한 PZT박막의 I-V 특성
 Fig. 3. I-V characteristics of PZT thin films with and without the layer deposited at room temperature.

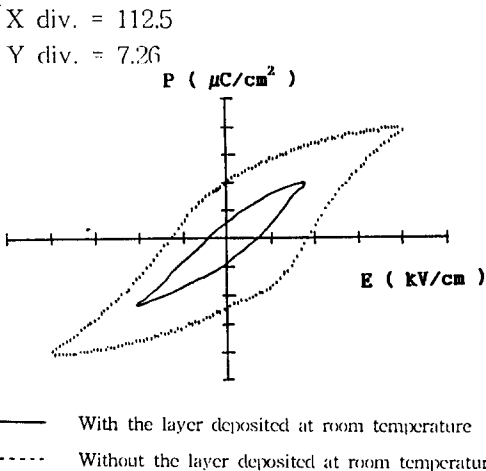


그림 4. 상온 증착층이 있는 경우와 없는 경우에 대한 PZT박막의 P-E 곡선
 Fig. 4. P-E hysteresis loop of PZT thin films with and without the layer deposited at room temperature.

이와 같이 상온에서 먼저 700Å 을 증착한후 600°C 에서 추가적인 스피터링을 하여 형성한 PZT 박막은 I-V특성은 개선할 수 있었으나, 유전상수 및 P-E 특성이 저하됨을 알 수 있었다. 따라서 전체 시편에서 상온층의 두께가 차지하는 비를 변화시킬 경우 누설전류의 개선은 유지되면서 유전상수를 향상시킬 수 있는 조건을 조사해 보았다.

2. 상온층의 두께변화에 따른 물성변화

전체 시편에서 상온층 두께비율의 변화에 따른 물성변화를 보기 위하여 전체 두께를 2000Å 으로 고정하고 상온층과 600°C층의 두께비율을 달리하여 누설전류와 유전상수를 측정하여 보았다.

먼저 그림5 에 상온층의 두께변화에 따른 유전상수를 나타내었다. 상온층이 200Å 인 경우 800 정도의 높은 유전상수를 나타내고 있으나, 상온층이 차지하는 두께비율이 증가하면 유전상수가 감소하는 경향을 보여주고 있다. 이는 앞서 말한 바와 같이 perovskite 상형성이 이루어지지 않은 상온층의 두께 비율이 증가하였기 때문으로 생각된다.

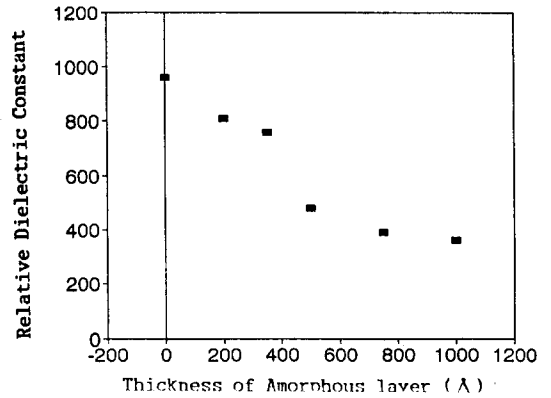


그림 5. 상온증착층과 600°C 증착층의 두께비율에 따른 유전상수
 Fig. 5. Dielectric constants with the ratio of the layer deposited at room temperature to the layer deposited at 600°C.

누설전류의 경우 그림 6과 같이 상온층이 200Å 인 경우에도 상온층이 없는 경우에 비하여 1 order 정도 감소된 값을 나타내고 있으며 상온층의 두께가 증가하면서 거의 일정한 경향을 보여주고있다. 즉 상온층과

600°C층의 두께비율의 변화는 본 실험의 측정범위에서 누설전류의 변화에 거의 영향을 주지 않음을 알 수 있다. 이로부터 시편의 누설전류의 감소가 상온층의 증착에 기인한 계면 안정화 효과와 상온층과 600°C층 사이에 생긴 계면에 의하여 주로 이루어진다고 생각할 수 있다. 또한 누설전류는 측정시편의 저항에 의존하므로 상온층과 600°C 증착층의 두께변화에 따라 누설전류가 거의 변하지 않은 것은 이 두 층의 비저항이 유사함을 나타낸다고 볼 수 있다. 이와같이 상온층이 200Å 정도 존재하는 경우 누설전류를 감소시키면서 유전상수도 큰 값을 갖는 우수한 특성을 나타내어 PZT 박막의 반도체소자 적용 가능성을 더 높게 하고 있다.

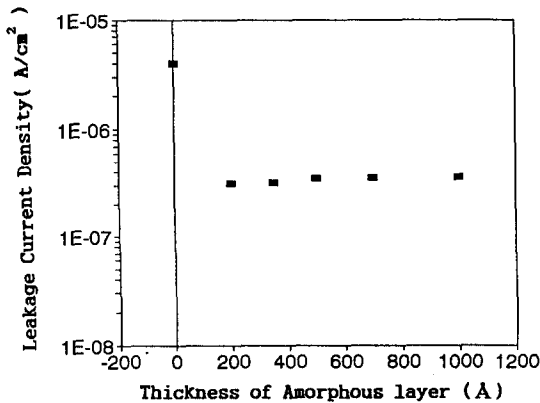


그림 6. 상온증착층과 600°C 증착층의 두께비율에 따른 누설전류

Fig. 6. Leakage currents with the ratio of the layer deposited at room temperature to the layer deposited at 600°C.

3. 600°C/상온 계면과 PZT/Pt 계면의 영향 해석

본 절에서는 상온에서 스퍼터링하여 만든 층의 영향을 분석하기 위하여 실험시편의 저항 값들로 부터 각 층의 저항을 계산하여 누설전류의 조절에 미치는 영향을 알아보았다. 계산을 위한 조건과 준비된 시편은 아래와 같다.

조건 : PZT 층의 비저항은 두께에 의존하지 않는다.

Al/PZT Contact 은 barrier 가 매우 낮아 계산에서 무시된다.¹⁷⁾

시편구분 및 저항 :

1.

600°C -3000Å
Pt

 R(1) = 3.52 × 10⁹ Ω
2.

600°C -2000Å
Pt

 R(2) = 2.40 × 10⁹ Ω
3.

600°C 1800Å
상온 200Å
Pt

 R(3) = 2.85 × 10¹⁰ Ω
4.

600°C 1000Å
상온 500Å
600°C 1000Å
Pt

 R(4) = 2.40 × 10¹⁰ Ω

층구분: P₆₀₀: PZT layer deposited at 600°C

P_{room}: PZT layer deposited at room temperature

I_{600/room}: interface between room temp. layer and 600°C layer

I_{pzt600/Pt}: interface between 600°C PZT layer and Pt layer

I_{pztrroom/Pt}: interface between room temp. PZT layer and Pt layer

먼저 600°C 에서 증착된 PZT층의 저항의 경우 1번 시편과 2번 시편의 차이에 의하여 구할 수 있다. 즉 1번 시편은 2번 시편에 비하여 600°C에서 증착된 PZT 1000Å을 더 갖고 있으므로 이 두 시편의 차이는 600°C에서 증착된 PZT 1000Å의 저항이 된다. 이를 계산하면 R(1) - R(2) = 3.52 × 10⁹ Ω - 2.40 × 10⁹ Ω = 1.12 × 10⁹ Ω 이 된다. 따라서 600°C PZT층 1000Å의 저항 R(P₆₀₀, 1000Å)은 1.12 × 10⁹ Ω 이며 상온층의 저항은 앞절의 두께 비에 따른 누설전류의 변화 결과에서 논의한 바와 같이 600°C층의 저항과 같다고 본다.

위의 계산을 근거로 600°C PZT 층과 백금 전극의 계면 저항 R(I_{pzt600/Pt}), 600°C PZT 층과 상온 PZT 층의 계면 저항 R(I_{600/room}), 상온 PZT 층과 백금기판의 계면 저항 R(I_{pztrroom/Pt}) 를 계산해보았다.

2번 시편에서 전체저항 에서 2000Å 의 PZT 저항을 제외한 나머지저항값을 600°C 증착시 PZT/Pt 계면의 저항 값으로 생각할 수 있으며 그 값은 R(I_{pzt600/Pt}) = R(2) - R(P₆₀₀, 2000Å) = 2.40 × 10⁹ Ω - 2.24 × 10⁹ Ω

$\Omega = 1.60 \times 10^8 \Omega$ 이된다. 이때 Al/PZT의 접촉 저항은 조건과 같이 barrier가 매우 낮은 것으로 고려하여 무시되며, PZT 층의 비저항은 두께에 의존하지 않는다는 조건으로부터 PZT 2000Å의 저항은 앞에서 계산된 PZT 1000Å의 값에 두배를 하여 사용하였다. 이후 계산에서도 이와 같은 방법으로 두께에 따른 PZT의 저항을 계산하였다.

4번 시편에서 600°C PZT층과 상온 PZT층의 계면 저항을 계산할 수 있다. 즉 4번 시편은 600°C PZT 2000Å 과 상온 PZT 500Å 그리고 600°C PZT와 상온 PZT의 계면 $I_{600/room}$ 2개로 이루어져 있다. 따라서 4번시편의 저항에서 600°C PZT 2000Å과 상온 PZT 500Å의 저항을 빼면 $I_{600/room}$ 2개의 저항이 나온다. 이를 계산 하면 600°C PZT 와 상온 PZT의 계면에 의한 저항 $R(I_{600/room})$ 은 $1.06 \times 10^{10} \Omega$ 이된다.

이제 시편3번으로부터 $R(I_{pzt/room/Pt})$ 를 바로 계산할 수 있다. 즉 $R(3) = R(I_{pzt/room/Pt}) + R(I_{600/room}) + R(P_{room, 200\text{Å}}) + R(P_{600, 1800\text{Å}})$ 의 관계를 가지므로 600°C PZT 1800Å의 저항과 상온 증착층 200Å 그리고 $I_{600/room}$ 의 저항 값을 3번 시편의 저항 값에서 빼주면 $R(I_{pzt/room/Pt})$ 를 구할 수 있다. 결과적으로 $R(I_{pzt/room/Pt})$ 는 $1.57 \times 10^{10} \Omega$ 이 된다.

이와 같은 해석을 통하여 상온에서 1차 스퍼터링 하여 비정질 PZT를 증착한 후 그 위에 600°C에서 perovskite PZT를 형성하는 경우 PZT/Pt 계면의 안정화에 의하여, 상온PZT 층과 백금기판의 계면저항 $R(I_{pzt/room/Pt})$ 이 600°C에서 직접 백금기판위에 PZT를 증착한 시편의 계면 저항 $R(I_{pzt600/Pt}) = 1.60 \times 10^8 \Omega$ 보다 크게 증가하여 $1.57 \times 10^{10} \Omega$ 이 되었으며, 600°C 층과 상온층의 계면 형성으로 인하여도 $1.06 \times 10^{10} \Omega$ 의 저항이 증가되었음을 알 수 있었다. 또한 상온층 PZT와 백금기판의 계면안정화에 의한 저항증가가 가장 현저하였고, 이것이 누설전류의 감소에 가장 큰 영향을 주었다고 생각된다.

IV. 결 론

PZT 박막의 누설전류를 감소시키기 위하여 상온에서 1차 스퍼터링하여 비정질 PZT 층을 증착한 후 600°C에서 2차 스퍼터링하여 안정한 perovskite PZT를 증착하여 열 이입을 다르게 하는 방법을 시도하였다. 상온층을 증착한 경우 누설전류는 감소하였고 파괴전

압은 증가하여 I-V 특성이 개선되었다. 그러나 상온층의 두께가 증가하면서 유전상수는 감소하는 경향을 나타내었다. 이는 상온에서 증착된 비정질층이 perovskite PZT로 상변태 되지 않았기 때문으로 생각되었다. 결과적으로 전체 두께를 2000Å으로 하고 상온 증착층이 200Å 증착된 경우 $3 \times 10^{-7} \text{ A/cm}^2$ 정도의 낮은 누설전류와 800 이상의 높은 유전상수를 나타내어 PZT 박막의 메모리 소자용 capacitor로의 적용가능성을 높게 하였다.

※ 이 논문은 1994년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

참 고 문 헌

- [1] Jiyoung Kim, Rajesh Khamankar, C.Sudhama, et al., "La doped PZT Films for Gigabit DRAM Technology", IEEE Symposium on VLSI Technology Digest of Technical Papers, pp.151-154, 1994.
- [2] Takashi Hase, Toshiyuki Sakuma, Yoichi Miyasaka, et al., "Preparation of Pb(Zr,Ti)O₃ Thin Film by Multi-Target sputtering", Jpn.J.Appl.Phys. Vol.32, No.9B, pp.4061-4064, 1993.
- [3] Isaku Kanno, Shigenori Hayashi, Takeshi Kamada, et al., "Low-Temperature Preparation of Pb(Zr,Ti)O₃ Thin Film by Multi-Ion Beam sputtering", Jpn.J.Appl.Phys. Vol.32, No.9B, pp.4057-4059, 1993.
- [4] G.A.C.M.Spierings, J.B.A.van Zon, M.Klee et al., "Influence of platinum-based electrodes on the microstructure of sol-gel and MOD prepared lead-zirconate-titanate films", ISIF Processdings, March 9-11, pp.280, 1992.
- [5] J.F.Scott, B.M.Melnick, C.A.Araujo, et al., "d.c.Leakage current in Ferroelectric memories", Integrated Ferroelectrics, Vol.1, pp.323-328, 1992.
- [6] C.Sudhama, A.C.Campbell, P.D.Maniar, et al., "A model for electrical conduction

in metal-ferroelectric-metal thin film capacitors", J.Appl.Phys., Vol.75, No.2, pp.1014-1016,1994.

- [7] Wolfgang Antpohler, Guido W.Dietz, Mareike Klee, Rainer Waser "Electrode

Influence on the Charge Transport Properties of SrTiO₃ Thin Films". 4th International Conference on Electronic Ceramics & Applications, Vol.1 pp169-172, 1994.

저 자 소 개

馬在坪(正會員) 第30卷A篇第10號 參照
現在 湖南大學校 電子工學科 助
教授

黃有商(正會員) 第30卷A篇第10號 參照
現在 Virginia Polytechnic
Institute and State Univer-
sity post-doc.

白壽鉉(正會員) 第30卷A篇第10號 參照
現在 漢陽大學校 材料工學科 教
授