

論文95-32A-11-9

고집적 SRAM Cell의 동작안정화에 관한 연구

(A Study on the Stability of High Density SRAM Cell)

崔 鎮 榮 *

(Jin-Young Choi)

요 약

SRAM에서 가장 보편적으로 사용되고 있는 4-Transistor Cell을 선정하여, 저전원전압에서 Cell의 안정된 동작을 보장하는 Cell Transistor의 최소 크기비를 정적 Read 동작 Modeling을 통해 분석적인 식으로 표현하였다. 이상적 Transistor 특성을 가정하여 유도된, 비교적 간단한 식을 분석함으로써 전원전압 및 공정 Parameter의 변화에 따른 최소 Cell 비율의 변화 추이를 예측하였고, 정적 Read 동작을 위한 전원전압의 최소한계를 규명하였다. Cell 동작의 저전압 한계를 파악하는데 효율적인 회로 Simulation 방법을 제시하여 분석 결과를 검증하고 미소 Cell에서의 추이를 검토하였다. 이러한 분석을 통해 Cell 비율 결정시 최악조건은 저온, 저전압 상황이며, Transistor 문턱전압을 줄임으로써 동작 Margin을 효율적으로 향상시킬 수 있음을 보였다.

Abstract

Based on the popular 4-transistor SRAM cell, an analytical expression of the minimum cell ratio was derived by modeling the static read operation. By analyzing the relatively simple expression for the minimum cell ratio, which was derived assuming the ideal transistor characteristics, effects of the changes in supply voltage and process parameters on the minimum cell ratio was predicted, and the minimum power supply voltage for read operation was determined. The results were verified by simulations utilizing the suggested simulation method, which is suitable for monitoring the lower limit of supply voltage for proper cell operation. From the analysis, it was shown that the worst condition for cell operation is low temperature and low supply voltage, and that the operation margin can be effectively improved by reducing the threshold voltage of the cell transistors.

I. 서 론

Static Random Access Memory(SRAM)는

* 正會員. 弘益大學校 電氣工學科

(Dept. of Electrical Engineering, Hongik Univ.)

※ 이 논문은 1994년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음

接受日字: 1995年4月4日, 수정완료일: 1995年10月30日

Dynamic RAM(DRAM)과 달리 Refresh가 필요없으며, 전력소모가 매우 적고 초고속 동작이 가능하다는 장점이 있어 중요한 Memory 소자로 사용되고 있다. CMOS 기술을 이용하는 SRAM의 집적도가 DRAM에 비해 낮은 것은 Memory Cell의 구성이 1개의 저장용 Capacitor와 1개의 Access Transistor를 갖는 DRAM과 달리 Flip-Flop 형태를 갖는다는 데 있으며, 그 구조 또한 집적도 증가의 요구에 따라 CMOS

구조의 6-Transistor Cell 구조¹¹⁾에서 Poly-Silicon 고부하저항을 사용하는 4-Transistor Cell 구조^{12,31)}로 변화해 왔다. 6-Transistor CMOS Cell 구조는 P-well과 N-well을 동시에 필요로 하여 소요 면적이 크다는 단점이 있어 Chip의 고집적화에 따라 그 사용비중을 잃어왔으며, 대신 4 Transistor로 구성되는 Cell이 현재 대부분의 SRAM Cell로서 사용되고 있다.

SRAM의 고집적화, 고속화 및 전원전압의 저전압화에 따라 충분한 동작 Margin을 갖는 새로운 Memory Cell의 지속적인 개발이 요구되고 있다. SRAM 제품의 성공을 좌우하는 요소의 하나는 얼마나 높은 집적도를 갖느냐에 있으며, 이는 Cell 자체의 크기를 얼마나 작게 설계할 수 있는가에 달려 있다. Cell 크기는 요구되는 Cell Transistor의 크기비(Cell 비율)에 직접적으로 좌우되므로 Cell 비율에 관한 분석은 매우 중요하다고 할 수 있다. 이러한 Cell 비율의 분석에 관하여 많은 연구가 있었으며, 대표적인 발표로는 DC특성을 나타내는 Static Noise Margin(SNM) 분석¹⁴⁾과 AC 분석¹⁵⁾이 있다. SNM 분석은 Simulation이나 측정에 의한 상대적인 비교를 통해 Cell의 동작안정성을 조사하는 데 유용하게 사용되고 있으나, 그 식이 복잡하며 Cell 동작에 요구되는 최소 Cell 비율에 대한 분석적인 식을 제시하지는 못하였다.¹⁴⁾의 분석에서는, 공급전원의 저전압화 추세에 따라 주요 관심이 되고 있는 저전압 한계치에서의 분석이 미비하였고, 또한 NMOS Pass Transistor의 Substrate가 접지에 연결됨에 따른 Body효과에 의해 문턱전압이 상승하여 Cell 동작 Margin이 감소하는 점이 고려되지 않았다. 그 결과식에 의하면 동작 Margin이 0이 되어 Cell 동작이 불가능한 Cell 비율은 1인 것으로 나타나지만 본 분석의 결과 Cell 비율이 1 보다 큰 경우에도 Data Flip이 일어날 수 있음을 알 수 있다.

본 논문에서는 SRAM에서 가장 보편적으로 사용되고 있는 4-Transistor Cell을 선정하여, 저전압에서 Cell의 안정된 동작을 보장하는 최소 Cell 비율을, 이상적 구조의 Transistor를 사용하는 Cell의 정적 Read 동작 Modeling을 통해 분석적인 식으로 표현한다. DC 회로 Simulation을 이용하여 Cell Read 동작의 저전압 한계를 분석하는 간단한 방법을 제시하여 이론적 분석결과의 타당성을 검토하고 미소 규격의 Transistor를 사용하는 Cell에서의 추이를 파악한다.

II. Modeling

그림 1은 4-Transistor Cell의 회로 예이다. 4-Transistor Cell은 4개의 증가형 NMOS Transistor와 2개의 Poly-Silicon 고부하저항으로 구성된다. 4개의 Transistor는 2개의 Pull-down Transistor(M1, M2)와 2개의 Pass Transistor(M3, M4)가 Flip-Flop 형태로 연결되어 있다. 2개의 Poly-Silicon 저항(R1, R2)은 Cell Node A, B를 V_{DD} 로 연결한다. M3과 M4는 Word Line 선택에 의해 On/Off되고, Bit Line(BL, BLB)과 Cell Node 사이의 Data 통로 역할을 한다. Cell에 Data Write 시 BL과 BLB의 High/Low 또는 Low/High Data가 M3과 M4를 통해 Cell Node에 Write되고, Pass Transistor가 Off되면 Cell Node A와 B에 High/Low 또는 Low/High Data가 저장된다. Read 시에는 다시 M3, M4가 On 되어 Cell Node의 High/Low 또는 Low/High Data가 BL/BLB에 전압차를 유지시키며, 이 전압차는 후단의 감지증폭기에 의해 증폭되어 출력단으로 전달됨으로써 Cell에 저장된 정보를 출력하게 된다.

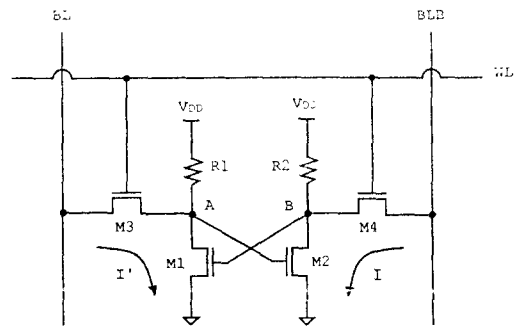


그림 1. 4-Transistor SRAM Cell의 회로도
Fig. 1. Circuit Diagram of a 4-Transistor SRAM Cell.

Cell에 Data를 Write하고 Read하기 위해서는 Pull-down Transistor의 Conductance가 Pass Transistor의 Conductance보다 기준치 이상 커야한다는 제약이 있다. 이러한 제약은 Read시의 제약이 보다 문제가 되며¹⁴⁾, 이 Conductance의 비가 충분히 크지 못하면 Read시 Data가 Flip되어 오동작을 야기하게된다. 이 Conductance 비는 클수록 동작의 안정성에는 좋으나, Cell 비율을 증가시켜 Cell의 면

적을 크게 하는 직접적 원인이 되므로, 고집적 Memory에서는 이 Cell 비율의 최소한계를 파악하여 필요한 Noise Margin을 갖도록 해야하나, 과도한 Margin이 없도록 하는 것이 매우 중요한 과제라 할 수 있다.

그림 1에서 Cell은 완전한 대칭성을 가진 것으로 가정하고, Node A에 '1' Node B에 '0' Data가 Write되어 있는 경우의 Read 상황을 고려해 보자. Retention 상황에서 V_{WL} 은 0 V가 되어 M3, M4가 Off되고 V_A 는 공급전원의 크기인 V_{DD} 에 가있고 V_B 는 0V를 유지한다. Read 동작시 Word Line이 선택되어 V_{WL} 이 V_{DD} Level로 올라가면 M3, M4가 On 상태가 된다. 이 경우 V_{BL} 및 V_{BLB} 는 PMOS Precharge Transistor 사용시 V_{DD} Level 가까이 있으며 그림에서와 같이 On 상태에 있는 M4, M2를 통해 Read 전류가 흐르게 되고 Transistor M4, M2의 Conductance 비에 의해 V_B 는 증가하게 된다. V_B 의 증가는 M1에 Subthreshold 전류의 흐름을 야기하며, M3을 통해 이 전류가 흐르면서 V_A 는 감소한다. 정상적인 정적 Read 동작시 V_A 는 M2의 문턱전압(V_{T2})보다 커서 M2, M4를 통해 충분한 Read 전류가 흐르고, V_B 는 M1의 문턱전압(V_{T1})보다는 작아 M1, M3에는 무시할 정도의 전류만이 흘러야 한다. 이 경우 M1, M3은 Subthreshold 포화영역에서, M4는 포화영역에서 동작하게 되며 M2만이 선형영역에서 동작한다. M4, M2의 Conductance 비가 충분하지 않을 경우 V_B 의 값이 증가하여 M2도 포화영역에서 동작하게 되면, 포화시 Drain Conductance가 매우 커지므로 V_A 의 작은 변화에도 V_B 는 쉽게 증가하게 된다. 이 경우 V_A 와 V_B 는 같은 값으로 수렴하여 High 또는 Low의 Data를 잃게 되고 Cell의 Flip이 야기된다. 그러므로 정상적인 Read 동작의 필요조건은 V_B 가 M2의 Drain 포화전압($V_{D(sat)}$)보다 작아 M2가 선형영역에서 동작하여야 한다는 것이다.

이러한 Read 동작을 이상적인 Transistor 특성을 가정하고 최소 Cell 비율의 분석적인 식을 유도해 보기로 한다. 이하의 분석에서 각 Transistor의 문턱전압은 V_{T1} , V_{T2} , V_{T3} , V_{T4} 라 정의하고, 선형영역과

포화영역에서의 문턱전압은 약간의 차이를 보이나 본 분석에서는 무시하기로 한다. 또한 Cell 구조의 대칭성에 의해 $V_{T1} = V_{T2}$ 이며 $V_{T3} = V_{T4}$ 임을 가정한다.

선형영역과 포화영역에서의 MOSFET의 Drain 전류는 다음과 같이 표현된다¹⁶⁾

$$I_D = \frac{W}{L} \mu_N C_{OX} (V_{GS} - V_T) \frac{1}{2} V_{DS} \quad (\text{선형영역}) \quad (1)$$

$$I_D = \frac{1}{2} \frac{W}{L} \mu_N C_{OX} (V_{GS} - V_T)^2 \quad (\text{포화영역}) \quad (2)$$

여기에서 W , L 은 Channel의 폭과 길이이며, μ_N 은 전자의 이동도, C_{OX} 는 단위 면적당의 Gate Capacitance이다. 또한 Subthreshold 영역에서는 매우 작은 Drain 전압에서 포화가 일어나며, MOSFET의 Drain 포화전류는 다음과 같이 표현된다¹⁷⁾.

$$I_D = \frac{W}{L} \mu_N C_{OX} \frac{1}{m} \left(n \frac{kT}{q} \right)^2 \exp \left[\frac{q}{nkT} (V_{GS} - V_T - n \frac{kT}{q}) \right] \quad (\text{Subthreshold}) \quad (3)$$

여기에서 m 과 n 은 근래의 공정기술에서 1과 2사이의 값을 갖는 상수이다.

Read시 그림 1에서와 같이 전류 I가 M4, M2를 통해 흐르므로 각 Transistor의 Node 전압을 사용하여 다음과 같이 I를 표현할 수 있다.

$$I = \frac{W_2}{L_2} \mu_N C_{OX} (V_A - V_{T2} - \frac{1}{2} V_B) V_B \quad (4)$$

$$I = \frac{1}{2} \frac{W_4}{L_4} \mu_N C_{OX} (V_{DD} - V_B - V_{T4} - \Delta V_{T4})^2 \quad (5)$$

또한 V_B 의 증가에 따라 M1, M3에는 Subthreshold의 누설전류 I' 가 흐르게 되며, 각 Transistor의 Node 전압을 사용하여 다음과 같이 I' 를 표현할 수 있다.

$$I' = \frac{W_1}{L_1} \mu_N C_{OX} \frac{1}{m} \left(n \frac{kT}{q} \right)^2 \exp \left[\frac{q}{nkT} (V_B - V_{T1} - n \frac{kT}{q}) \right] \quad (6)$$

$$I' = \frac{W_3}{L_3} \mu_N C_{OX} \frac{1}{m} \left(n \frac{kT}{q} \right)^2 \exp \left[\frac{q}{nkT} (V_{DD} - V_A - V_{T3} - \Delta V_{T3} - n \frac{kT}{q}) \right] \quad (7)$$

식 (5)와 (7)에서 ΔV_{T3} 과 ΔV_{T1} 는 M3, M4의 Source 전압이 집적되어 있는 Substrate 전압보다

높아짐에 따라 발생하는 Body 효과에 의한 문턱전압 증가분으로, ΔV_{T3} 은 Read 시 High Node 전압을 낮춤으로써 동작 Margin을 감소시키며 다음과 같이 표현된다¹⁶⁾.

$$\Delta V_{T3} = \frac{\sqrt{2\epsilon_s q N_A}}{C_{OX}} (\sqrt{2\phi_B + V_B} - \sqrt{2\phi_B}) \quad (8)$$

$$\Delta V_{T4} = \frac{\sqrt{2\epsilon_s q N_A}}{C_{OX}} (\sqrt{2\phi_B + V_B} - \sqrt{2\phi_B}) \quad (9)$$

여기에서 ϵ_s 는 Silicon의 유전율, N_A 는 Channel의 Doping 농도이며 $2\phi_B$ 는 Inversion 전위이다.

식 (4)를 식 (5)로 나누어 정리하면 Transistor 크기를 다음과 같이 나타낼 수 있다.

$$\frac{W_2/L_2}{W_4/L_4} = \frac{(V_{DD} - V_B - V_{T4} - \Delta V_{T4})^2}{2(V_A - V_{T2} - V_B/2)V_B} \quad (10)$$

$V_{D(sat)2}$ 는 근사적으로 $(V_A - V_{T2})$ 와 같으며¹⁶⁾, 정상 Read 동작을 위해서는 앞서 논의된 바와 같이 $V_B < V_{D(sat)2}$ 가 만족되어야 한다. 식 (10)의 값은 V_B 값이 클수록 작아지므로 식 (10)의 V_B 를 $(V_A - V_{T2})$ 로 대치함으로써 요구되는 최소 Cell 비율 R_{MIN} 을 식 (11)과 같이 표현할 수 있다. 즉 R_{MIN} 값은 High Node 전압 V_A 와 Low Node 전압 V_B 간에 V_{T2} 만큼의 전압차가 유지되기 위한 최소 Cell 비율이라고 할 수 있다.

$$R_{MIN} = \frac{(V_{DD} - V_A + V_{T2} - V_{T4} - \Delta V_{T4})^2}{(V_A - V_{T2})^2} \quad (11)$$

여기에서 ΔV_{T4} 는 식 (9)에서 V_B 를 $(V_A - V_{T2})$ 로 대치함으로써 구해지므로, High Node 전압 V_A 를 구함으로써 R_{MIN} 을 결정할 수 있다.

R_{MIN} 의 결정을 위한 V_A 를 구하기 위하여 식 (6)을 식 (7)로 나누어 정리하면 다음과 같다.

$$V_{DD} - V_A - V_{T3} - \Delta V_{T3} - V_B + V_{T1} = n \frac{kT}{q} \ln\left(\frac{W_1/L_1}{W_3/L_3}\right) \quad (12)$$

식 (12)의 우변항은 $n=2$ 와 일반적인 Cell 비율 3을 가정할 때 0.06 미만의 작은 값을 가지므로 무시하고, V_B 를 $(V_A - V_{T2})$ 로 대치하면 다음과 같은 V_A 의 근사식을 얻을 수 있다.

$$V_A = \frac{1}{2}(V_{DD} + 2V_{T1} - V_{T3} - \Delta V_{T3}) \quad (13)$$

식 (11)은 전원전압 V_{DD} 와 문턱전압으로 표현된 SRAM Cell의 정상적 정적 Read동작을 위한 최소 Cell 비율이다. 주어진 공정 조건에서 N_A, t_{OX}, V_T 가 주어지면, 식 (8)과 (13)을 연립하여 V_A 를 구하고 $V_B = (V_A - V_{T2})$ 를 이용하여 식 (9)에서 ΔV_{T4} 를 구함으로써 식 (11)로부터 임의의 V_{DD} 에서 요구되는 R_{MIN} 을 계산할 수 있다. 예를 들어 $N_A = 5.4 \times 10^{16} \text{ cm}^{-3}$, $t_{OX} = 23 \text{ nm}$, $V_T = 0.75 \text{ V}$ 인 경우 $V_{DD} = 2.5 \text{ V}$ 에서의 R_{MIN} 을 구해보자. 이 경우 $C_{OX} = 0.1501 \mu\text{F}/\text{cm}^2$, $2\phi_B = 0.7856 \text{ V}$ 가 되며, $V_A = 1.366 \text{ V}$ ($\Delta V_{T3} = 0.517 \text{ V}$), $V_B = 0.616 \text{ V}$ ($\Delta V_{T4} = 0.265 \text{ V}$)가 되고 요구되는 최소 Cell 비율 R_{MIN} 은 1.99가 된다. 단 상기의 분석은 V_B 가 V_{T1} 보다 대략적으로 같거나 작을 경우에 적용되는 것임을 주시하여야 한다. V_B 가 V_{T1} 이상으로 커짐에 따라 M1이 Turn-on되면서 V_A 의 값은 식(13)의 값보다 점점 작아지게 되어 식 (11)에 오차가 발생한다. 그러나 이러한 경우는 V_{DD} 가 큰 경우에 발생하게 되며, 문제가 되는 저전압에서의 동작 한계와는 무관한 경우로서 그 중요도가 낮으므로 자세한 분석은 생략하기로 한다. 이러한 경우에도 정상동작은 가능하나 V_A 의 값을 실제보다 높게 계산하므로 식 (11)에 의한 R_{MIN} 값은 실제보다 작게 계산됨을 알 수 있다.

식 (11)은 R_{MIN} 의 절대적인 수치에서의 중요성보다는 각 Parameter의 변이에 따른 R_{MIN} 의 변화를 예측하는 데에 더 유용하게 이용될 수 있겠다. 그 예로서 V_{DD} 와 V_T 의 변화에 따른 R_{MIN} 의 변화를 고려해 보자.

(1) R_{MIN} 의 V_{DD} 의존도

V_{DD} 가 증가할 경우 R_{MIN} 이 감소함을 식 (11)에서 쉽게 알 수 있으며 그 변화추이를 그림 2-(a)에 도시하였다. 낮은 V_{DD} 에서 사용시 Cell 비율이 더 커야 한다는 것을 알 수 있으며, 이는 V_{DD} 가 증가함에 따라 Static Noise Margin이 증가한다는 이론¹⁴⁾과 동일한 설계기준을 제시한다.

또한 식 (11)에 이르는 조건에서 전원전압 V_{DD} 의 최소치를 추론할 수도 있다. 적어도 $V_A > V_{T2}$ 가 요

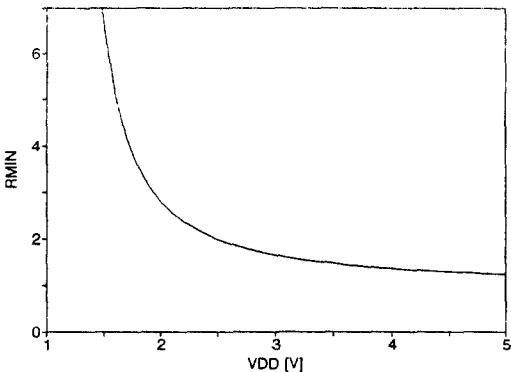
구되므로 식 (13)에서 V_A 를 V_{T2} 로 대치하면 개략적으로 식 (14)와 같은 조건이 요구됨을 알 수 있다. 위의 예 경우 $V_{DD} > 1.1V$ 가 요구되며 이는 Cell 비율과 무관한 전원전압의 최소한계를 정의한다.

$$V_{DD} > V_{T3} + \frac{\sqrt{2\epsilon_s q N_A}}{C_{OX}} (\sqrt{2\phi_B + V_{T2}} - \sqrt{2\phi_B}) \quad (14)$$

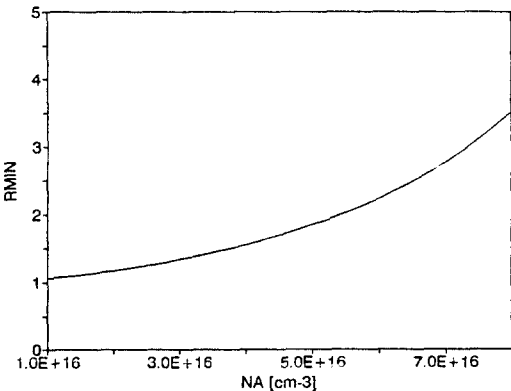
(2) R_{MIN} 의 V_T 의존도

V_T 가 감소할 경우에도 R_{MIN} 이 감소함을 수치대입을 통해 쉽게 알 수 있다. V_T 는 식 (15)에서와 같이 Channel Doping 농도(N_A)와 Gate Oxide 두께(t_{OX})의 함수이므로^[6], 이 식을 이용하여 R_{MIN} 의 N_A , t_{OX} 의존도를 계산하여 그림 2-(b), (c)에 도시하였다. N_A 또는 t_{OX} 감소시 V_T 가 감소하여 요구되는 Cell 비율이 감소함을 알 수 있다. 이 변화추이는 V_T 가 감소함에 따라 Static Noise Margin이 감소하는 것^[4]과 대조가 되어 흥미로운 결과이다.

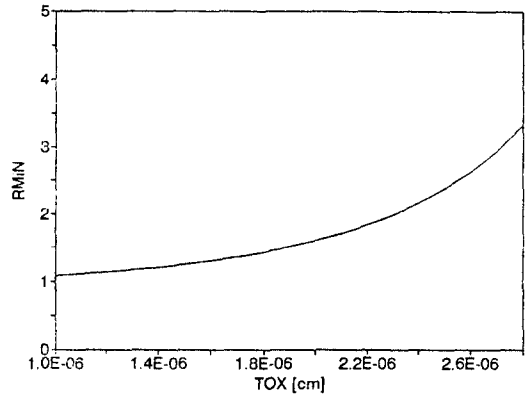
$$V_T = V_{FB} + 2\phi_B + \frac{\sqrt{2\epsilon_s q N_A}}{C_{OX}} \sqrt{2\phi_B} \quad (15)$$



(a)



(b)



(c)

그림 2. R_{MIN} 의 (a) V_{DD} 의존도 (b) N_A 의존도 (c) Z_{OX} 의존도

Fig. 2. Dependency of R_{MIN} on (a) V_{DD} (b) N_A (c) t_{OX}

상기 분석의 결과로부터 Simulation이나 측정에 의한 Cell 비율 결정시 기준이 되는 최악조건을 결정할 수 있다. 온도가 올라가게 되면 V_T 가 감소하는 MOSFET의 특성을 고려해 볼 때 Cell 비율 결정시 최악조건은 보다 큰 R_{MIN} 이 요구되는 저온, 저전압이 된다는 것이다. 즉 정상조건에서 동작에 문제가 없는 Cell도 저온, 저전압에서 문제를 일으킬 수 있다는 의미가 된다.

주시하여야 할 사항은 최소 사용가능 전원전압이나 최소 Cell 비율이 V_T 가 감소함에 따라 줄어든다는 점이며 이는 차세대 저전압 SRAM 기술에서 V_T 를 줄임으로써 4-Transistor Cell의 사용을 지속해 나갈 가능성을 암시한다.

이상의 분석에서 Cell Transistor의 특성이 이상적인 경우를 가정하였으나 근래에 사용되는 고집적 SRAM Cell에 사용되는 MOSFET의 Channel 길이와 폭은 모두 Small Geometry 효과가 심하게 나타나는 영역에 있다. 주된 Small Geometry 효과의 하나는 V_T 의 변화를 들 수 있다. Channel 길이가 감소함에 따라 V_T 는 감소하며, Channel 폭이 감소함에 따라 V_T 는 증가한다. 일반적으로 사용되는 Cell 비율은 3 정도이므로, Pull-down Transistor (M1, M2)의 W는 Pass Transistor (M3, M4)의 W보다 크고 Pull-down Transistor (M1, M2)의 L은 Pass Transistor (M3, M4)의 L보다 작게 설계된

다. 결과적으로 Small Geometry 효과에 의해 Pull-down Transistor (M1, M2)의 V_T 는 Pass Transistor (M3, M4)의 V_T 보다 작게 된다. 이에 따라 같은 Cell 비율 사용시 이상적인 Transistor Cell에 비해 Conductance 비가 커지므로, 주어진 전 원전압에서 요구되는 R_{MIN} 값이 작을 것임을 추측할 수 있고, V_T 의 변화는 W나 L의 함수이므로 식 (11)의 R_{MIN} 값도 사용되는 Transistor의 W, L 각각의 값에 따라 변할 수 있음을 알 수 있다.

또 다른 Small Geometry 효과는 포화영역에서 동작하는 MOSFET의 전류-전압 특성이 속도포화에 의해 좌우된다는 점과 Channel 길이의 축소에 의해 포화시 Drain Conductance가 감소한다는 점이다. 이러한 모든 Small Geometry 효과를 포함하는 Modeling은 매우 복잡해지므로 그 의미가 작다고 판단되며 Simulation에 의해 그 변화추이만을 확인해 보기로 한다.

III. Simulation에 의한 검증

II장의 이론적 분석에 의한 결과를 회로 Simulator HSPICE와 동급의 SPICE 상용 Version인 Smart-Spice¹²⁾를 이용하여 그 타당성을 검토한다. MOSFET Model은 Level 13 BISIM Model을 사용하였고, Model Parameter는 MOSIS 1.2 μ m Run의 Parameter¹³⁾를 사용하였다. II장의 계산에서 사용된 Parameter는 비교를 용이케 하기 위해 이 Simulation Parameter와 일치시킨 값이다. Subthreshold Slope Factor $N_0 = 1.5$ 로 하여 MOSIS Parameter에 고려되지 않은 Subthreshold Model을 추가하였고, 온도에 따른 V_T 변화율 $tcv = 4\text{mV/degree}$ 의 전형적인 값을 사용하여¹⁶⁾ 온도 의존 Model을 추가하였다. 상온에서 Simulation된 이상적 Transistor의 V_T 는 II장에서와 같이 0.75V였다.

그림 3은 그림 1의 회로에서 Bit Line 과 Word Line 전압을 V_{DD} 로 하고, A Node에 High 전압 V_{DD} , B Node에 Low 전압 0을 초기치로 주고 V_{DD} 를 감소시키면서 Cell Node DC 전압 V_A , V_B 를 Simulation한 결과이다. Poly 고저항의 값은

1E12 Ω 을 가정하였고 Pull-Down Transistor 크기는 $W_D/L_D = 20\mu\text{m}/10\mu\text{m}$, Pass Transistor 크기는 $W_P/L_P = 10\mu\text{m}/10\mu\text{m}$ 로서 W와 L이 충분히 큰 이상적 Transistor를 사용하는 Cell 경우이다. V_{DD} 가 감소하면서 Cell Node 전압의 차가 감소하다가 같은 값으로 수렴하는 것을 볼 수 있다. 이때의 V_{DD} 값이 사용된 Cell 경우에 사용가능한 최소 공급전압의 값이며, 이때의 Cell 비율 2가 해당 V_{DD} 에서의 R_{MIN} 이라고 할 수 있다. II장의 분석결과와 같이 Cell Node 전압간에 개략적으로 V_T 에 해당되는 정도의 차이를 보이는 점까지 정상동작이 이루어짐을 알 수 있다.

SPICE DC Simulation에서는 바로 전 Bias Point의 해를 초기치로 하여 해를 구하므로, 그림 3의 Simulation 결과는 실제 측정치와 같다고 할 수 있으며, 이 방법은 Simulation이나 측정에 의해 Cell 동작의 저전압 한계를 분석하는데 효율적으로 이용될 수 있겠다.

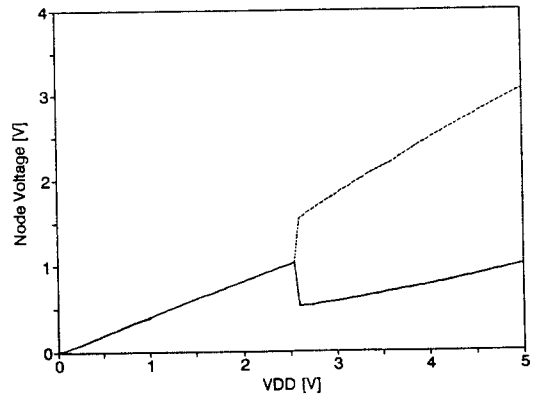


그림 3. 역방향 V_{DD} Sweep에 따른 DC Node 전압 특성

Fig. 3. DC Node Voltage Characteristics with Reverse V_{DD} Sweep.

상기의 Simulation 방법을 이용하여 각 V_{DD} 값에 해당되는 R_{MIN} 값을 추출하여 식 (11)에 의한 계산치와 함께 그림 4에 도시하였다. 이상적 Transistor Cell 경우 Channel 길이는 모두 10 μm 로 고정하고 폭은 10 μm 이상을 사용하였고, 미소 Transistor Cell 경우 Channel 길이는 모두 1 μm 로 고정하고 폭은 1 μm 이상을 사용하였다. 이상적 Transistor Cell

경우 Simulation 결과는 II장의 분석식에 의한 수치적 계산치와 일치함을 알 수 있다. 매우 낮은 V_{DD} 구간을 제외하면 미소 Transistor Cell 경우의 R_{MIN} 이 상대적으로 작은 것을 알 수 있으며, 이는 미소 Transistor Cell 경우 상대적으로 Pull-Down Transistor의 Conductance가 커져 V_B 값이 작음에 기인함을 확인하였다. Simulation 결과로부터 미소 Transistor Cell 경우에도 이상적 Transistor Cell 경우와 유사한 특성을 보이며, Small Geometry 효과의 영향은 동작 Margin에 유리한 것임을 알 수 있다.

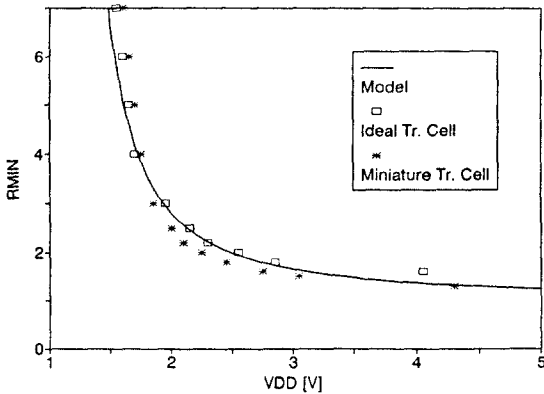


그림 4. Simulation에 의한 R_{MIN} 의 V_{DD} 의존도
Fig. 4. Simulated Dependency of R_{MIN} on V_{DD} .

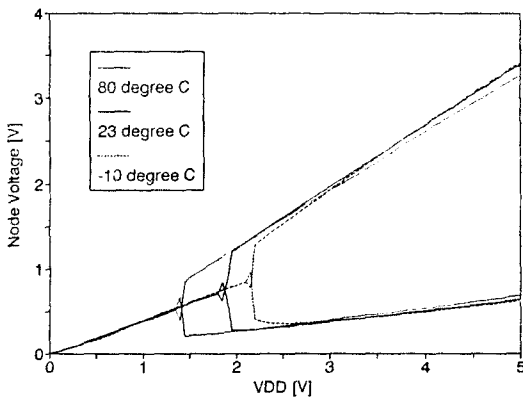


그림 5. 온도변화에 따른 Node 전압 특성
Fig. 5. Node Voltage Characteristics with Temperature Variation.

V_T 변화에 따른 R_{MIN} 의 변화는 온도변화에 따른 R_{MIN} 변화추이로 대변할 수 있으므로 이상적 Tran-

sistor를 사용하는 $R=3$ 경우의 Simulation 결과를 그림 5에 도시하였다. 온도가 높아짐에 따라 더 낮은 V_{DD} 에서 까지 Cell이 동작함을 알 수 있다. Poly-Silicon 저항값은 온도가 높아짐에 따라 감소하나 본 Simulation에서는 온도에 무관한 값을 사용하였고 추가의 Simulation에서 저항값 변화에 따른 특성변화는 매우 작음을 확인하였다. 또한 N_A 또는 t_{OX} 변화에 의한 변화 추이는 II장의 분석 결과와 유사함을 별도의 Simulation에서 확인하였다.

식 (11)로부터 R_{MIN} 값은 사용되는 Transistor의 W, L 각각의 값과는 무관함을 알 수 있다. 이상적 Transistor Cell 경우, 그림 3의 Node 전압 특성 및 최소 동작 V_{DD} 는 R 이 같을 경우 W 나 L 값 자체와는 전혀 무관함을 Simulation에서 확인하였다. 미소 Transistor 경우에는 V_T 가 W 나 L 값에 의존하여 W 와 L 값 변화에 따라 Node 전압 특성에는 다소의 변화가 있으나, 최소 동작 V_{DD} 의 변화는 매우 작은 편인 것을 확인하였다.

이상의 Simulation 결과는 II장의 이론적 분석의 결과와 동일한 추이를 보임으로써, 비교적 간단한 Modeling을 이용한 본 분석의 타당성을 입증한다. 요구되는 최소 Cell 비율이 1이상인 것을 볼 때, 이 분석 방법은 저전압에서의 Cell 비율 결정시 SNM 분석^[11]보다 더 Critical한 설계기준을 제시한다고 판단된다.

IV. 결론

SRAM에서 가장 보편적으로 사용되고 있는 4-Transistor Cell을 선정하여, 저전원전압에서 Cell의 안정된 동작을 보장하는 Cell 비율을 정적 동작의 최악 조건으로 알려져 있는 Read 동작 Modeling을 통해 분석적인 식으로 표현하였다.

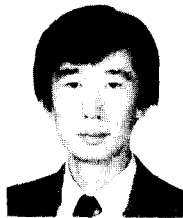
유도된 비교적 간단한 식으로부터 전원전압 및 공정 Parameter 변화에 따른 최소 Cell 비율의 변화추이를 예측하고 Cell 동작을 위한 전원전압 최소한계를 규명하였다. 분석결과의 타당성을 회로 Simulation을 통해 검증하고 미소 Cell에서의 추이를 검토하여, Cell 비율 결정시 최악조건은 저온, 저전압임을 확인하였다. 중요한 결과는 Small Geometry에 의한 영향은 Cell 동작 Margin에 유리하다는 점과 V_T 를 줄임으로써

동작 Margin을 효율적으로 향상시킬 수 있다는 점이다. 이상의 분석방법 및 결과는 차세대 SRAM Cell 개발시 Simulation이나 측정의 기준으로서 활용될 수 있다고 판단된다.

참 고 문 헌

- [1] F. J. List, "The static noise margin of SRAM cells," in Dig. Tech. Papers, ESSCIRC (Delft, The Netherland), Sept. 1986, pp. 16-18.
- [2] T. Ohzone, M. Fukumoto, G. Fuse, A. Shinohara, S. Odanaka, and M. Sasago, "Ion-implanted thin polycrystalline-silicon high-value resistors for high-density poly-load static RAM applications," *IEEE Trans. Electron Devices*, vol. ED-32, no. 9, pp. 1749-1756, Sept. 1985.
- [3] H. Kato, K. Sato, M. Matsui, H. Shibata, K. Hashimoto, T. Ootani, and K. Ochii, "Consideration of poly-Si loaded cell capacity limits for low-power and high-speed SRAM's," *IEEE J. Solid-State Circuits*, vol. 27, no. 4, pp. 683-685, Apr. 1992.
- [4] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 5, pp. 748-754, Oct. 1987.
- [5] B. Cappell, S. E. Schuster, and G. S. Sai-Halasz, "Stability and SER analysis of static RAM cells," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 1, pp. 383-390, Feb. 1985.
- [6] S. M. Sze, *Physics of Semiconductor Devices*, 2nd Ed., Wiley, New York, NY, 1981.
- [7] R. M. Swanson and J. D. Meindl, "Ion-Implanted Complementary MOS Transistor in Low-Voltage Circuits," *IEEE J. Solid-State Circuits*, vol. sc-27, no. 2, pp. 146-153, Apr. 1992.
- [8] SmartSpice Version 1.3.2 1995, Silvaco International.
- [9] HSPICE User's Manual 1992, Meta-Software, Inc..

저 자 소 개



崔 鎮 榮(正會員)

1956년 10월 10일생. 1979년 2월 서울대학교 공과대학 전기공학과 공학사. 1986년 12월 미국 Florida 대학교 대학원 전기공학과 석사. 1991년 5월 동 대학원 전기공학과 공학박사. 1991년 4월~1992년 8월 삼성전자 반도체부문 수석연구원. 1992년 8월~현재 홍익대학교 과학기술대학 전기공학과 조교수. 주관심 분야는 SOI 소자 기술, 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임.