

論文95-32A-11-8

안티퓨즈를 기초로 한 현장 가공형 반도체의 새로운 프로그래밍 회로 구조

(A New Programming Architecture in Antifuse-based FPGA)

曹 漢 鎮 *, 朴 永 秀 *, 朴 仁 學 *

(Hanjin Cho, Young-Soo Park, and Inhag Park)

요 약

본 논문은 새로운 FPGA 프로그래밍 회로 구조에 대한 것으로 이 구조는 일반적인 CMOS 공정을 이용하면서, 트랜지스터의 파괴 전압보다 높은 전압을 공급하는 프로그래밍 트랜지스터의 파괴를 방지할 수 있다. FPGA 임의의 트랙에 공급될 수 있는 전압이 기존의 방법과 같이 프로그래밍 전압과 GND이면, 프로그램 전압을 인가하는 프로그래밍 트랜지스터의 터미널간에는 파괴전압이 인가된다. 이를 막기 위해 본 논문이 제안한 방법은 다음과 같다. 수직트랙과 수평트랙을 구분하여 한 종류의 트랙에는 최대 프로그래밍 전압 V_p 와 최소 $V_p/2$ 가 인가되게 하고, 다른 종류의 트랙에는 최대 $V_p/2$ 와 최소 GND가 인가되게 하였다. 따라서 프로그램 트랜지스터에 인가될 수 있는 최대 전압은 프로그램 전압의 반으로 줄이면서, 또 프로그램 하고자 하는 안티퓨즈의 양단에는 V_p 가 인가되어 프로그램 되게 하고, 다른 안티퓨즈 양단간에는 $V_p/2$ 이하가 인가되어 프로그램 되는 것을 막는다.

Abstract

A novel programming architecture for antifuse FPGA(Field Programmable Gate Array) is described. This architecture prevents programming transistors from breakdown which occurs due to high voltage across the transistors during antifuse programming. Extra mask and processes can be avoided using this proposed architecture. To reduce the applied voltage across the terminals of programming transistors, different voltage ranges are supplied to vertical and horizontal tracks: between programming voltage V_p and $V_p/2$ for vertical tracks and between $V_p/2$ and 0V for horizontal tracks. Therefore, Maximum voltage across the programming transistors is half of the programming voltage and an designated antifuse can be programmed by applying maximum voltage for vertical track and minimum voltage for horizontal track while others are subjected to voltage difference below $V_p/2$.

1. 서 론

* 正會員, 韓國電子通信研究所

(Electronics and Telecommunications Research Institute)

接受日字: 1994年12月21日, 수정완료일: 1995年10月30日

현대의 VLSI 회로는 고집적, 저 전압의 추세이지만 회로 특성상 높은 전압을 필요로 하는 회로들도 있다. 주로 신호의 단락이나 개방이 목적인 스위치 소자들을

프로그램하기 위한 회로들로 PROM(Programmable Read Only Memory)이나 PLD (Programmable Logic Device)에 쓰이며^{11,21}, 요사이에는 안티퓨즈를 이용하는 FPGA(Field Programmable Gate Array)에도 많이 사용된다¹³¹. 이때 사용되는 스위치 소자들의 특성은 일반적인 MOS 트랜지스터 단락/개방 특성보다 우수한다. 이러한 소자들로는 E(E) PROM이나 안티퓨즈 등이 있다¹⁴¹. 안티퓨즈는 전도층 사이에 절연막이 형성되어 있어 프로그램이 안된 상태에서는 부도체 상태이다. 전도층 양단에 프로그램 전압을 가하면 절연막이 파괴되어 도체 상태로 된다. 프로그램(단락) 됐을 때의 단락 저항이 50-500 ohm으로 트랜지스터 보다 적고 또 크기도 작아 고집적, 고속도의 FPGA의 스위치 소자로 많이 사용되고 있다^{15,161}. 안티퓨즈의 동작은 일반적인 퓨즈의 동작과는 반대로 양단에 일정한 전압이 가해지면 단락 되는데 프로그램 전압의 범위는 안티퓨즈에 따라 7 - 18 V 범위이다. 기존의 프로그래밍 회로¹⁷¹는 NMOS 트랜지스터로 구성되어 있다. 프로그램 전압 V_p 를 전달하기 위해서는 프로그램 트랜지스터의 게이트 전압이 프로그램 전압 V_p 이상이어야 한다. 이때 NMOS 트랜지스터의 벌크는 GND에 연결되어 있으므로, 게이트 절연막 양단에는 프로그램 전압 V_p 이상의 전압이 인가된다. 또 프로그램 트랜지스터의 소스/드레인과 벌크 사이의 접합면(junction)에도 프로그램 전압 V_p 가 인가된다. 프로그램 전압이 트랜지스터의 파괴전압 보다 높아지면 프로그램 트랜지스터는 파괴된다.

집적회로의 공정(process)이 발전함에 따라, 또 저전압으로 내려감에 따라 트랜지스터의 절연막의 두께가 얇아지고, 소스와 드레인간의 거리가 짧아지고, diffusion의 농도가 높아지는데 이러한 경향들은 각각 트랜지스터의 게이트와 벌크간과 소스와 드레인간의 파괴 전압을 낮춘다. 한 예로 0.8 μm 공정에서의 트랜지스터의 파괴 전압은 10 V 내외이다. 따라서 안티퓨즈를 프로그램 하기 위한 높은 전압을 공급하는 트랜지스터의 터미널간에는 파괴 전압 이상의 전압이 인가되므로 이를 피하기 위해서는 게이트와 벌크 사이의 절연막의 두께를 두껍게 하고, 소스와 드레인간의 거리를 넓게 해야한다. 게이트와 벌크사이의 절연막의 두께를 조정하기 위해서는 일반의 트랜지스터와 구별되기 위해 별도의 마스크가 필요하게되고, 이에 따른 부가적인 공정 스텝이 필요하게 되므로 공정 일드가 떨어지

게된다. 소스와 드레인간의 거리를 넓히는 것은 트랜지스터의 크기가 비례해서 커지기 때문에 실리콘 면적의 효율적 이용 면에서 비 경제적이다.

본 논문은 새로운 FPGA 프로그래밍 회로 구조에 대한 것으로 이 구조는 일반적인 CMOS 공정을 이용하면서, 트랜지스터의 파괴 전압보다 높은 전압을 공급하는 프로그래밍 트랜지스터의 파괴를 방지할 수 있다. FPGA 안의 임의의 트랙에 공급될 수 있는 전압이 프로그래밍 전압과 GND이면, 프로그램 전압을 인가하는 프로그래밍 트랜지스터의 터미널간에는 파괴전압이 인가된다. 이를 막기 위해 본 논문이 제안한 방법은 다음과 같다. 수직트랙과 수평트랙을 구분하여 한 종류의 트랙에는 최대 V_p 와 최소 $V_p/2$ 가 인가되게 하고, 다른 종류의 트랙에는 최대 $V_p/2$ 와 최소 GND가 인가되게 하였다. 따라서 프로그래밍 트랜지스터의 터미널간의 인가될 수 있는 최대 전압은 프로그램 전압의 반이고, 프로그램 하고자 하는 안티퓨즈의 양단에는 V_p 가 인가되어 프로그램 되게 하고, 다른 안티퓨즈 양단간에는 $V_p/2$ 이하가 인가되어 프로그램 되는 것을 막는다. 최대 전압 V_p 를 트랙에 패스하기 위해서는 NMOS를 프로그램 트랜지스터로 사용한 경우 게이트에 V_p 를 가해야 하는데 NMOS의 벌크는 GND에 묶여 있으므로 게이트와 벌크 사이에는 파괴 전압이 인가된다. 이를 피하기 위해 V_p 를 인가하는 트랙에는 PMOS가 프로그래밍 트랜지스터로 사용된다. GND를 인가하는 트랙에는 NMOS 프로그래밍 트랜지스터를 사용하여 프로그래밍 트랜지스터 터미널간의 인가되는 최대 전압을 $V_p/2$ 이하가 되도록 하여 트랜지스터가 파괴되는 것을 막는다.

본 논문의 구성은 다음과 같다. 2 장에서는 전압 변환기, 전압 공급기와 프로그래밍 트랜지스터들로 구성되는 프로그래밍 회로의 구조와 동작 원리에 대해 설명하였고, 3 장에서는 프로그래밍 방법과 SPICE simulation 결과에 대한 것이며 4 장은 결론이다.

II. 프로그래밍 회로 구조

FPGA 칩 내부의 안티퓨즈는 수직트랙과 수평트랙, 수직 트랙과 수직 트랙 및, 수평 트랙과 수평 트랙 사이에 존재하며, 필요시에는 안티퓨즈를 프로그램 시켜 트랙들을 연결하여 신호 선으로 이용한다. 일반적으로 안티퓨즈를 프로그램 하기 위한 프로그램 전압은 안티퓨

즈의 절연막을 파괴하기 위해 높은 전압이 요구된다. 높은 전압을 원하는 트랙에 인가하기 위해서는 보통의 로직 전압에서 높은 전압으로 변환시키는 전압 변환기나 높은 전압을 공급하는 전압 공급기, 원하는 트랙을 선택할 수 있게 하는 프로그래밍 트랜지스터와 디코딩(decoding) 회로가 필요하다. 다음은 각 부분에 대한 자세한 설명이다.

1. 프로그래밍 회로

그림 1은 하나의 안티퓨즈를 프로그래밍하기 위한 프로그래밍 트랜지스터의 배치도로, 수직 트랙에는 수직 전압 공급기 B1과 프로그램 열을 선택하기 위한 PMOS 트랜지스터 M1과, 한 열 안의 수평트랙을 결정하기 위한 PMOS 트랜지스터 M2가 직렬로 연결되어있고, 수평트랙에는 수평 프로그램 전압 공급기 B4와 프로그램 행을 선택하기 위한 NMOS 트랜지스터 M3과 한 행 안의 수직 트랙을 결정하기 위한 NMOS 트랜지스터 M4가 직렬로 연결되어있다.

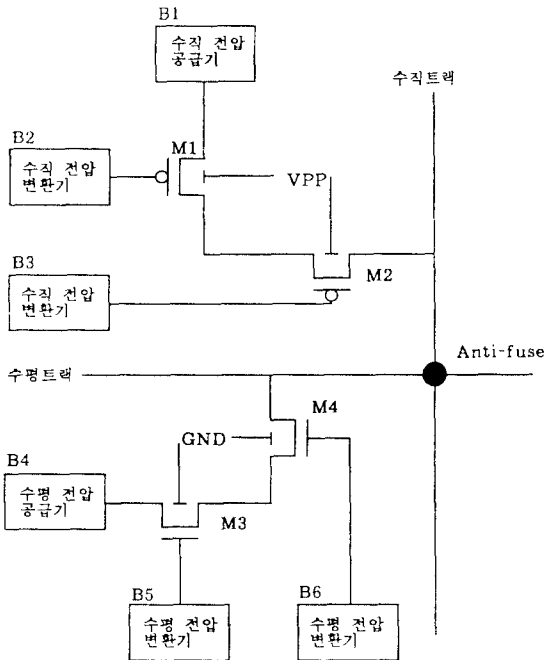


그림 1. FPGA에서 하나의 안티퓨즈를 프로그래밍하기 위한 회로도로 트랜지스터의 파괴 전압을 극복하기 위한 회로의 구성도

Fig. 1. A programming circuit scheme for one antifuse with preventing programming transistors from breakdown.

트랜지스터 M1과 M2의 게이트에는 각각 수직 전압 변환기 B2와 B3이, 트랜지스터 M3과 M4의 게이트에는 각각 수평 전압 변환기 B5와 B6이 연결되어있다. 수직 전압 공급기는 최대 프로그램 전압 V_p 와 최소 $V_p/2$ 가 공급되고, 수평 프로그램 전압 공급기는 최대 $V_p/2$ 와 최소 GND가 공급된다.

열을 선택하는 PMOS와 트랙을 결정하는 PMOS 트랜지스터의 게이트에는 프로그램 전압을 통과시킬 때에는 $V_p/2$ 가, 개방시킬 때에는 프로그램 전압 V_p 가 가해져야하므로 PMOS 트랜지스터의 게이트에 연결된 수직 전압 변환기는 최대 프로그램 전압 V_p 와 최소 $V_p/2$ 를 공급할 수 있어야한다. 이때 PMOS 트랜지스터 M1과 M2의 게이트와 벌크, 소스와 드레인 사이에 인가될 수 있는 최대 전압은 프로그램 전압의 절반인 $V_p/2$ 이므로 파괴 전압을 막을 수 있다. 한편 행을 선택하는 NMOS와 트랙을 결정하는 NMOS 트랜지스터의 게이트에는 GND를 통과시키기 위해서는 $V_p/2$ 와 개방시키기 위해서는 GND가 가해져야하므로 최대 $V_p/2$ 와 최소 GND를 공급할 수 있는 수평 전압변환기가 연결되어있다.

그림 2는 여러 개의 안티퓨즈들과 이것들을 프로그래밍 하기 위한 프로그램 트랜지스터들로 구성된 회로도이다. 안티퓨즈 A1을 프로그래밍 하고자 하면 수평트랙 HT1과 수직트랙 VT1사이에서 프로그램 전압을 인가 하여야한다. 따라서 수직트랙 VT1과 연결된 전압공급선 VSUP에는 프로그램 전압 V_p 가, 수평트랙 HT1과 연결된 전압공급선 HSUP에는 GND가 공급되어야한다. 프로그램 전압 V_p 를 수직트랙 VT1까지 패스시키기 위해서는 트랜지스터 P3과 P12를 도통시켜야 한다. 그림에서 볼 수 있는 것과 같이 트랜지스터 P12의 게이트는 P11의 게이트와 같이 연결되어있기 때문에 트랜지스터 P11도 같이 도통된다. 따라서 다른 트랙에 V_p 가 인가되는 것을 막기 위해서는 트랜지스터 P11의 게이트에 연결된 열을 선택하는 선 VSEL에 V_p 를 가하여 트랜지스터 P2를 개방시킨다. 또 프로그램 전압 GND를 수평트랙 HT1까지 패스시키기 위해서는 트랜지스터 N3과 N12를 도통시킨다. 트랜지스터 N11도 N12와 같이 도통되므로 행 선택선 HSEL에 GND를 가하여 트랜지스터 N1을 개방시킨다. 이와 같은 방법으로 다른 안티퓨즈들도 프로그래밍 시킬 수 있다.

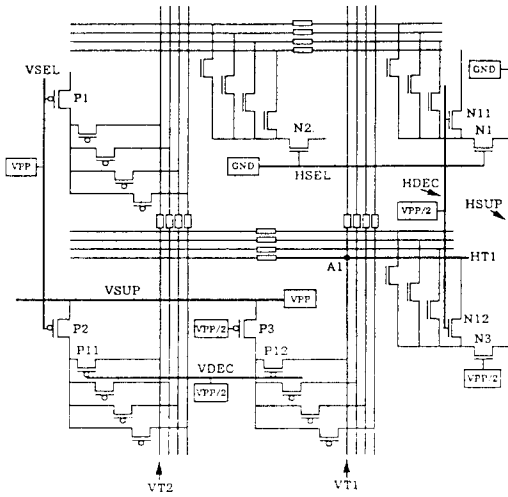


그림 2. 본 논문이 제안한 여러 개의 안티퓨즈들을 프로그램 하기 위한 프로그램 트랜지스터들의 구성도
 Fig. 2. The proposed programming scheme for several antifuses.

2. 전압변환기와 전압 공급기

그림 3은 전압 변환기의 회로도이다. 입력이 '0'이 되면 트랜지스터 M1이 개방되고, 노드 N1에는 전압 V1이 유겨 되고 전압원 V1, V2와 V3의 크기에 따라 출력이 결정된다. 입력이 '1'이 면 트랜지스터 M1이 도통되어 노드 N1의 전위는 전압원 V1과 트랜지스터 M1과 M3의 크기에 의해 결정된다. 이때 출력은 노드 N1의 전위와 전압원 V2와 V3의 크기에 의해 결정된다. V2와 V3의 크기는 전압 변환기가 공급하고자 하는 전압의 최대치와 최소치이다. 즉 전압변환기가 최대 전압 Vp와 최소전압 GND를 출력하고자 하면 V2에는 전압원 Vp가, V3에는 GND가 인가된다. 트랜지스터 M4를 개방시키기 위해서는 노드 N1이 Vp 이상이 되어야 하므로 V1에는 전압원 Vp가 인가된다. 이때 트랜지스터 M1의 소스와 드레인, M2의 게이트와 벌크 사이에 Vp가 인가되고, 트랜지스터 M2가 도통되어 출력이 GND상태가 되므로 트랜지스터 M4의 드레인소스 사이에 Vp가 인가되는데 Vp가 파괴 전압보다 높으면 트랜지스터들은 파괴된다.

본 논문이 제안한 수직 전압 변환기는 최대 전압 Vp와 최소 전압 Vp/2를 출력한다. 따라서 V2에는 최대 전압 Vp가 인가된다. 입력이 '0'이면 트랜지스터 M1

이 개방되어 노드 N1에는 V1이 유겨 된다. 출력에 Vp/2를 출력하기 위해서는 V1에는 Vp보다 낮은 전압원을 연결하여 트랜지스터 M4를 도통시키고, V2에는 V1 보다 낮은 전압원을 연결하여 트랜지스터 M2를 도통시키고 트랜지스터 M2와 M4의 크기를 조절한다. 이때 입력이 '1'이면 트랜지스터 M1이 도통되어 노드 N1이 트랜지스터 M3과 M1의 크기에 따라 V1과 GND사이의 전압이 유겨 되는데 V2이하의 전압이 유겨 될 수 있게 트랜지스터들의 크기를 조정하면 트랜지스터 M4가 도통되고, M2가 개방되어 출력에는 전압 Vp가 유겨 된다. 이때 트랜지스터의 터미널에 최대 로 인가될 수 있는 전압은 트랜지스터 M3의 게이트와 벌크, 트랜지스터 M1의 소스와 드레인 사이의 V1이므로 V1을 파괴전압보다 낮게 한다. 한편 수평 전압 변환기는 최대 Vp/2와 최소 GND를 공급해야 하므로 V1과 V2에는 전압원 Vp/2가, V3에는 GND가 연결된다. 이 회로에서는 트랜지스터의 터미널에 최대 로 가하여 질 수 있는 전압은 Vp/2 이다.

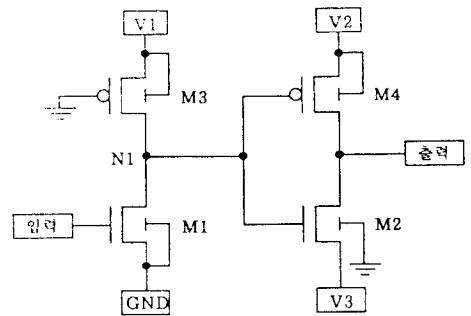


그림 3. 보통의 CMOS 로직으로부터 프로그래밍 전압으로 변환시키는 전압 변환기의 회로도
 Fig. 3. The voltage level shifter from CMOS logic swing to programming logic swing.

전압 공급기는 기능적으로는 전압 변환기와 같으나 그림 1에서와 같이 프로그램 당시의 전류 패스가 수직 전압 공급기로부터 수평 전압 공급기로 형성되므로 프로그래밍에 필요한 전류에 따라 트랜지스터의 크기가 조정된다. 표 1은 전압 변환기와 공급기의 입력에 대한 출력 결과에 대한 것이다. 표에서 전압 변환기의 출력 전압이 전압 공급기의 출력과 트랜지스터의 임계 전압 Vtn(p) 만큼 차이가 있는데 이는 전압 공급기에서 공

급되는 전압을 트랙에 전달하기 위한 것이다.

표 1. 전압 변환기와 전압 공급기의 출력 전압 수준

Table 1. The output voltage levels of the voltage level shifters and the voltage suppliers.

입력	수평 전압 공급기	수평 전압 변환기	수직 전압 공급기	수직 전압 변환기
'0'	$V_p/2$	$V_p/2 - V_{tp}$	GND	GND
'1'	V_p	V_p	$V_p/2$	$V_p/2 - V_{tn}$

그림 4는 수평 전압 공급기의 단면도로 n-well의 전위는 프로그래밍 회로에서는 프로그래밍 전압 V_{pp} , 논리 회로에서는 VDD이므로 p-substrate 사이에는 역전압이 인가되므로 n-well로부터 p-substrate로 흐르는 손실전류는 방지된다. 또 n-diffusion과 p-well 사이에는 역전압 V_3 이 인가되어 트랜지스터의 손실전류를 막는다.

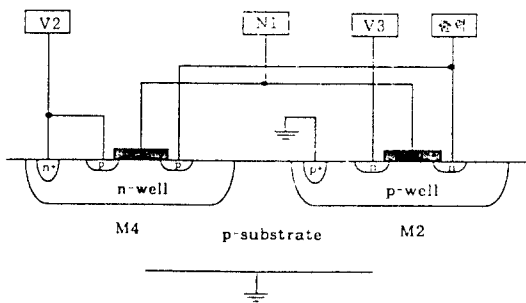


그림 4. 전압 변환기의 단면도
Fig. 4. The cross section of voltage level shifter.

3. 프로그래밍 방법

안티퓨즈 프로그램의 한 주기는 pre-charge 구간과 프로그램 구간의 두 가지의 구간으로 나뉘어진다. Pre-charge 모드는 프로그래밍 계단형 펄스 V_{pp} 의 앞단에 해당하는 모드로, 이 구간에서는 안티퓨즈로 연결된 모든 트랙들이 $V_p/2$ 로 pre-charge 된다. 이 모드는 선택되지 않은 안티퓨즈들이 프로그램 되는 것을 막는다. 프로그램 모드는 원하는 안티퓨즈를 프로그램 하는 모드로 프로그래밍 계단형 펄스 V_{pp} 의 전압 수준은 프로그래밍 전압 V_p 이다. 이 모드에서는 선택된

안티퓨즈 양단간에 프로그래밍 전압 V_p 가 인가된다.

1) Pre-charge 구간

그림 5는 안티퓨즈를 위한 프로그래밍 트랜지스터와 제어 신호들을 나타낸 회로도이다. Global 신호가 '1'이면 NOR 게이트를 통한 수평 전압 변환기의 입력은 '0'이 되어 표 1에 의해 출력이 $V_p/2 - V_{tp}$ 가 되고, 수평 전압 공급기의 출력은 $V_p/2$ 가 된다. 이때 PMOS 프로그래밍 트랜지스터들의 게이트는 수평 전압 변환기의 출력에 연결되어 있으므로 공급 전압 $V_p/2$ 를 수평 트랙에 인가한다. 또 OR 게이트를 통한 수직 전압 변환기의 입력은 '1'이 되어 표 1에 의해 출력이 $V_p/2 + V_{tn}$ 이 되어 NMOS 프로그래밍 트랜지스터들을 도통시켜 공급 전압 $V_p/2$ 를 수직 트랙에 인가한다.

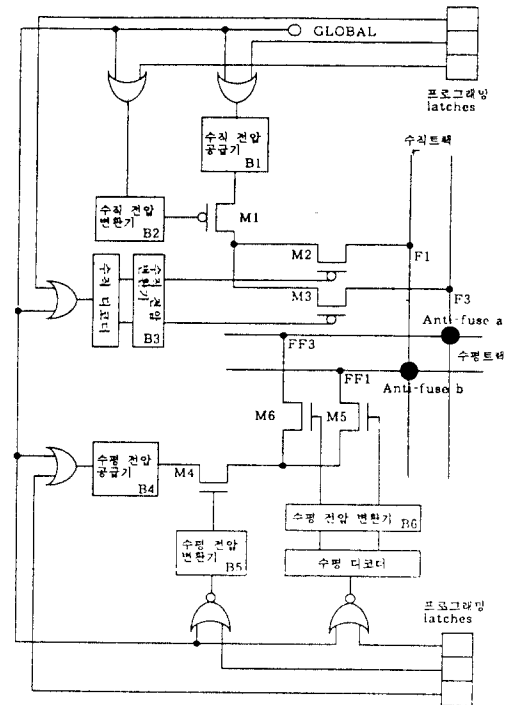


그림 5. Pre-charge 구간과 프로그램 구간으로 나누어 프로그램 하는 회로도

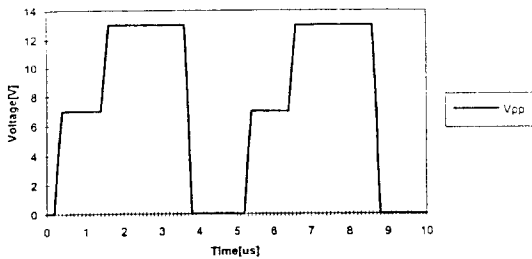
Fig. 5. The programming circuit which has pre-charge mode and actual programming mode.

2) 프로그래밍 모드

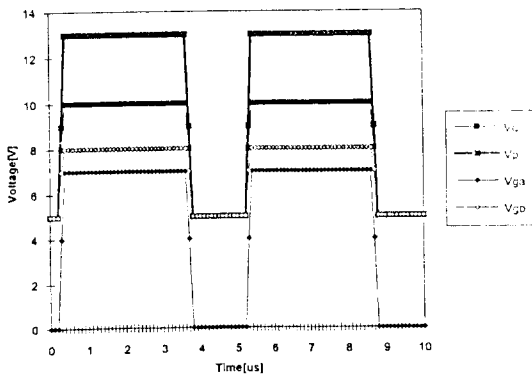
그림 5에서 원하는 수직/수평 선택 입력과 디코더의 출력이 '1'이 되면 선택된 수평 전압 변환기는 PMOS

프로그래밍 트랜지스터에 $V_p/2-V_{tp}$ 를, 선택되지 않은 수평 전압 변환기는 V_p 를 출력한다. 또 선택된 수평 전압 공급기는 프로그래밍 전압 V_p 를 출력한다. 따라서 선택된 수평 트랙에 프로그래밍 전압 V_p 를 인가할 수 있다. 수직 전압 변환기는 선택된 NMOS 프로그래밍 트랜지스터에 $V_p/2+V_{tn}$ 를, 선택되지 않은 트랜지스터에는 GND를 인가한다. 선택된 수직 전압 공급기는 입력이 '0'이 되어 GND를 출력하여 수직 트랙에 GND를 인가한다. 따라서 선택된 안티퓨즈 양단간에만 프로그래밍 전압 V_p 가 인가되어 프로그램 된다.

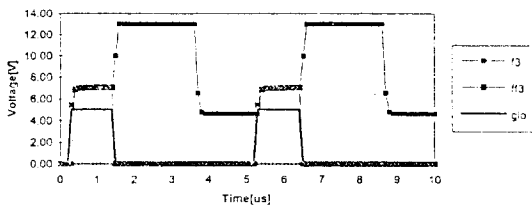
그림 6은 프로그래밍 모드에서의 SPICE simulation 결과로 그림 6(a)와 6(b)는 각각 계단형 프로그램 펄스와 각 입력 전압원의 펄스 형태를 보여준다.



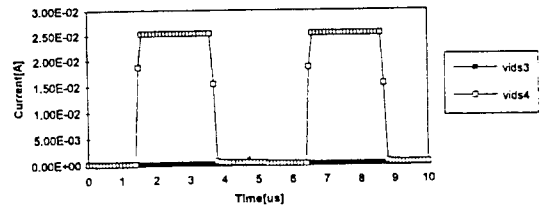
(a)



(b)



(c)



(d)

그림 6. 프로그래밍 모드에서 (a) 계단형 프로그래밍 전압 V_{pp} (b) 프로그램에 쓰이는 전압원 (c) 프로그램시 안티퓨즈 양단간에 인가되는 전압의 SPICE simulation 결과 (d) 프로그램시 안티퓨즈에 흐르는 전류의 SPICE simulation 결과

Fig. 6. In programming mode, (a) The programming voltage pulse (b) The various voltage sources (c) The spice simulation of the voltage applied between the antifuse to be programmed (d) The spice simulation of the current through the antifuse to be programmed

그림 6(b)에서 수직 전압 변환기와 공급기에 사용되는 전압원은 V_p , V_{ga} , V_{gb} 등인데, V_{ga} 는 그림 1의 V3에 해당하는 전압원으로 계단형 프로그램 펄스의 낮은 부분과 전압 수준이 같고, V_p 는 그림 1의 V2에 해당하는 전압원으로 V_{pp} 의 높은 전위 부분과 수준이 같다. 또 V_{gb} 는 그림 1의 V1에 해당하는 전압원으로 변환기나 공급기의 출력이 $V_p/2$ 가 되도록 조정된다. 수직과 수평트랙에 같은 pre-charge 전압을 인가하기 위해 수평 전압 변환기와 공급기에 사용되는 전압원 V_{gb} 는 NMOS 프로그래밍 트랜지스터를 통과할 때 생기는 전압 강하 때문에 전압원 V_{ga} 보다 약간 높게 조정되어 있다. 프로그램의 한 주기는 프로그래밍 계단형 펄스 V_{pp} 의 주기와 같다. 그림 6(c)는 그림 5의 안티퓨즈들의 양 단간의 전압 값으로, pre-charge 구간(즉 global 신호가 '1'인 구간)은 안티퓨즈 양단간의 전압이 차이가 없다가 안티퓨즈 a가 선택되면서 안티퓨즈 a의 양단간에 프로그래밍 전압이 인가되고(노드 F3에는 V_p , 노드 FF3에는 GND), 선택되지 않은 안티퓨즈의 양단간에는 $V_p/2$ 이하의 전압이 인가됨을 볼 수가 있다. 그림 6(d)는 안티퓨즈 a가 프로그램 된 후(즉 안티퓨즈가 단락 된 후)의 안티퓨즈에 흐르는 전

류 값을(vids3) 보여주는 것으로 약 25mA 가 흐르는 것을 알 수가 있다. 이 전류는 수직 전압 공급기의 V_p 로부터 수평 전압 공급기의 GND까지의 전류 path에 흐르는 전류로 트랜지스터의 크기에 따라 조정할 수 있다.

III. 결 론

본 논문은 안티퓨즈를 사용하는 FPGA에서 원하는 안티퓨즈를 프로그램 하는 회로에 관한 것으로 수직 트랙과 수평 트랙에 공급하는 전압을 구분함으로써 프로그래밍 트랜지스터의 파괴를 막을 수 있는 방법을 제안하였다. 또 프로그램의 한 주기를 pre-charge 구간과 프로그램 구간으로 구분하여 원하지 않는 안티퓨즈가 프로그램 되는 것을 방지하였다. 이 방법은 일반의 CMOS 집적회로에서 트랜지스터의 파괴 전압 보다 높은 전압원이 쓰일 때 트랜지스터들의 파괴를 막는 회로에도 응용이 가능하다. 이 회로 방법은 CMOS 공정을 그대로 이용할 수 있게 하여 수율을 높이고 실리콘 면적을 효율적으로 사용할 수 있게 한다.

참 고 문 헌

- [1] San C. Wong, Hock C. So, Jung H. Ou, and John Costello, "A 5000-gate CMOS EPLD with Multiple Logic and Interconnect Arrays," Proc. Custom Integrated Circuits Conf., pp. 5.8.1-5.8.4, 1989.
- [2] Ronald W. Swartz and Michael J. Allen, "A 15ns 2500 gate Highly Flexible CHMOS EPLD," Proc. Custom Integrated Circuits Conf., pp. 5.7.1-5.7.4, 1989.
- [3] Khaled A. El-Ayat, et al., "A CMOS Electrically Configurable Gate Array," IEEE J. Solid-State Circuits, vol. 24, No. 3, pp. 752-762, June 1989.
- [4] J. Rose, A. El Gamal, and A. Sangiovanni-Vincentelli, "A Classification and Survey of Field-Programmable Gate Array and Architectures," Proc. IEEE, Vol. 81, No. 7, July 1993.
- [5] Esmat Hamdy, et al., "Dielectric Based Antifuse for Logic and Memory ICs," IEDM Tech. Digest, pp. 786-789, 1988.
- [6] Kathryn E. Gordon and Richard J. Wong, "Conducting Filament of the Programmed Metal Electrode Amorphous Silicon Antifuse," IEDM Tech. Digest, pp. 27-30, 1993.
- [7] Jonathan Greene, Esmat Hamdy, and Sam Beal, "Antifuse Field Programmable Gate Arrays," Proc. IEEE, Vol. 81, No. 7, July 1993.

저 자 소 개



曹漢鎭(正會員)

1960년 7월 8일생. 1982년 2월 한양대학교 전자공학과 졸업. 1987년 New Jersey Institute of Technology 전자공학과 석사학위 취득. 1992년 University of Florida 전자공학과 박사학위 취득 (고속 소자 및 회로 모델링 전공). 1992년 11월~현재 한국전자통신연구소 선임연구원



朴永秀(正會員)

1962년 8월 7日生. 1985년 2월 중앙대학교 전자공학과 졸업. 1987년 2월 중앙대학교 대학원 전자공학과 졸업(공학석사). 1990년 2월~현재 한국전자통신연구소 자동설계연구실 연구원. 주관심 분야는 VLSI 설계 등임.



朴仁學(正會員)

1958년 3월 6일생. 1980년 2월 고려대학교 전자공학과 졸업. 1983년 9월 고려대학교 대학원 전자공학과 졸업(공학석사). 1992년 7월 프랑스 국립폴리테크닉 연구소 (INPG) 졸업(공학박사). 1982년 2월~현재 한국전자통신연구소 근무. 현재 자동설계연구실 실장. 주관심분야는 컴퓨터 그래픽스, 상위수준합성, VLSI CAD 시스템 등임.