

論文95-32A-11-5

열적 성장된 실리콘 질화막위에 산화 탄탈륨 초박막의 형성

(Formation of ultra-thin Ta₂O₅ film on thermal silicon nitrides)

李在成*, 柳昌明**, 姜信元***, 李正熙*, 李龍鉉*

(Jae Sung Lee, Chang Myung Ryu, Shin Won Kang, Jung Hee Lee, and Yong Hyun Lee)

요 약

양질의 박막 산화 탄탈륨의 제조를 위해 산화 탄탈륨과 실리콘 질화막으로 구성된 이중 유전막을 실리콘 위에 제조한 후 산소 분위기에서 열처리 공정을 행하였다. 실리콘 질화막은 10 Torr의 암모니아 가스 분위기에서 R.F 유도 가열 장치를 사용하여 실리콘을 직접 열적 질화하여 제조되었다. 실리콘 질화막은 자기 제한적 성장특성을 보여 수 십Å의 범위에서 증착두께를 조절할 수 있었다. 약 25Å의 두께로 성장시킨 실리콘 질화막 위에 스퍼터링법으로 약 200Å의 산화 탄탈륨을 형성한 후, 산소 분위기의 전식 산화법으로 열처리 공정을 900°C에서 1 시간동안 행하였다. 후속 열처리 공정에 의해 산화 탄탈륨은 화학 양론적 조성을 갖게 되었으며 실리콘 질화막의 영향으로 실리콘과 이중 유전막의 계면에서는 실리콘 산화막층이 형성되지 않았다. 제조된 이중 유전막은 수 nA이하의 낮은 누설전류와 높은 절연파괴강도를 갖게 되어 양호한 전기적 특성을 나타냈다.

Abstract

To obtain high quality of Ta₂O₅ film, two dielectric layers of Si₃N₄ and Ta₂O₅ were subsequently formed on Si wafer. Silicon nitride films were thermally grown in 10 Torr ammonia ambient by R.F induced heating system. The thickness of thermally grown Si₃N₄ film was able to be controlled in the range of tens Å due to the self-limited growth property. Ta₂O₅ film of 200Å thickness was then deposited on the as-grown Si₃N₄ film about 25Å thickness by sputtering method and annealed at 900°C in O₂ ambient for 1hr. Stoichiometry film was prepared by the annealing in oxygen ambient. Despite the high temperature anneal process, silicon oxide layer was not grown at the interface of the layered films because of the oxidation barrier effect of Si₃N₄ film. The fabricated Ta₂O₅/Si₃N₄ film showed low leakage current less than several nA and high dielectric breakdown strength.

I. 서 론

실리콘 집적회로의 집적도가 점점 증가함에 따라 유전

막으로 사용되고 있는 실리콘 산화막은 그 두께가 점점 얇은 것이 요구되고 있다. 그러나 실리콘 산화막의 두께가 감소함에 따라 급격히 항복전압이 낮아지고 수율이 떨어지는 등 절연막으로서의 질적 저하를 초래하게 된다. 특히 10nm이하로 실리콘 산화막의 두께가 감소하게 되면 누설 전류가 증가하고 불순물 확산에 대한 장벽 효과가 떨어지게 된다. 그러므로 실리콘 산화막을 Metal-Oxide-Silicon(MOS) 커패시터의 유전 박막으로 사용하여 그 정전용량을 증가시키는데는

* 正會員, ** 準會員, 慶北大學校 電子電氣工學部
(Electronic & Electrical Eng., Kyungpook Nat'l Univ.)

*** 正會員, 慶北大學校 센서技術研究所
(STRC Kyungpook Nat'l Univ.)

接受日字: 1995年4月12日, 수정완료일: 1995年11月7日

물리적 한계가 따르게되었다^{1,2)}. 이러한 문제점을 해결하기 위한 하나의 방법이 실리콘 산화막에 비해 높은 유전율을 갖는 유전박막을 개발하는 것이다. 커패시터용 고유전막으로 가장 먼저 사용되기 시작한 산화 탄탈륨은 유전율이 약 22-28정도로 실리콘 산화막에 비하여 6배 정도 크다³⁾. 그러나 누설전류가 많고 절연과피 특성이 좋지 않기 때문에 열처리 및 후속 고온 공정 등을 통해 양질의 산화 탄탈륨 절연막을 제조하여 이를 이용하게 되었다⁴⁻⁶⁾.

실리콘 웨이퍼 위에 비정질 산화 탄탈륨이 형성되는 동안이나 형성된 막을 후속 고온 열처리하는 동안 산화 탄탈륨과 실리콘 기판 사이에 실리콘 산화막 층이 형성됨이 발견되었다⁴⁻⁷⁾. 이러한 현상은 커패시터 유전막의 두께 증가와 유전율의 감소로 인해 제조된 커패시터의 정전용량을 감소시키는 원인이 된다. 이러한 한계를 극복하기 위하여 산화 탄탈륨 절연막과 Si 기판 사이에 산화 억제 효과와 고유전율을 갖는 유전 박막을 형성하여 커패시터를 제조할 수 있다. 사용될 유전박막은 양질의 초박막 성장이 가능하면서 산화 탄탈륨에 비해 누설특성과 절연과피 특성이 개선된 유전 막이어야 한다.

본 연구에서는 산화 억제 효과를 갖는 유전막으로써 열적 성장된 실리콘 질화막을 사용하였다. 열적 성장된 실리콘 질화막은 실리콘 산화막에 비해 높은 치밀성, 불순물 확산에 대한 높은 장벽, 방사선에 대한 저항력, 큰 유전상수 및 높은 항복 전압 등 많은 장점을 갖고 있다^{1,2)}. 그리고 실리콘 질화막의 열적 성장은 자기 제한적(self-limited)이므로 수십 Å의 두께를 쉽게 제어할 수 있다⁸⁾. 그러므로 실리콘 질화막은 두께가 얇고 유전율이 높기 때문에 산화 탄탈륨 커패시터에 응용될 경우 전체 유전막의 커패시턴스는 높은 수치를 유지할 수 있을 것이다.

본 논문에서는 산화 탄탈륨을 실리콘위에 형성하여 그 물성을 먼저 조사하였다. 박막의 실리콘 질화막을 형성하여 화학 조성, 성장률 및 전기적 특성을 조사하였으며, 후속 열처리 공정을 행하여 산화 억제 특성을 조사하였다. 제조된 실리콘 질화막위에 산화 탄탈륨을 형성하여 산화 탄탈륨과 실리콘 질화막의 이중 유전막 구조에서 산화 억제 특성을 조사하였으며, 이들 이중 유전막의 물성 및 전기적 특성을 각각 조사하였다.

II. 실험 방법

소자의 제조를 위해 사용된 실리콘 기판은 비저항이 5-35Ω.cm이고 결정면이 (100)인 P형 기판이었다. 실리콘 질화막은 RF 유도가열 장치를 이용한 대기압 및 10 Torr의 저기압의 암모니아 분위기에서 각각 열적 질화법에 의해 성장되었다. 본 연구에서 사용한 열적 질화 장비에서 반응 분위기가 10 Torr 미만이면 암모니아 플라즈마가 형성되어 제조 공정 상태가 변화된다. 열적 질화법과 CVD법에의 제조방법을 비교하기 위해 LPCVD 법으로 박막의 실리콘 질화막을 성장하여 열적 질화법에 의해 제조된 막과 물성을 비교하였다. LPCVD 공정은 300 mTorr와 800 °C의 기판온도에서 행하여졌다. 산화 탄탈륨의 제조는 Ar과 O₂의 혼합 가스 분위기에서 Ta₂O₅의 다결정 타겟(target)을 사용한 R.F 스퍼터링법으로 이루어졌다. 막의 형성 시 진공도는 15 mTorr이었으며, 기판 온도는 200°C였다.

실리콘 질화막의 산화 억제효과를 알아보기 위해 실리콘 질화막/Si의 구조와 산화 탄탈륨/실리콘 질화막/Si의 구조를 각각 열처리시켜 실리콘 산화막의 형성을 조사하였다. 열처리공정은 산소 분위기의 전식산화법으로 진행되었다. 유전막의 전기적 측정을 위해 제조된 커패시터의 전극으로는 진공 열증착된 Al을 사용하였으며 전극면적은 $310 \times 10^4 \text{cm}^2$ 이었다. 제조된 유전막들의 두께의 측정은 ellipsometer를 사용해서 이루어졌다. 유전막의 화학적 성분 분석은 Auger electron spectroscopy(AES)와 X-ray photoelectron spectroscopy(XPS)를 통해 분석되었다. 분석된 유전막을 사용해 제조된 커패시터의 전류-전압특성은 HP4145 semiconductor parameter analyzer를 이용해서 측정되었고, 커패시턴스-전압특성은 HP4192 impedance analyzer를 이용해서 1MHz의 주파수에서 각각 측정되었다.

III. 결과

1. 산화 탄탈륨의 형성

그림 1은 본 실험에서 형성된 비정질 산화 탄탈륨의 깊이에 따른 조성 분포를 AES 분석으로 나타내고 있다. 이때 기판의 온도는 200°C이었으며, 형성된 두께는 약 200Å이었다. 형성된 산화 탄탈륨의 굴절률은

2.1이고 유전율은 14.51이었다. 표면에서는 공기의 흡착으로 인해 O의 농도가 높게 나타나지만 막 전체에서 O와 Ta의 분포는 균일하게 나타나고 있다.

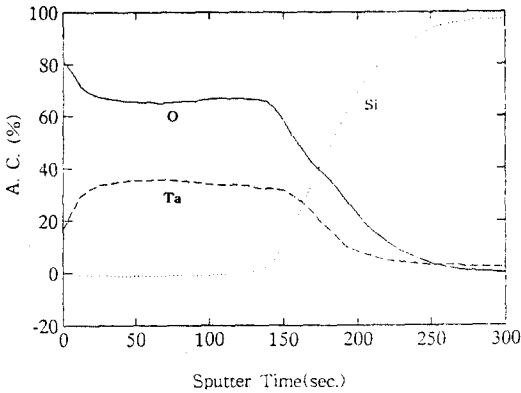


그림 1. 실리콘 기판에 형성된 산화 탄탈륨의 조성 변화
 Fig. 1. Auger in-depth profiles of the Ta₂O₅ film on silicon substrate.

그림 2는 제조된 산화 탄탈륨에서 관찰된 Ta_{4f}에 대한 XPS분석이다. 막내에는 Ta-O결합 뿐 아니라 금속성 Ta 성분도 검출되었다. 그림에서 금속성 Ta_{4f_{7/2}}와 Ta_{4f_{5/2}} 성분은 22 eV와 24 eV에서 각각 나타나고 있으며, Ta-O결합은 26.7 eV 과 28.7 eV에서 각각 나타났다. O와 결합하지 않은 과잉 금속성 Ta는 산화 탄탈륨내에서 결합으로 존재할 수 있어 막의 물성을 악화시킬 수 있다. 그러므로 막의 안정된 물성을 얻기 위해서는 열처리 공정이 필요하다.

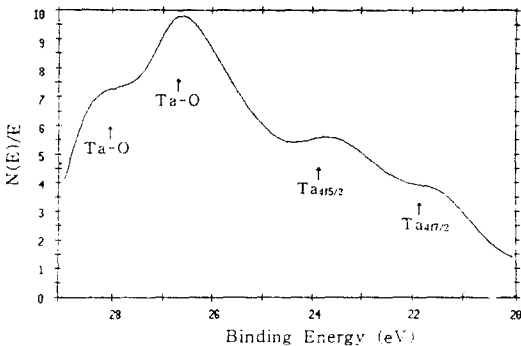


그림 2. 산화 탄탈륨의 Ta_{4f}에 대한 XPS 분석
 Fig. 2. XPS analysis for Ta_{4f} in Ta₂O₅ film.

방법으로 900℃에서 1시간 동안 열처리한 후 조사된 막내에 존재하는 Ta_{4f}의 XPS 분석이다. 후속 열처리 공정은 비정질 산화 탄탈륨의 유전체적 물성을 개선시키기 위해 DRAM 제조 공정에서 일반적으로 행하여지는 기술이다.¹⁵⁻¹⁷⁾ 그림 2에서 나타난 Ta 금속성 결합 형태는 보이지 않고 있다. 후속 열처리 공정을 행함으로써 막내에 존재하는 대부분의 Ta는 산소 원자와 결합하여 산화 탄탈륨은 안정된 형태로서 존재하게 되었다.

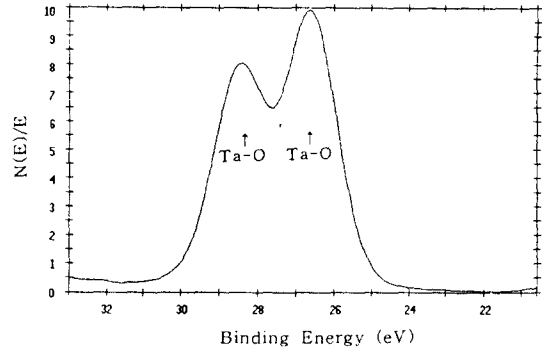


그림 3. 후속 열처리 공정을 행한 산화 탄탈륨의 Ta_{4f}에 대한 XPS분석
 Fig. 3. XPS analysis for Ta_{4f} in Ta₂O₅ film after anneal.

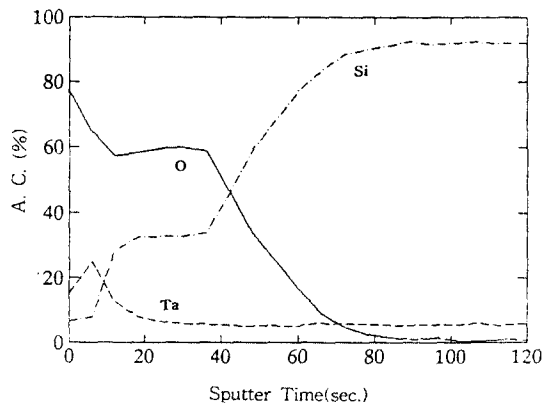


그림 4. 후속 열처리 공정을 행한 산화 탄탈륨의 조성 변화
 Fig. 4. Auger in-depth profiles of the Ta₂O₅ film on silicon substrate after anneal.

그림 4는 건식 산화법으로 900℃에서 1시간동안 열처리한 후 AES 분석한 산화 탄탈륨의 조성변화이다. 산화 탄탈륨을 후속 열처리하게되면 그림에서처럼 실

리온과의 계면에서 실리콘 산화막이 두껍게 형성된다. 이러한 현상은 DRAM용 커패시터의 유전물로 산화 탄탈륨을 사용할 경우, 산화 탄탈륨과 생성된 실리콘 산화막에 의해 전체 커패시턴스가 감소되는 문제점을 유발시킨다.¹⁵⁻¹⁷⁾ 그러므로 실리콘 산화막의 생성을 억제 해주고 실리콘 산화막보다 고유전율을 갖는 박막 유전막을 산화 탄탈륨과 같이 사용하게 되면 제조된 전체막이 고유전율을 유지할 수 있을 것이다.

2. 실리콘 질화막의 성장

열적 질화에 의해 생성된 실리콘 질화막은 자기 제한 성장 특성을 갖고 있어 100Å 이상의 박막 성장에는 어려움이 따르지만 100Å미만의 두께는 제조 공정 상에서 쉽게 제어될 수가 있다^{11,2,8)}. 그러나 성장된 수십 Å의 실리콘 질화막을 순수한 화학 정량적 조성을 갖는 실리콘 질화막으로 평가하기는 힘들다. 이는 기판으로 사용된 실리콘 웨이퍼위에 존재하는 자연 발생 산화막(native oxide)의 성분이 성장된 박막의 실리콘 질화막의 조성에 나타나기 때문이다. 그러므로 산소의 성분이 적게 나타나는 양질의 박막 실리콘 질화막을 성장하기 위해서는 실리콘 웨이퍼의 세척, 박막 성장용 챔버(chamber)의 청결 및 사용 가스의 순도 등의 사항을 고려하여야 한다.

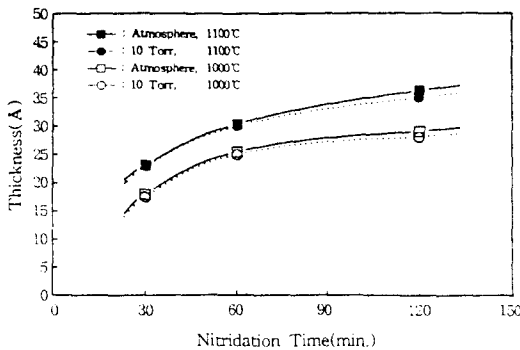
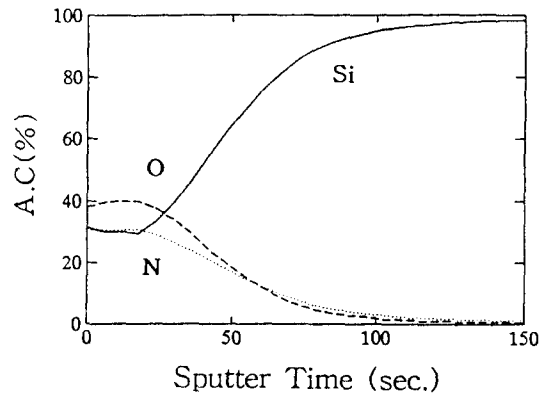


그림 5. 대기압과 저기압(10 Torr)에서 각각 열적 성장된 실리콘 질화막의 두께 변화
Fig. 5. The thickness of thermal nitride films depending on nitridation time at atmosphere and 10 Torr ambient, respectively.

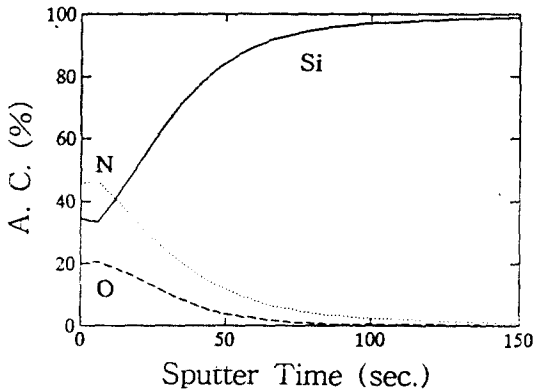
그림 5는 대기압 및 10 Torr의 저기압의 분위기에서 열적 질화에 의해 각각 성장된 실리콘 질화막의 두께 변화를 나타내고 있다. 측정된 실리콘 질화막의 두

께는 실리콘 질화막의 굴절률을 2.0으로 고정시켜 측정된 값이다. 질화 공정이 진행될수록 대기압 상태에서 성장된 막의 두께가 저기압 상태에서 성장된 막의 두께보다 두껍게 나타났다. 그리고 박막 성장 경향은 두 조건에서 비슷하게 나타났으며, 가장 질화가 많이 진행된 1100°C의 2시간 공정에서 제조된 실리콘 질화막도 대부분 40 Å 이하의 성장 두께를 나타냈다. 저기압 공정에서 제조된 실리콘 질화막의 성장이 다소 느린 것은 반응노안에서 활성화된 암모니아 가스의 잔류시간(hold time)이 대기압 상태보다 짧기 때문이라고 생각된다. 그림에서 나타난 실리콘 질화막의 성장 경향으로부터 제조 공정 시간을 조절함으로써 실리콘 질화막의 성장률 조절이 10 Å의 범위에서 가능할 것이다.

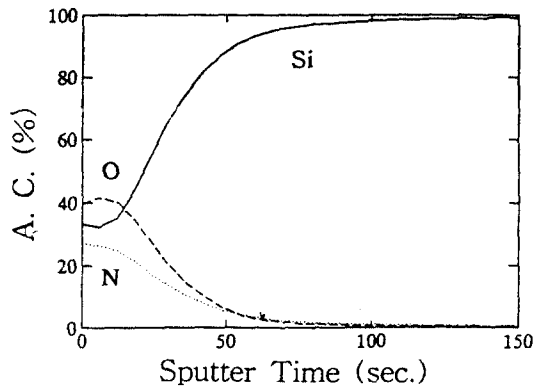
그림 6의 a), b), 및 c)는 여러 제조 방법에 의해 제조된 실리콘 질화막의 조성변화를 각각 나타내고 있다. 그림 a)와 b)는 대기압과 10 Torr의 저기압 상태에서 1000°C의 공정온도에서 1시간동안 열적 질화법에 의해 각각 성장된 실리콘 질화막의 화학적 조성을 나타내고 있다. 각 조건에서 성장된 막은 25 Å - 30 Å의 두께를 갖는다. 또한 그림 c)는 LPCVD 방법에 의해 50 Å의 두께로 형성된 실리콘 질화막의 조성을 나타내고 있다. 각각의 공정에서 제조된 막은 많은 양의 산소가 포함되어 있는데 이는 기판으로 사용된 실리콘의 표면에 존재하는 자연 발생 산화막과 제조 공정 중에 포함되는 산소 불순물에 의한 것이다. 각 제조 방법 중에서 10 Torr의 저기압 상태에서 열적 질화법으로 성장된 막이 약 20 at.%의 산소를 포함하고 있어 다른 두 공정에 의해 제조된 막들보다 산소의 농도가 적게 나타났다.



(a)



(b)



(c)

그림 6. 여러 방법으로 제조된 실리콘 질화막의 AES 깊이 방향 조성 분석 a) 대기압에서 열적 질화 b) 10 Torr에서 열적 질화 c) LPCVD로 형성된 실리콘 질화막

Fig. 6. Auger in-depth profiles of the silicon nitride films manufactured by following methodes. (a) thermal nitridation at atmosphere (b) thermal nitridation at 10 Torr (c) LPCVD

그림 7은 대기압(a)과 10 Torr 저기압(b) 상태에서 각각 제조된 실리콘 질화막을 이용해 제조된 커패시터의 커패시턴스-전압 특성을 나타내고 있다. 이때 각 박막들은 1000°C의 온도에서 1시간동안 열적질화를 행하여 약 25 Å이 성장되었다. 성장된 실리콘 질화막의 유전율은 대기압 공정의 경우는 3.47이고, 10 Torr 저기압 공정의 경우는 4.12이었다. 그리고 평탄대역 전압(flat band voltage)은 대기압 공정의 경우 -1.55V이고, 대기압 공정의 경우 -1.60V였다. 질화가

진행됨에 따른 성장 막의 평탄대역 전압의 이동은 실리콘 질화막과 실리콘 기판 사이에 존재하는 계면 포획 밀도와 관계 있다¹⁰¹. 이상의 결과들로부터 보다 양질의 박막 실리콘 질화막을 제조하기 위해서는 10 Torr 저기압에서 행한 열적 질화 공정이 대기압 열적 질화공정 및 LPCVD 공정에 비해 유리한 것으로 판단된다.

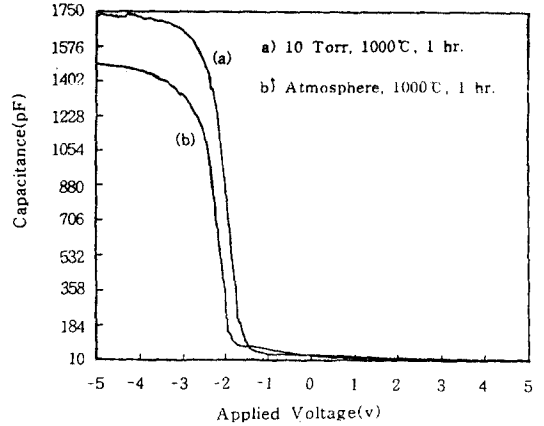


그림 7. 대기압(a) 및 10 Torr(b) 분위기에서 열적 성장된 실리콘 질화막의 커패시턴스-전압 특성

Fig. 7. The C-V characteristics of the silicon nitride films formed at atmosphere (a) and 10 Torr(b).

그림 8의 a)와 b)는 10 Torr의 공정 분위기에서 제조된 실리콘 질화막의 두께와 유전율을 공정 온도의 변화에 대해 각각 나타내고 있다. 공정 온도가 증가하면 제조된 막의 두께뿐 아니라 유전율도 증가하고 있다. 질화공정이 가장 많이 진행된 1100°C, 2시간의 공정에서 제조된 막은 37Å의 두께를 가졌으며 5.75의 유전율을 각각 나타내고 있다. 그리고 1000°C, 2시간의 공정에서 제조된 막은 두께가 28Å였으며 유전율은 4.8였다. 일반적으로 알려진 화학 양론적 조성을 이루는 실리콘 질화막의 유전율은 7.5이나 본 연구에서 제조된 박막의 실리콘 질화막내에는 산소의 조성비가 높아 유전율이 낮게 나타나고 있다. 각 공정 온도에서 공정 시간에 따른 제조된 막의 성장 특성에서 60분 이상의 공정동안에는 성장막의 두께 증가는 둔화되는 반면 유전율은 빠르게 증가하고 있다. 그러므로 장시간 질화를 행하게되면 실리콘 질화막은 자기 제한적 성장을 진행하면서 물성은 보다 양호한 상태로 변화할 것으로 생각된다.

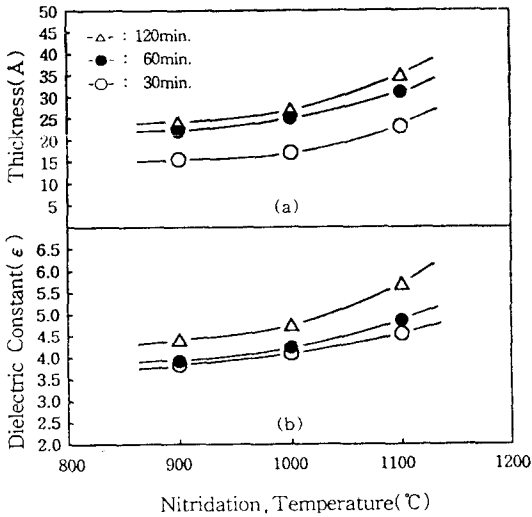


그림 8. 열적 질화 공정 온도 변화에 따른 성장된 실리콘 질화막의 두께(a) 및 유전율 변화 (b) (분위기 압력 : 10 Torr)

Fig. 8. Thickness(a) and dielectric constant(b) of nitride films depending on thermal nitridation temperatures (pressure : 10 Torr).

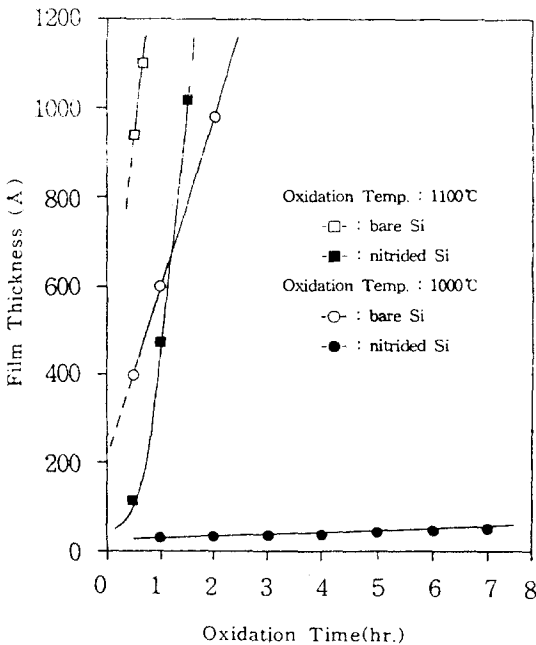


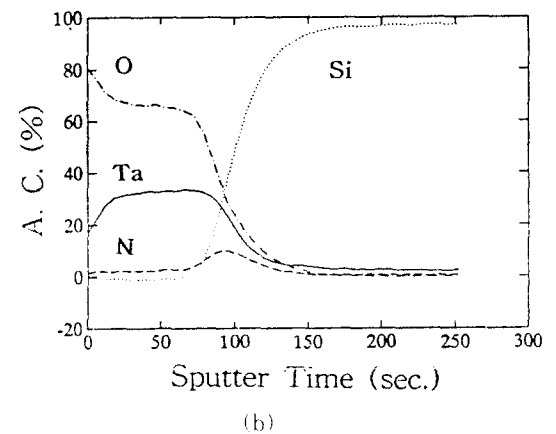
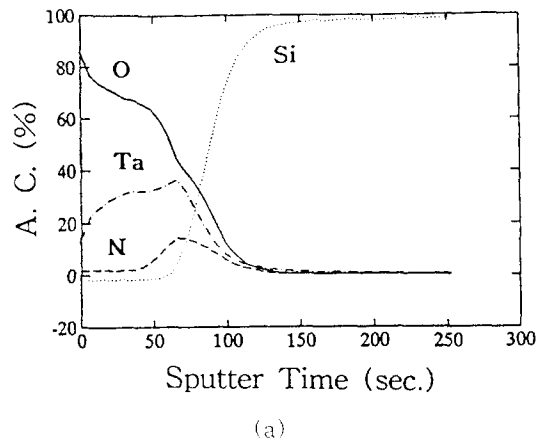
그림 9. 성장된 실리콘 질화막의 건식 산화 특성
Fig. 9. Dry oxidation characteristics of silicon nitride films.

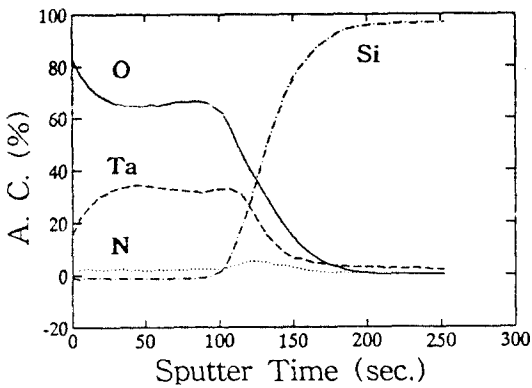
그림 9는 성장된 실리콘 질화막의 건식산화 특성을

나타내고 있다. 실리콘 질화막은 1100°C에서 2시간동안 성장되어 37Å의 두께를 갖고 있다. 산화공정은 1000°C와 1100°C의 온도에서 각각 7 시간동안 행하여 졌다. 산화 시간이 경과됨에 따라 실리콘 기판에서는 매우 빠른 속도로 실리콘 산화막이 성장되지만 실리콘 질화막은 1000°C에서 7시간동안의 산화공정에서도 거의 두께가 변하지 않아 실리콘 산화막이 형성되지 않았음을 나타내고 있다. 그러나 1100°C에서의 산화공정에서는 약 15분 이후 급격한 두께의 증가가 일어나 산화가 급속히 진행되었다. 이는 성장된 약 37Å의 실리콘 질화막이 더 이상의 산화억제 특성을 갖지 않고 있음을 의미한다.

3. 산화 탄탈륨/실리콘 질화막 구조의 산화 효과

그림 10은 산화 탄탈륨/실리콘 질화막의 이층 유전막을 실리콘 위에 형성한 후, 후속 열처리공정에 따른 유전막의 조성변화를 나타내고 있다.





(c)

그림 10. 열처리가 진행됨에 따른 산화 탄탈륨/실리콘 질화막의 조성 변화

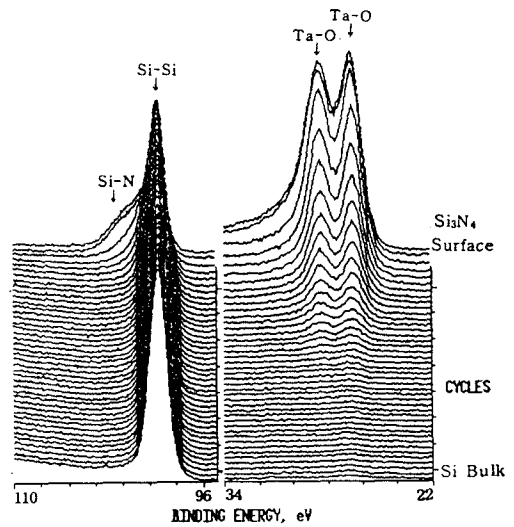
(a) 열처리공정 이전 (b) 10분 열처리 공정 (c) 1시간 열처리 공정

Fig. 10. Auger in-depth profiles of the Ta_2O_5/Si_3N_4 films on Si substrate during anneal. (a) before anneal (b) anneal for 30min. (c) anneal for 1hr.

그림 a)는 열처리하기 전의 시료의 조성이며, 그림 b)와 그림 c)는 10분과 1시간동안 각각 열처리한 유전막의 조성을 나타낸다. 산화 탄탈륨의 두께는 200Å이었으며, 실리콘 질화막의 두께는 28Å이었다. 이때 열처리는 900°C에서 건식 산화법으로 행하였다. 그림에서 실리콘 질화막이 산화 탄탈륨과 실리콘의 계면에서 얇게 형성되어 있다. 열처리 공정이 진행되어도 산화 탄탈륨과 실리콘 기판 사이에서는 실리콘 산화층의 형성을 발견할 수 없었다. 열처리가 진행될수록 실리콘 질화막의 성분은 서서히 감소하고 전체 유전막의 두께는 미소하게 증가하고 있다. 이는 산화 탄탈륨의 성장을 의미한다. 그리고 열처리 후 산화 탄탈륨의 성분은 화학 양론적 조성을 구성하고 있다. 이상의 결과로부터 산화 탄탈륨과 실리콘 사이에 존재하는 실리콘 질화막은 실리콘 산화막의 형성을 효과적으로 억제함을 알 수 있었다.

그림 11은 900°C에서 1시간 동안 열처리시킨 이층 유전막 구조에서 산화 탄탈륨을 약 200Å 정도 에칭한 후 측정된 Si_{2p} 와 Ta_{4f} 의 XPS 깊이 방향 분석이다. Si_{2p} 에 대한 분석의 경우, 표면에서는 약 101.8 eV에서 나타나는 Si-N 결합과 99.5 eV에서 나타나는 Si-Si 결합

이 동시에 나타나고 있다. 그리고 막내부로 분석이 진행됨에 따라 Si-N 결합은 사라지고 Si기판에 해당되는 Si 성분이 나타나고 있다. 그림에서 O와 결합한 Si 성분은 발견되지 않기 때문에 산화 탄탈륨과 Si 사이에는 실리콘 산화막층이 형성되지 않고 실리콘 질화막층만이 존재하고 있다. Ta_{4f} 에 대한 분석에서는 200Å의 산화 탄탈륨을 에칭 하였음에도 불구하고 Ta-O의 결합이 나타나고 있다. 이는 그림 10의 결과에서 언급하였듯이 후속 열처리 공정을 행함으로써 미소한 산화 탄탈륨의 성장이 진행되었음을 의미하고 있다. 후속 열처리공정을 행함으로써 실리콘 산화막의 생성은 억제되면서 산화 탄탈륨의 물성은 개선됨을 알 수 있었다.



(a) BINDING ENERGY, eV (b)

그림 11. 산화 탄탈륨/실리콘 질화막/Si구조에서 산화 탄탈륨을 200Å 에칭한 후 조사된 Si_{2p} (a)와 Ta_{4f} (b)의 XPS 분석

Fig. 11. XPS in-depth analyses for Si_{2p} (a) and Ta_{4f} (b) after etching as-deposited Ta_2O_5 film in $Ta_2O_5/Si_3N_4/Si$ structure.

그림 12는 후속 열처리공정을 행하기 전(a)과 행한 후(b)의 산화 탄탈륨/실리콘 질화막의 이층막을 각각 사용해 제조된 커패시터의 전류-전압 특성이다. 열처리 공정은 건식 산화법으로 900°C에서 1시간동안 이루어 졌다. 열처리 후에 나타난 소자의 누설전류는 5.2V에서 약 2.5nA였으며, 절연과피강도는 약 2.3 MV/cm에서 열처리 이전 보다 높은 수치를 나타내고 있다.

즉, 열처리를 행함으로써 소자의 누설 전류가 줄고 절연 파괴 전압이 증가되었다. 이러한 전기적 분석으로부터 산화 탄탈륨과 실리콘 질화막으로 구성된 이중 유전막의 절연성은 후속 열처리공정에 의해 개선되었음을 알 수 있다.

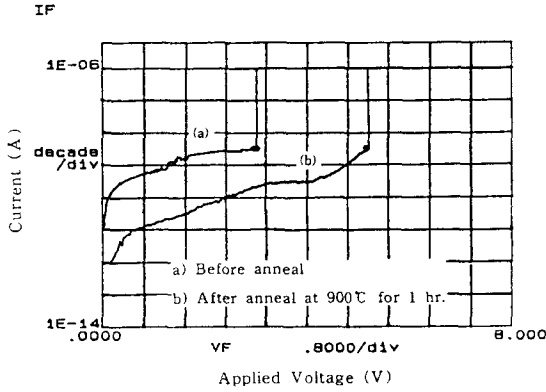


그림 12. 열처리공정 이전(a)과 열처리공정 이후 (b)에 제조된 산화 탄탈륨/실리콘 질화막의 전류-전압 특성

Fig. 12. The I-V characteristics of the Ta_2O_5/Si_3N_4 films. (a) before anneal (b) after anneal

IV. 결론

실리콘 기판위에 산화 탄탈륨을 스퍼터링법으로 형성한 후 막의 물성을 개선시키기 위해 건식 산화법으로 열처리 공정을 행하였을 때 실리콘 기판과 산화 탄탈륨의 계면에 실리콘 산화막층이 생성되었다. 실리콘 산화막의 생성을 억제하기 위해 실리콘 질화막을 실리콘 위에 열적 질화법으로 형성한 후 산화 탄탈륨을 형성하였다. 열적 질화는 10 Torr의 암모니아 분위기에서 R.F 유도 가열 장치를 이용하여 진행되었다. 제조된 실리콘 질화막은 자기 제한적 성장 특성을 보여 수십Å의 범위에서 증착 두께를 조절할 수 있었다. 제조된 약 37Å의 실리콘 질화막을 건식 산화법으로 1000°C의 온도에서 7시간동안 산화를 시켰으나 실리콘 질화막은 산소의 확장을 차단하여 Si_3N_4/Si 웨이퍼 계면에 실리콘 산화막 생성이 억제되었다. 200Å의 산화 탄탈륨과 실리콘 계면에 약 25Å의 실리콘 질화막이 형성된 이중 유전막을 900°C에서 1시간동안 산소 분위기에서 열처리를 행하였으나 실리콘 기판과 이중 유전막의 계면에서 실리콘 산화막이 생성되지 않았다. 열처

리 공정을 행함으로써 박막의 산화 탄탈륨은 화학 양론적 조성을 갖게 되었다. 그리고 전체 유전막의 누설 전류는 5V의 인가 전압에 대해 수 십 nA의 범위에서 흘러 매우 낮은 수치를 보였다. 이처럼 박막의 실리콘 질화막을 산화 탄탈륨 제조에 응용함으로써 실리콘 계면에서의 실리콘 산화막 생성이 억제되면서 양질의 물성을 갖는 이중 유전막인 산화 탄탈륨/실리콘 질화막을 제조할 수 있었다.

참고 문헌

- [1] Y. Hayafuji and K. Kajiwara. "Nitridation of silicon and oxidized-silicon," J. Electrochem. Soc., Vol. 129, no. 9, pp. 2102-2108, 1982.
- [2] K. P. Roenker, "Silicon nitride and oxynitrides for VLSI gate dielectrics," Proceedings of the Symposium on silicon Nitride and Silicon Dioxide thin insulating films, vol. 87-90, pp. 115-134, 1987.
- [3] Y. Nishioka, H. Shinriki, and K. Makai. "Influence of SiO_2 at the Ta_2O_5/Si interface on dielectric characteristics of Ta_2O_5 capacitors," J. Appl. Phys., vol. 61, no. 15, pp. 2335-2338, 1987.
- [4] Y. Nishioka, N. Homma, and K. Ogiue. "Ultra-thin Ta_2O_5 dielectric film for high-speed bipolar memories," IEEE Trans. Electron Devices, vol. ED-34, no. 9, pp. 1957-1962, 1987.
- [5] G. S. Oehrfein and A. Reisman. "Electrical properties of amorphous tantalum pentoxide thin films on silicon," J. Appl. Phys., vol. 54, no. 11, pp. 6502-6508, 1983.
- [6] L. Y. Yeh and Y. S. Chang. "High dielectric constant Ta_2O_5 thin films prepared by rf magnetron sputtering for dynamic random access memory applications," EDMS vol. 11, pp. 132-135, 1994.
- [7] A. Muto and F. Yano. "The study of ultra thin tantalum oxide films before

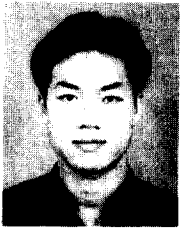
and after annealing with X-ray photoelectron spectroscopy." Jan. J. Appl. Phys., vol. 31, no. 5A, pp. 2699-2702, 1994.

- [8] C. Y. Wu and C. T. King. "Growth kinetics of silicon thermal nitridation." J. Electrochem. Soc., vol. 129, no. 7, pp. 1559-1563, 1982.
- [9] S. Kimura, Y. Nishioka, A. Shintani,

and K. Mukai, "Leakage-current increase in amorphous Ta₂O₅ films due to pinhole growth during annealing below 600°C." J. Electrochem. Soc., vol. 130, no. 12, pp. 2414-2418, 1983.

- [10] 이용현, 왕진석. "고주파 유도가열에 의한 Si 열적질화." 대한전자공학회, vol. 27, no. 9, pp. 76-81, 1990

저 자 소 개



李在成(正會員)
1965년 1월 15일 생. 1987년 경북대학교 전자공학과 졸업. 1989년 동대학원 전자공학과 졸업(공학 석사). 현재 경북대학교 전자, 전기 공학부 박사과정. 주관심 분야는 반도체 소

자 제작, 박막 제조 기술 및 물성 분석 등임.



柳昌明(準會員)
1969년 12월 7일 생. 1994년 경북대학교 전자공학과 졸업. 현재 현재 경북대학교 전자, 전기 공학부 석사 과정. 주관심 분야는 강유전체 박막 제조 및 메모리 소자 제작 등임.



姜信元(正會員)
1955년 3월 12일 생. 1978년 경북대학교 전자공학과 졸업. 1980년 영남대학교 대학원 전자공학과 졸업(공학 석사). 1993년 일본 게이오대학 대학원 생체의공학과 졸업(공학 박사)

1995년~현재 경북대학교 센서기술연구소 전임 강사. 주관심 분야는 광전자 집적회로, 광도파로 제조 및 반도체 센서 제작 등임.



李正熙(正會員)
1957년 6월 30일 생. 1979년 경북대학교 전자공학과 졸업. 1983년 동대학원 전자공학과 졸업(공학 석사). 1986년 Florida Institute Technology, Electrical and Computer Eng. 졸업(공학 석사).

1990년 North Carolina State University, Electrical and Computer Eng. 졸업(공학 박사). 1990년~1993년 한국전자통신연구소 선임 연구원. 1993년~현재 경북대학교 전자, 전기 공학부 조교수. 주 관심분야는 III-V족 화합물 반도체소자, 마이크로머시닝 기술, 박막 소자 및 광섬유 센서 등임.

李龍鉉(正會員) 第31卷 A編 8號 參照
현재 경북대학교 전자, 전기 공학부 교수