

論文 95-32A-10-4

# 전류 제한 능력을 갖는 전력 MOSFET

## (A Power MOSFET with Self Current Limiting Capability)

尹鍾晚\*, 崔然益\*\*, 韓民九\*

(Chong-Man Yun, Yearn-Ik Choi, and Min-Koo Han)

### 요 약

과전류를 방지하는 새로운 전력용 MOSFET를 제안했다. 제안된 MOSFET는 주전력 MOSFET 셀, 전류 감지 MOSFET 셀과 수평형 바이폴라 트랜지스터로 이루어져있다. 제안된 MOSFET는 추가 공정없이 기존의 DMOS 공정으로 제작이 가능하다. 과전류 상태는 베이스 저항을 전류 감지 저항으로 사용하는 새롭게 디자인 된 수평형 바이폴라 트랜지스터에 의해 감지 되었다. 혼합 모드의 시뮬레이션을 사용하여 제안된 MOSFET이 전체 소자 면적의 0.2% 이하의 작은 보호 회로의 면적으로 과전류 보호 기능을 수행함을 확인할 수 있었다.

### Abstract

A new vertical power MOSFET with over-current protection capability is proposed. The MOSFET consists of main power MOSFET cell, sensing MOSFET cell and lateral npn bipolar transistor. The proposed MOSFET may be fabricated by a conventional DMOS process without any additional fabrication step. Overcurrent state is sensed by the newly designed lateral bipolar transistor. Mixed-mode simulations proved that the overcurrent protection is achieved by the proposed MOSFET successfully with a small protection area less than 0.2 % of the total die area.

### I. 서 론

전력용 반도체 소자를 전력 스위치로 사용하는 시스템에서 과전압(over-voltage), 과전류(over-current), 과열(over-temperature), 단락 회로(short-circuit) 방지 등의 보호 회로의 사용이 널리 보편화되고 있다<sup>1)</sup>. 특히 전류 모드 제어 회로의 경우 전력 반도체 소자에 흐르는 전류의 검지와 과전류를 방지하기 위한 회로의 사용은 필수적이다. 전력 전자 시스템에서 널리 사용되는 전류 감지 방법으로는 소자의 단

자에 직렬 저항을 삽입하거나 전류 변환기(current transformer)를 사용하여 전류의 양을 검지 하는 방법이 있다. 직렬 저항을 사용할 경우 비교적 간단하게 전류를 측정할 수 있으나 이 저항에서의 전압 강하로 인한 전력 손실이 막대하며 전류 변환기의 경우 시스템이 복잡해지고 고가화 되는 단점을 지니고 있다. 반도체 기술이 발달함에 따라 여러 가지 보호 기능을 갖는 회로들이 한 개의 전력용 칩에 내장되어있는 전력 집적 회로(PIC, Power Integrated Circuits)들이 개발되어왔고 비교적 좋은 보호기능을 수행하는 것으로 보고되었으나 이들은 전력 소자와 신호 처리 회로들이 함께 집적되기 위하여 바이폴라 트랜지스터, 전력용 MOS 트랜지스터, CMOS 트랜지스터들이 함께 집적되는 BCD(Bipolar-CMOS-DMOS) 공정 등의 복잡한 공정을 필요로 한다<sup>2,3)</sup>. 또한 전력 소자로서

\* 正會員, 서울大學校 電氣工學科  
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

\*\* 正會員, 亞洲大學校 電子工學科  
(Dept. of Elec. Eng. Ajou Univ.)

接受日字: 1994年6月28日, 수정완료일: 1995年10月16日

주로 수평형 전력 소자(lateral power device)를 사용하기 때문에 도통할 수 있는 전류의 레벨이 작은 단점이 있다.

단일 전력 소자(discrete power device)에 과전류, 과전압 보호 기능을 갖춘 소자의 개발이 진행되고 있는데<sup>[4]</sup> 이러한 소자들은 되도록 전력 소자의 기존 공정을 사용하여 보호 회로들을 만들 수 있도록 설계되었다. 최근에는 다결정 실리콘 저항과 과전류 제한을 위한 수평형 MOSFET를 내장한 과전류 방지용 IGBT가 보고되었다<sup>[5,6]</sup>. 이 소자들은 게이트의 전압을 낮추기 위해 수평형 MOSFET를 사용하기 때문에 이 MOSFET를 구동하기 위해서는 문턱전압보다 훨씬 큰 전압이 다결정 저항에 인가되어야하여 이 저항에서의 전력 손실이 증가하고 전류 감지 셀(current sensing cells)과 주전력 셀(main power cells)의 에미터-콜렉터 양단의 전압의 차가 크게 되어 두 소자의 전류 거울(current mirror) 관계가 유지되지 못하는 단점을 지니고있다.

본 논문에서는 새로운 구조의 게이트 전압 강하용 수평형 바이폴라 트랜지스터를 제안하였다. 제안된 구조의 트랜지스터는 기존의 DMOS 공정으로 제작이 가능하고 베이스 단자에서의 전압이 베이스(base)-에미터(emitter) 접합의 전위차와 크게 다르지 않도록 설계되었다. 이 트랜지스터를 내장한 수직형 전력 MOSFET이 과전류 방지 기능을 갖는 것을 검증하기 위해서 소자의 특성과 회로의 특성을 동시에 고려한 혼합 모드(mixed-mode) 시뮬레이션 기법을 사용하여 검증하였다. 제안된 바이폴라 트랜지스터는 전류 감지용 저항으로 소자 내부의 베이스(base) 저항을 사용하여 별도의 외부 전류 감지용 저항을 필요로 하지 않고 베이스 단자에서의 전압 강하를 작게 할 수 있어서 저항 손실을 감소시킬 수 있었고 감지 셀과 주전력 셀간의 에미터-콜렉터간의 전압 차이를 감소시켜 작은 면적의 보호 회로로 과전류 보호 기능을 수행함을 알 수 있었다.

## II. 본 론

### 1. 과전류 방지용 MOSFET의 구성과 동작

과전류 방지용 MOSFET의 등가 회로를 그림 1에 나타냈다. 과전류 방지용 MOSFET은 주전력 셀, 전류 감지 셀, 전류 감지용 저항과 게이트 전압 강하용

트랜지스터로 이루어진다. 주전력 셀과 전류 감지 셀은 같은 구조의 MOSFET이고 전류 감지 셀에 흐르는 전류는 주전력 셀에 흐르는 전류보다 작아야 하므로 수백대 일 정도의 셀 비로 되어있다<sup>[4]</sup>. 두 소자들의 드레인(drain) 단자는 함께 부하 단에 연결되어있고 주전력 셀의 소오스(source) 단자는 접지와 연결되었으며 전류 감지 셀의 소오스 단자는 저항과 바이폴라 트랜지스터의 베이스(base)에 연결되어있다. 바이폴라 트랜지스터의 콜렉터는 MOSFET의 게이트(gate) 단자에 연결되어있다.

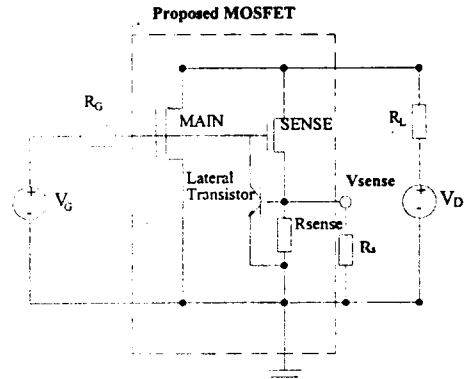


그림 1. 과전류 방지용 회로도

Fig. 1. Circuit diagram of over-current protection.

이 회로의 동작은 다음과 같다. 게이트 단자에 문턱 전압 이상의 전압이 인가되면 주전력 셀과 전류 감지 셀에 전류가 흐르게된다. 두 부분의 단위 소자는 같은 구조로 형성되어 있기 때문에 전류-전압 특성은 같으며 전류는 주전력 셀과 전류 감지 셀의 비에 따라 나뉘어 흐르게 된다. 전류의 크기가 증가함에 따라 전류 감지를 위한 저항,  $R_s$ 에 걸리는 전압이 식 1과 같이 증가하게되고 전압 강하가 에미터-베이스간의 접촉 전위차(built-in) 전압보다 커지게 되면 바이폴라 트랜지스터가 동작되어 게이트 단자-바이폴라 트랜지스터-접지의 도통 경로를 따라 제이트의 전하가 빠져나가게 되고 이에 따라 게이트 단자의 전압이 낮아진다.

$$V_{sense} = R_{sense} \frac{I_D \cdot R_{a(on)}}{R_{dm(on)} + R_{sense}} \quad (1)$$

여기서  $I_D$ 는 소자 전체에 흐르는 전류이고  $R_{a(on)}$ 은 주전력 셀의 도통시의 저항이며  $R_{dm(on)}$ 은 전류 감지 셀의 도통시의 저항이다.  $R_{a(on)}$ 과  $R_{dm(on)}$ 은 앞에서 기

술한 바와 같이  $R_{dm(on)} = R_{a(on)} \times n$  ( $n$ 은 셀 비)의 관계가 있다.

게이트 전압이 낮아짐에 따라 드레인 전류는 줄어들게 되고 이에 따라 저항 단의 전압은 감소된다. 즉 회로 전계가 부궤환 회로(negative feedback circuit)를 이루게되므로 드레인의 전압이 증가하여도 드레인 전류는 일정 레벨의 전류가 계속 유지된다. 이때의 전류 레벨은 다음식과 같이 표현될 수 있다.

$$I_D = V_{sense} \cdot \frac{R_{sense} + R_{dm(on)}}{R_a \cdot R_{sense}} \quad (2)$$

식 (1)에서 얻어진  $V_{sense}$ 는 트랜지스터 베이스 단자의 전압이 되는데 트랜지스터가 턴-온이되는  $V_{sense}$ 가 증가하면 식 (1)에서 식 (3)과 같이  $R_{sense}$ 가 증가한다.

$$R_{sense} = \frac{V_{sense} \cdot R_{dm(on)}}{I_D \cdot R_{a(on)} - V_{sense}} \quad (3)$$

$R_{sense}$ 가 커질 수록 전류 검지 셀의 소오스-드레인간의 전압은 작아져 전류 검지 셀을 통해  $R_{sense}$ 로 흐르는 전류가 감소하므로 많은 전류 검지 셀이 필요하게 된다. 그런데 소자의 온-저항을 되도록 작게 하려면 소자 전체에서 보호 회로, 즉 전류 검지 셀과 트랜지스터가 차지하는 면적을 최소화해야 한다. 따라서 언급한 바와 같이  $V_{sense}$ 는 바이폴라 트랜지스터의 베이스 단자 전압이 되는데  $V_{sense}$ 가 작게 걸릴때 트랜지스터가 턴-온이 되도록 트랜지스터를 설계하여 전류 검지 저항에서의 저항 손실을 감소시키고 전체 소자 면적중에서 전류 검지 MOSFET 및 바이폴라 트랜지스터의 면적이 차지하는 비율을 감소시키는것이 필요하다.

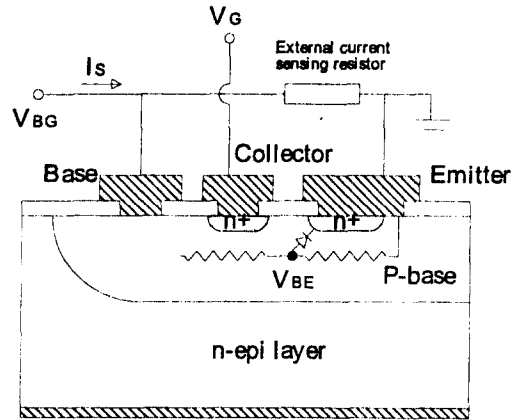
## 2. 수평형 바이폴라 트랜지스터

### 1) 기존 구조의 수평형 바이폴라 트랜지스터

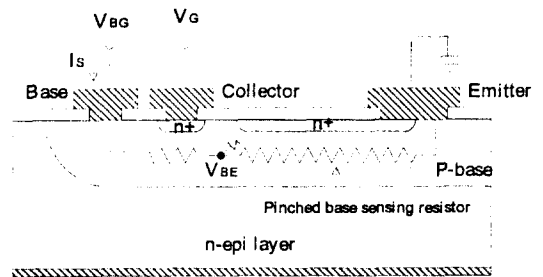
DMOS 공정을 사용한 과전류 방지 전력용 MOSFET를 한 칩안에 설계하기 위해서는 수평형의 바이폴라 트랜지스터를 채용해야한다. MOSFET과 수평형 바이폴라 트랜지스터가 한칩안에 내장되어있고 전류 검지용 저항은 외부에서 연결하는 방법이 쓰이고 있는데<sup>[4]</sup> 이 경우의 수평형 바이폴라 트랜지스터의 구조는 그림 2. a와 같다.

그림에서 보는 바와 같이 전류 검지 셀로 부터 흘러나온 전류에 의해 저항에서 전압 강하가 발생함에 따라 이 전압이 바이폴라 트랜지스터의 베이스에 인가되

게된다. 이때 항복 전압을 증가시키기 위해 에미터는 베이스와 단락되어 있으므로 베이스내에서 전압의 차이가 발생하고 에미터-베이스 접합에서의 전위차는 베이스 단자의 전압  $V_{BG}$ 보다 훨씬 작은 값을 갖게된다. 즉 바이폴라 트랜지스터를 온 시키기 위해서는 에미터-베이스 접합에 0.7 V 이상의 전압이 인가되어야 하는데 이를 위해선 베이스 단자에 1 V 이상의 전압이 인가되어야한다. 이 경우 높은 전압 강하를 일으키기 위해서 전류 검지 셀로 부터의 전류가 많아져야하므로 셀 비,  $n$ 이 작아져야 한다. 또한 저항에서의 전력 손실이 커지며 주전력 셀과 전류 검지 셀의 드레인-소오스 전압이 달라져 두 소자간의 current mirror 관계<sup>[11]</sup>가 성립하지 않게 된다.



(a)



(b)

그림 2. 과전류 방지용 회로에 사용되는 수평형 바이폴라 트랜지스터의 구조 및 회로 연결 (a) 종래의 구조 (b) 제안된 구조

Fig. 2. Cross-sectional view and connections of lateral bipolar transistor for over-current protections. (a) conventional (b) proposed transistor

2) 제안된 구조의 수평형 바이폴라 트랜지스터  
 본 논문에서는 단일 칩상에 전력 MOSFET과 전류 검지용 MOSFET, 바이폴라 트랜지스터 및 전류 검지용 저항이 집적되는 과전류 보호용 MOSFET를 제안하였다. 단일 칩안에 바이폴라 트랜지스터를 MOSFET에 내장하기 위하여 기존의 DMOS 공정으로 제작이 가능하고 에미터-베이스 전압 ( $V_{BE}$ )과 베이스-접지 전압 ( $V_{BG}$ )의 차이가 크지 않고 낮은 베이스 전압을 유지할 수 있는 새로운 구조의 수평형 바이폴라 트랜지스터의 구조를 제안하였다. 그림 2. b는 제안된 바이폴라 트랜지스터의 단면 구조이다.

제안된 바이폴라 트랜지스터의 에미터는 기존의 바이폴라 트랜지스터의 에미터가 짧게 형성된 것과는 달리 20  $\mu\text{m}$  이상의 길이를 갖도록 설계되었으며 한쪽 끝단에서는 베이스와 단락되어 있다. 위와 같이 설계함으로써 바이폴라 트랜지스터의 외부에 별도의 전류 검지용 저항이 필요없도록 하였다. 즉, 베이스 단자에 유입된 전류는 콜렉터 하단과 에미터 하단의 p-바디 저항 (p-body pinched base resistor)을 지나 전극을 통해 접지로 흐르기 때문에 p- 바디 저항이 전류의 양을 검출하는 전류 검지 저항의 역할을 하게 된다. 전체 소자의 전류에 비례하여 전류 검지 MOSFET의 전류가 증가하고 이 전류는 회로 연결에 의해 바이폴라 트랜지스터의 베이스로 유입된다. 이 전류는 에미터 하단의 베이스 저항을 따라 접지로 흐르게 되는데 이에 따라 에미터 오른쪽 끝단에서의 pn 접합에 전위차가 식 3과 같이 증가하고 접촉 전위차 이상의 전압이 인가 될 경우 바이폴라 트랜지스터가 동작하게 된다.

$$V_{BE} = R_B \times I_B \tag{4}$$

여기서  $V_{BE}$ 는 에미터 왼쪽 하단의 베이스에서의 전위이고  $R_B$ 는 에미터 하단의 저항이고  $I_B$ 는 전류 검지 MOSFET로부터 베이스에 인가된 전류이다.

제안된 트랜지스터의 경우 에미터의 길이가 콜렉터의 길이보다 훨씬 길기 때문에 에미터-베이스 전압 ( $V_{BE}$ )과 베이스-접지 전압 ( $V_{BG}$ )의 차이가 크지 않게 되어 낮은 베이스 전압에서의 트랜지스터의 턴-온이 가능하다.

바이폴라 트랜지스터의 동작을 비교하기 위하여 종래 구조와 제안된 구조의 수평형 바이폴라 트랜지스터의 베이스에 전압이 인가될 경우의 베이스 단자의 전

압에 따른 콜렉터 전류를 그림 3에 나타냈다. 이때 에미터는 접지와 연결되어 있고 콜렉터에는 MOSFET의 게이트 전압인 15V의 전압이 인가되어 있다. 종래 구조의 베이스 단자에는 별도의 전류 검지용 저항으로  $1 \times 10^4 \Omega\text{-}\mu\text{m}$ 의 저항이 연결되어 있고 제안된 구조의 경우는 별도의 저항이 연결되어 있지 않다. 비교된 트랜지스터의 구조는 표 1과 같다.

표 1. 시뮬레이션에서 사용된 수평형 바이폴라 트랜지스터의 구조

Table 1. Simulated structure of the lateral bipolar transistor.

transistor structure	종래의 구조	제안된 구조
collector length	4.5 $\mu\text{m}$	4.5 $\mu\text{m}$
emitter length	4 $\mu\text{m}$	22 $\mu\text{m}$
collector-emitter distance	2 $\mu\text{m}$	2 $\mu\text{m}$
collector, emitter junction depth	0.8 $\mu\text{m}$	0.8 $\mu\text{m}$

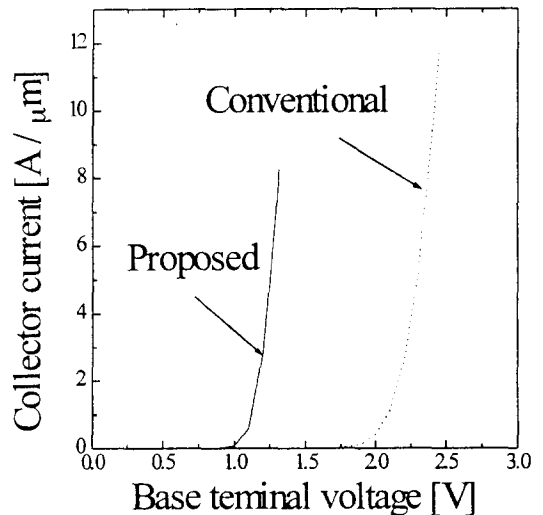


그림 3. 수평형 바이폴라 트랜지스터의 베이스 단자 전압에 따른 콜렉터 전류

Fig. 3. Collector current vs. base terminal voltage in lateral bipolar transistor.

그림 3에 나타난 바와 같이 종래 구조의 경우 2 V 이상의 베이스 전압에서 바이폴라 트랜지스터가 턴-온이 되는 반면에 제안된 구조의 경우 1 V의 베이스 전압에서 턴-온이 되는 것을 알 수 있다. 이는 베이스 단자의 전위와 베이스-에미터 접합에서의 전위가 종래

구조의 경우 크게 차이가 나는 반면 제안된 구조의 경우는 에미터의 길이가 베이스 단자에서부터 콜렉터까지의 길이보다 상대적으로 길기때문에 두 전위의 차이가 작음에 기인하는 것이다.

3) 과전류 방지용 전력용 MOSFET의 구조와 동작

기존의 DMOS 공정을 사용하여 앞의 절에서 제안된 바이폴라 트랜지스터를 사용한 전력용 MOSFET의 단면 구조를 그림 4에 나타냈다. 이 구조의 등가 회로는 그림 1과 같고 접선 안에 있는 소자들이 한 칩안에 구성되는 구조이다. 그림에서 보이듯이 주전력 MOSFET과 전류 검지 MOSFET의 구조는 같고 각각의 소오스 단자는 접지와 수평형 바이폴라 트랜지스터의 베이스 단자에 연결되어있는것이 다르다. 수평형 바이폴라 트랜지스터는 DMOS 공정으로 제작되며 기존 마스크 이외의 추가 공정은 없다. 수평형 바이폴라 트랜지스터의 에미터와 콜렉터는 DMOSFET의 소오스 형성시 동시에 형성되고 베이스는 DMOSFET의 p-바디와 같이 형성된다. 전류 검지 MOSFET의 소오스는 바이폴라 트랜지스터의 베이스와 연결되었으며 게이트 전극은 바이폴라 트랜지스터의 콜렉터에 연결되어있다. 이 소자의 동작을 회로적으로 해석하기 위해 게이트에 저항을 연결하고 부하단에는 순수 저항 부하를 연결하여 시뮬레이션하였다. 게이트 단자에 연결된 외부 저항의 크기는 20 Ω이며 부하로 연결된 저항은 0.4 Ω이다. 소자의 동작은 2.1절에 설명한것과 같다. 시뮬레이션에 사용된 주요 구조 파라미터들은 표 2와 같다.

표 2. 시뮬레이션에서 사용된 소자의 구조 파라미터

Table 2. Structure parameters used in simulations.

파라미터	값
epi-layer thickness	40 μm
epi-layer concentration	1 × 10 <sup>15</sup> cm <sup>-3</sup>
n+ source(emitter) junction depth	1 μm
p-body junction depth	4.5 μm
p-body surface concentration	1 × 10 <sup>17</sup> cm <sup>-3</sup>
gate oxide thickness	1000Å

4. 혼합 모드 시뮬레이션(mixed-mode simulation)

제안된 과전류 방지용 MOSFET은 세가지의 반도체 소자와 저항 요소들이 회로를 이루고 있는 구조이기때

문에 이의 정특성 및 동특성의 시뮬레이션을 위해서 소자 시뮬레이션과 회로 시뮬레이션을 동시에 행하는 혼합 모드 시뮬레이션을 수행하였다. 혼합 모드 시뮬레이션은 복수개의 소자가 단일 회로를 구성하고 있을때 각각의 소자 시뮬레이션을 수행하기위한 MEDICI 입력 화일을 연결하므로써 회로의 동작에 따른 소자의 상태를 정확하게 구현할 수 있다. 소자 구조 혼합 모드 시뮬레이터는 정확한 단자의 전압을 소자 시뮬레이터에 제공하고 소자 시뮬레이터는 단자 전압에 따른 전류량을 혼합 모드 시뮬레이터에 제공하게된다. 사용된 시뮬레이터는 MEDICI와 CAAAM(Circuit Analysis - Advanced Application Module)<sup>17)</sup>이며 그림 5는 제안된 MOSFET의 혼합 모드 시뮬레이션 구성도이다.

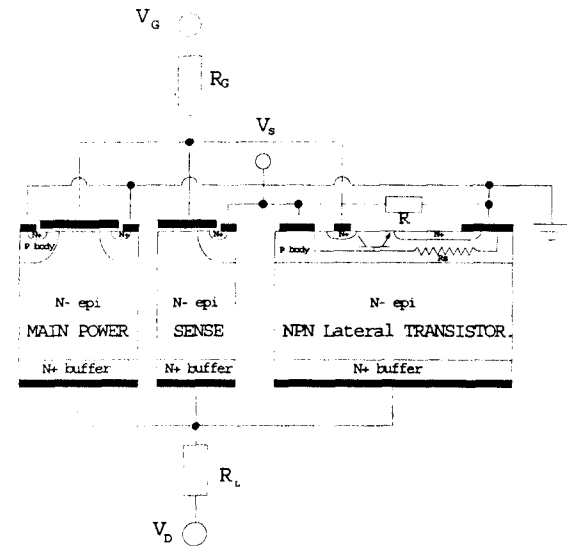


그림 4. 제안된 수직형 전력 MOSFET의 단면 구조와 회로 연결

Fig. 4. Cross-sectional view and connections of the proposed vertical power MOSFET.

III. 시뮬레이션 결과

전류 레벨에 따른 바이폴라 트랜지스터와 주전력 및 전류 검지 MOSFET 내부의 전류 흐름을 그림 6에 나타냈다. 그림 6.(a)는 전류가 작아서 바이폴라 트랜지스터가 턴-온이 되지 않는 상태의 전류 흐름이다. 베이

스 단자에 유입된 전류는 콜렉터 하단을 지나 에미터 하단의 베이스 저항을 따라 접지로 흐르고 있음을 알 수 있다.

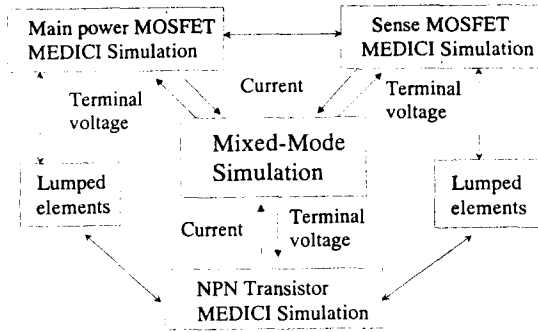


그림 5. 제안된 MOSFET의 혼합 모드 시뮬레이션의 구성도

Fig. 5. Schematic diagram of the mixed-mode simulation of the proposed MOSFET.

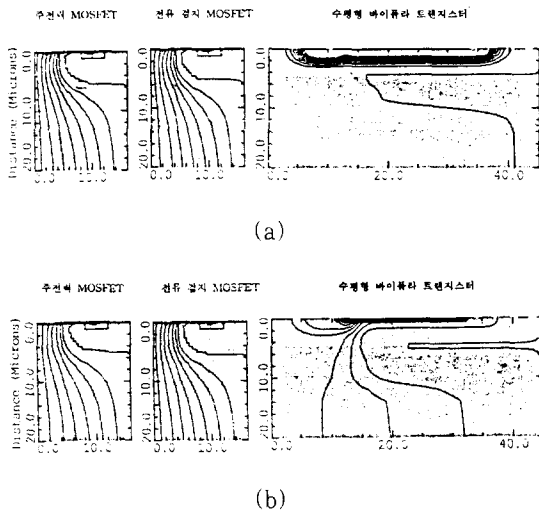


그림 6. 전류 레벨에 따른 바이폴라 트랜지스터, 주전력 및 전류 검지 MOSFET 내부의 전류 흐름 (a) 드레인 전류가 전류 제한 레벨보다 작을 때 (b) 드레인 전류가 전류 제한 레벨보다 클 때

Fig. 6. Current flow in the lateral bipolar transistor, main and current sensing MOSFETs (a) when the drain current is less than the current limiting level (b) when the drain current is larger than the current limiting level.

전류가 증가로 인해 베이스 저항에서의 전압 강하가

증가하여 에미터 왼쪽단의 에미터-베이스간에 0.7 V 이상의 전압차가 유기되었을때 그림 6.b 에 나타난 바와 같이 콜렉터로 부터 에미터로 빠져 나가는 전류의 흐름이 생긴다. 따라서 게이트 전압은 낮아지게 된다.

소자의 크기와 전류 검지 및 보호 회로에서의 전력 소모를 줄이기 위해서는 되도록 주전력 셀에 비한 전류 검지 셀과 바이폴라 트랜지스터의 면적을 작게 하는 것이 필요하다. 그런데 이들의 면적을 감소시키게 되면 바이폴라 트랜지스터가 게이트 전압을 강하시킬 수 있는 능력이 감소하여 완전한 전류의 제한이 이루어지지 않을 수 있다. 바이폴라 트랜지스터 대신 수평형 MOSFET를 사용한 경우<sup>[5,6]</sup> 이 면적은 전체 소자 면적의 3-5 %이다.

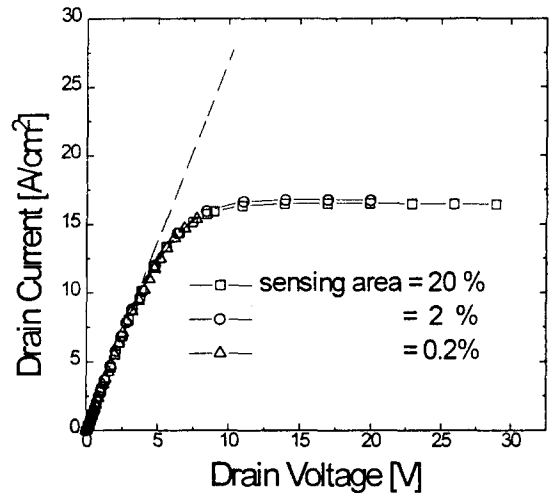


그림 7. 제안된 MOSFET의 전류 전압 특성 곡선  
Fig. 7. I-V characteristic curve for the proposed MOSFET.

그림 7은 전체 소자의 면적 대 전류 검지 셀 및 바이폴라 트랜지스터의 면적의 비를 변화시킬때의 소자의 단위 면적당 전류-전압 특성의 변화를 나타낸 것이다.

그림에서 점선으로 표시된 선은 전류 검지 MOSFET 셀 및 바이폴라 트랜지스터가 없는 주전력 셀만의 전류 곡선이고 다른 실선들은 이들 회로가 있을 때의 특성 곡선이다. 그림에서 보는바와 같이 제안된 MOSFET의 드레인 전류는 약 16 A/cm<sup>2</sup>에서 제한이 되는 반면에 주전력 MOSFET만 있는 경우는 전류의 제한 없이 계속 증가한다. 그림에는 표시되지 않았지만 주전력 MOSFET의 경우 약 80 A/cm<sup>2</sup>에서 포화(saturate)되었다

본 논문에서 제안된 MOSFET은 게이트의 전하가 바이폴라 트랜지스터에 의해 추출되는 방식이므로 바이폴라 트랜지스터의 우수한 전류 용량때문에 전류 검지 MOSFET 셀 및 바이폴라 트랜지스터의 면적이 작을때에도 전류 제한 기능을 수행할 수 있었다. 그림에서 보듯이 이들의 면적이 20% 에서 0.2% 까지 변화 하여도 제한되는 전류의 레벨이나 온 저항의 차이가 거의 나지 않고있다. 특히 점선으로 나타낸 보호 회로가 없는 경우와 5V이하에서 온 저항의 차이가 나지 않고 있어 이들 보호 회로에 의한 손실이 매우 작음을 알 수 있다.

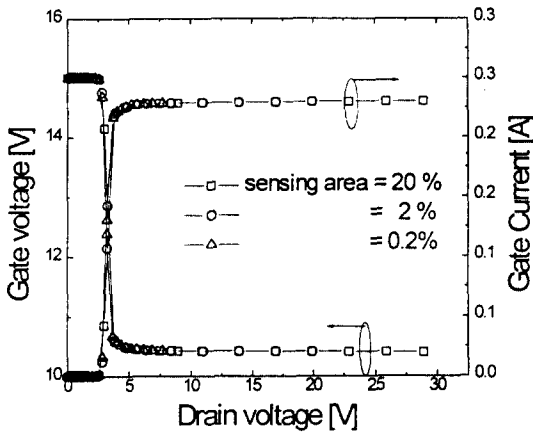


그림 8. 드레인 전압에 따른 게이트 전류와 전압의 변화  
 Fig. 8. Gate current and voltage according to the drain voltage.

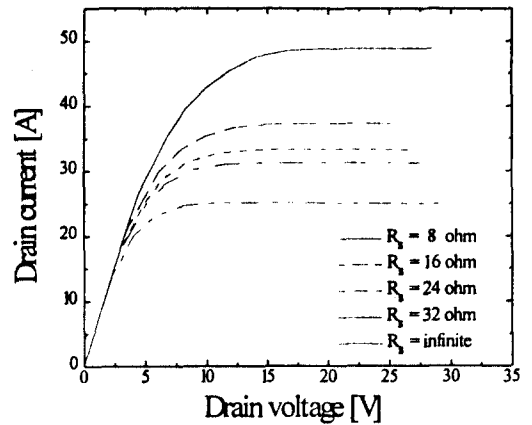
전류 제한이 발생할때의 게이트의 전압과 바이폴라 트랜지스터로 빠져 나가는 전류를 그림 8에 나타냈다. 드레인 전류가 전류 제한 레벨을 넘을때 게이트의 전하는 바이폴라 트랜지스터를 통하여 빠져나가고 이에 의해 게이트 단자의 전압은 15 V에서 10.5 V로 낮아진다. 이때 게이트단자로부터 흘러나가는 전류는 바이폴라 트랜지스터의 콜렉터 전류가 된다. 그림에서 보는 바와 같이 게이트 전압의 하강과 전류의 상승은 보호 회로의 면적에 관계없이 일정한 시점에서 발생함을 알 수 있다. 이는 전류 검지 MOSFET셀의 소오스에 직렬 연결되는 전류 검지 저항, 즉 바이폴라 트랜지스터의 베이스 저항에서의 전압 강하의 영향이 매우 작음을 의미하는것이다.

소자의 사용자의 경우에 따라서 소자의 전류 제한 레벨을 용도에 맞게 변경 할수 있다. 이를 위해서 전류 제한 레벨은 그림 4의  $V_s$  단자와 접지 사이에 외부 저항을 설치하므로써 조절될 수 있다. 베이스 저항과 병렬 연결된 저항은 베이스 전류의 다른 전도 경도를 형성하여 전류 제한 레벨은 다음 식과 같이 바뀌게 된다.

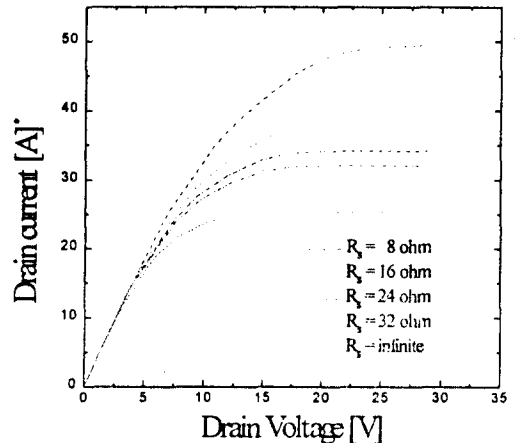
$$I_{lim} = I_0 \times R_B / (R_B // R_S) \tag{5}$$

$$= I_0 \frac{R_B + R_S}{R_S}$$

여기서  $I_0$ 는 병렬 저항이 없을때의 전류 제한 레벨이고  $R_B$ 는 수평형 바이폴라 트랜지스터의 베이스 저항이며  $R_S$ 는 외부의 병렬 저항이다.



(a)



(b)

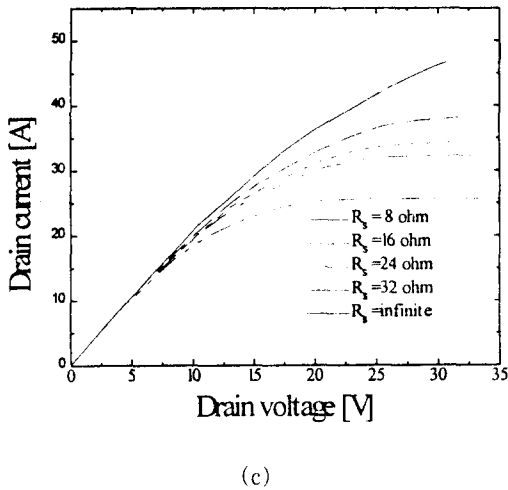


그림 9.  $V_s$  단자와 접지 사이에 병렬 저항이 삽입되었을 경우의 I-V 특성 곡선  
(a)  $BV=200$  V (b)  $BV=300$  V (c)  $BV=400$  V

Fig. 9. I-V curves of the proposed MOSFET with the shunting resistor between the terminal  $V_s$  and the ground.  
(a)  $BV = 200$  V (b)  $BV = 300$  V  
(c)  $BV = 400$  V

병렬 저항의 크기에 따른 제안된 MOSFET의 전류 전압 곡선을 그림 9에 나타냈다. 그림 (a), (b), (c)는 각각 전력 MOSFET의 항복 전압이 200 V, 300 V, 400 V일때를 나타낸 것이다. 항복 전압에 따른 에피층의 농도 및 두께는  $Hu^{[8]}$ 의 최적 조건에 의하여 구한 것이다. 여기서 전류 감지 MOSFET 및 수평형 바이폴라 트랜지스터의 면적비는 전체 소자 면적의 2%이다.

소자의 온-저항과 항복 전압이 변화하여도 전류의 제한이 일어나는 전류의 레벨은 변하지 않는 것으로 나타났다. 시뮬레이션 결과로부터 바이폴라 트랜지스터의 베이스 저항 ( $R_B$ )은 약 8  $\Omega$ 으로 계산되었는데 병렬 저항 ( $R_S$ )을 32  $\Omega$ , 24  $\Omega$ , 16  $\Omega$ , 8  $\Omega$ 을 달아줌에 따라 전류 제한 레벨은 25 A에서 각각 31 A, 33 A, 38 A, 48 A로 증가하였다. 이는 식 4의 계산에 의한 각각의 계산치인 31.25 A, 33.33 A, 37.5 A, 50 A와 잘 일치하여 외부 병렬 저항에 의해 전류 제한 레벨을 변화시킬 수 있음을 알 수 있었다. 그림에서 볼 수 있듯이 외부 병렬 저항을 달아줄 경우에도 온-저항

의 변화는 거의 없는 것으로 나타났다. 병렬 저항이 24  $\Omega$ 이하일 경우 드레인 전류의 제한이 다른 곡선에 비해 완만하게 이루어짐을 볼 수 있다. 이 현상은 게이트 단자의 전압과 바이폴라 트랜지스터를 통해 빠져나가는 게이트 전류의 변화를 나타낸 그림 10에서 설명된다.

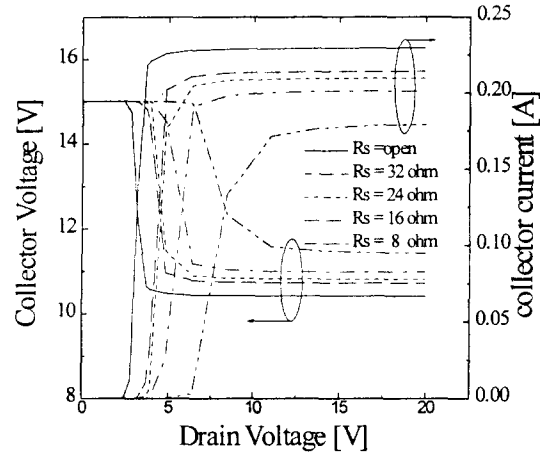


그림 10. 병렬 저항에 따른 게이트 전압과 게이트 전류의 변화

Fig. 10. Variation of the gate voltage and the gate current according to the shunting resistance.

병렬 저항이 작아 질수록 바이폴라 트랜지스터의 턴-온이 되는 드레인 전압은 증가하는 것으로 나타나는데 이는 병렬 저항때문에 에미터-베이스 접합에서의 전위차가 낮아지는 것을 의미한다. 포화된 콜렉터 전류의 양이 병렬 저항의 감소에 따라 감소하는 것은 바이폴라 트랜지스터의 베이스에 유입되는 전류가 감소하는 것에 기인하는 것으로 판단된다. 따라서 병렬 저항이 작아져더라도 드레인 전류의 제한을 완전하게 하기 위해서는 전류 감지 MOSFET의 면적을 증가시켜 베이스 전류를 증가시키는 것이 필요하다. 제안된 MOSFET의 급격한 전류의 증가에 대한 전류 제한 응답 특성을 보기 위해 그림 1의 회로에서 부하 저항이 달려있지 않는 경우에 드레인-소스 단자에 100 V의 전압이 인가되어 있는 상태에서 게이트 전압을 0 V에서 15 V로 10 nsec만에 증가를 시켰다. 이는 소자 양단에 높은 전압이 인가되어 있는 상태에서 게이트가 턴-온이 되는 단락 회로(short circuit) 상태에 들어갈때의 시뮬레이션을 위한 것이다. 그림 10에서 볼 수 있듯이 게이트에



연결된 저항단에 인가된 전압은 15 V이지만 게이트 단에서의 전압은 15 V 인가 후 빠르게 증가하다가 약 0.4  $\mu\text{sec}$  후에 10.5 V정도에서 약간의 오버 슈트후에 고정되며 드레인 전류는 약 0.5  $\mu\text{sec}$  후에 15 A에서 더 이상 증가하지 않는 특성을 보여 단락 회로가 발생했을때 전류의 흐름을 제한하는 응답 특성이 매우 빠름을 확인 할 수 있었다.

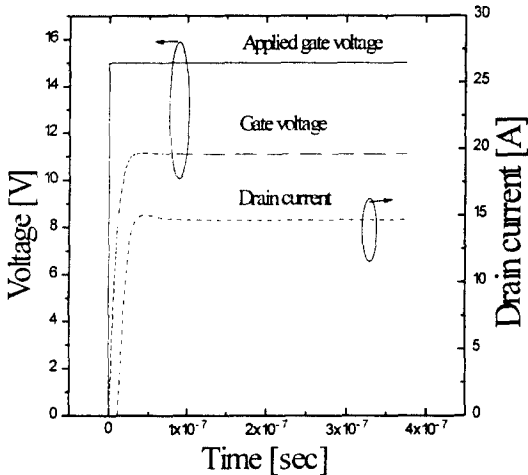


그림 11. 소오스-드레인간의 전압이 100 V이고 게이트 전압을 10 nsec에 15 V로 인가했을때의 게이트 전압및 드레인 전류의 시간 응답 특성

Fig. 11. Time-domain response of the proposed MOSFET when the gate voltage is applied(from 0 V to 15 V during 10 nsec) with the source-drain bias of 100 V.

#### IV. 결 론

베이스 저항을 전류 검지 저항으로 사용한 수평형 바이폴라 트랜지스터를 기존의 DMOS 공정으로 구현한 새로운 과전류 보호 기능을 갖는 전력용 MOSFET를 제안하였다. 제안된 소자의 정특성및 동특성은 혼합 모드 시뮬레이션을 사용하여 검증되었다. 시뮬레이션 결과 제안된 수평형 바이폴라 트랜지스터는 전류 검지 저항에서의 손실을 감소시킨것으로 나타났으며 전류

검지 MOSFET및 바이폴라 트랜지스터가 전체 소자의 면적에서 차지하는 비율이 0.2 % 이하에서도 과전류 보호 기능을 수행함을 입증할 수 있었다. 소자의 단락 회로 상태의 시뮬레이션에서는 0.5  $\mu\text{sec}$  이하에서 전류가 안정됨을 보여 빠른 과전류 보호 기능 응답을 보이는 것을 확인하였다. 따라서 본 논문에서 제안된 바디 저항을 전류 검지 저항으로 사용하는 수평형 바이폴라 트랜지스터가 내장된 전력 MOSFET은 과전류 보호 기능을 갖는 개별 소자에 유용할 것으로 기대된다.

#### 참 고 문 헌

- [1] B.E. Taylor, "Power MOSFET Design", 1993, Wiley, UK.
- [2] B. J. Baliga, "Overview of Smart Power Technology", IEEE, Trans. Electron Devices, Vol.38, NO. 7, 1991.
- [3] P. Antognetti, 1986, "Power Integrated Circuits", 1986, McGraw-Hill, USA.
- [4] R. Frank and P.Aloisi, "Power Devices with Integrated Protection", Proc. 4th European Conference on Power Electronics and Applications, pp.110-113, 1993.
- [5] Y.Seki, Y. Harada, N. Iwamuro and N. Kumagai, "A New IGBT with a Monolithic Over-Current Protection Circuit," Proc. ISPSD'94, pp. 31-35, Davos, Switzerland, 1994.
- [6] Y. Shimizu et al, "A High Performance Intelligent IGBT with Overcurrent Protection," Proc. ISPSD'94, pp.37-41, Davos, Switzerland, 1994.
- [7] TMA MEDICI Reference Manual, 1993.
- [8] C. Hu, "A parametric study of power MOSFETs," in Records of 1979 IEEE Power Electronics Specialists Conf., pp. 385-395, 1979.

## — 저 자 소 개 —



尹鍾晚(正會員)

1967년 4월 16일생. 1989년 2월 서울대학교 전기공학과 졸업.

1991년 동 대학원 졸업(석사).

1991년 ~ 현재, 동 대학원 박사과정. 삼성 전자 마이크로 사

업부 연구원. 주관심 분야 : IG

BT등 전력 반도체, Smart Power IC등

BT등 전력 반도체, Smart Power IC등

韓民九(正會員) 第31卷 A編 第1號 參照

현재 서울대학교 전기공학과 교수

崔然益(正會員) 第31卷 A編 第1號 參照

현재 아주대학교 전자공학과 교수