

論文95-32A-9-4

ATM 교환기에서 제어계간 통신 경로 구성 및 시험

(Structure of Communication Path Between Processors in ATM Switching System and its Test)

金永變*, 韓龍敏*, 金哲圭*, 田萬泳*, 朴弘植*

(Young Sup Kim, Yong Min Han, Chul Kyu Kim, Man-Yeong Jeon, and Hong Shik Park)

요 약

ATM교환기는 분산된 제어기들을 이용하여 각종 장치들의 자원을 관리하고 있으며, 이들 자원을 관리하기 위해 제어계간에 통신이 요구된다. 본 연구소에서 개발된 ATM 교환기에서는 제어계간 별도의 통신경로를 설정하지 않고 가입자 데이터의 교환 경로와 동일하게 ATM 단위 스위치들을 통해 제어계간 통신이 이루어진다. 따라서, 교환기의 설치시 제어계의 각종 프로그램들을 로딩하기 전에, 제어계간 통신 경로의 시험을 통해 제어계의 통신 경로 뿐만 아니라 하드웨어 장치들의 정상 동작 여부를 확인하여야 한다. 본 논문에서는 ATM교환기의 제어계간 통신 경로의 구성을 살펴보고, ATM 교환기의 제어계간 통신 경로 시험방법을 제안한다. 제안된 방법으로 제어계간 통신경로를 시험하고, 이를위해 개발된 시험 프로그램에 대해 기술한다.

Abstract

Inter-processor communication is required to manage resources in ATM switching system where processors are distributed. ATM switching system, which was developed in our institute, doesn't have dedicated communication path for inter-processor communication, but use the ordinary switching network same as user data. Therefore, we should test communication paths and equipments before running various application software programs. In this paper, we propose a method to test communication paths between processors in ATM switching system and describe an implemented program using this method.

I. 서 론

ATM 교환기는 분산제어 시스템으로서 분산된 제어기(MP:Main Processor)에 의해 각종 자원을 관리하고 하드웨어 장치들을 제어하며, MP별로 하나의 서버 시스템을 구성하는 모듈화 구조로 구성되어 있다^[1].

따라서 분산된 MP간의 통신에 의해 시스템이 제어되며 MP간의 통신은 별도의 통신망을 구성하지 않고 ATM 단위스위치를 통해 교환기 내부에서 정한 셀 형태로 메시지를 분리하여 전송하고 셀을 수신하여 메시지로 조립하는 과정을 거쳐 MP간 통신을 수행한다. MP간의 통신을 IPC(Inter Processor Communication)이라 한다.

시스템이 설치되어 운용하기 위해서는 각종 제어프로그램들을 IPC에 의해 분산된 MP에 로딩하여 운용되며, 운용되는 각종 제어 프로그램들은 상호간에 통신

* 正會員, 韓國電子通信研究所, ATM整合研究室

(ATM Access Section, ETRI)

接受日字: 1995年4月29日, 수정완료일: 1995年8月30日

에 의해 시스템을 관리하게된다. 따라서 MP에 각종 제어 프로그램들이 수행되기 전에 IPC 경로를 시험하여 하드웨어 장치들이 정상적으로 IPC를 처리할 수 있는지, 또는 하드웨어 장치들이 하드웨어 형상에 맞게 설치되었는지를 확인하여야 하며, 이를 위해 IPC 경로 시험을 수행하는 프로그램을 개발하였다.

ATM 교환기의 IPC는 사용자 데이터의 교환경로와 동일한 경로를 사용하므로 MP간 가상경로를 구성하여 IPC를 처리한다. ATM 방식에서 연결 경로를 시험하는 방식으로는 셀의 PDU(Payload Data Unit)에 PRBS(Pseudo Random Binary Sequence)와 셀 순차번호를 보내어 수신부에서 셀 손실, 셀의 오류인입 및 데이터 에러를 측정하는 방법이 제안되었다.¹²⁾ 그런데 이방식은 ATM 계층 이하의 가상 경로를 시험하는 방식으로 PRBS의 동기시간이 필요하게된다. 본 논문에서는 MP간의 IPC 경로 시험을 위해 시험 메시지를 생성하고, 시험 메시지의 PDU에 메시지의 순차 번호와 사용자가 쉽게 알 수 있는 데이터를 전송하여 수신부에서 별도의 동기절차를 갖지 않고도 쉽게 오류를 검출하는 방식을 제안하였으며, 제안된 방식에의해 IPC경로의 시험을 수행하였고, MP의 스위치 포트를 바꾸어 가면서 교환 경로를 시험하여 ATM 교환기의 단위 스위치 시험에도 많이 활용되었다.

본 논문에서는 ATM교환기의 제어계 및 IPC 경로의 구성을 살펴보고, IPC 경로 시험 방법에 대해 기술한다.

II. ATM교환기 구조

본 연구소에서 개발한 ATM교환기는 두 종류의 서브시스템으로 구성되어 있다¹¹⁾. 그 중 하나는 ACS(Access Central Subsystem)로 시스템 전체를 제어하고 관리하며 운용자 정합 기능을 제공하여 운용자가 시스템을 운용관리할 수 있도록 하여 준다. ACS는 운용관리 프로세서(OMP: Operation and Maintenance Processor)와 운용자 정합 장치, 데이터 저장장치 및 집중 스위치(CSW: Central Switch)로 구성된다. 다른 하나는 ALS(Access Local Subsystem)로서 가입자 정합장치 및 단위 스위치를 제어하고 관리한다. ALS는 각종 연결의 상태를 관리하고 하드웨어 장치의 상태를 관리하는 가입자 호처리 프로세서(SCP: Subscriber Call Processor)와 가입자

정합장치 및 단위 스위치(ASW : Access Switch)로 구성된다.

OMP는 CSW의 한 포트, SCP는 ASW의 한 포트에 IMI(Inter-module Interface)링크를 통해 연결되어 IPC를 송수신하게 된다. SCP와 SCP간의 IPC 경로는 ASW와 CSW 그리고 다시 ASW를 통하는 3단 구조로 되어 있고, OMP와 SCP간의 통신은 CSW와 ASW를 거치는 2단 구조로 되어 있다.

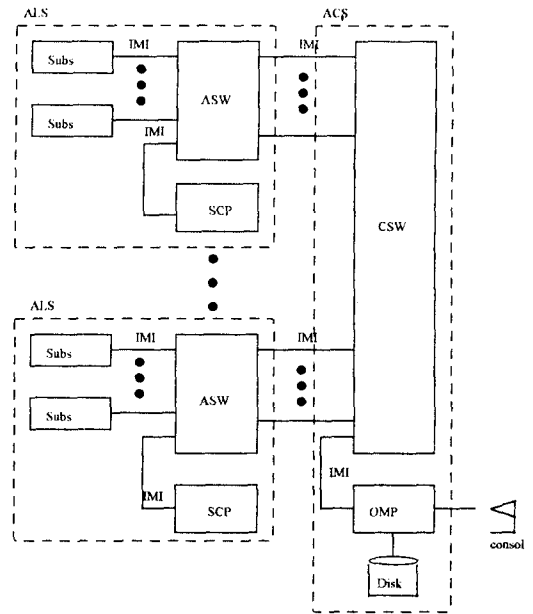


그림 1. ATM 교환기 구조
Fig. 1. Structure of ATM switching system.

IPC에서 사용하는 물리계층은 IMI를 사용하는데 IMI는 동축 케이블에 64옥텟으로 구성된 내부 셀을 프레임 없이 셀 스트림을 전달하는 셀 기반 통신 방식을 사용하며 링크의 통신 속도는 약 187.78Mbps이다. IMI에서 사용하는 셀 구조는 그림2에 나타낸 바와 같이 라우팅 헤더 3옥텟과 페이로드 53옥텟, 코딩 정보 8옥텟을 4개의 블록으로 구분하여 코딩하여 전송한다.

IMI 셀 형태에서 B는 셀 슬롯이 사용중인지 아닌지를 표시하며 M은 멀티 캐스트 셀인지를 표시하는데 IPC에서는 항상 단대단 셀로 한다. CET는 셀의 페이로드를 구분하는 것으로 IPC에서는 IPC를 나타내는 B'11로 하며, ASW_ORG은 발신측 SCP의 ASW 출력 포트를 표시하고 CSW는 CSW의 출력 포트, ASW_DES는 착신측 SCP에서의 ASW 출력포트를

표시한다. 각 블록의 페이로드는 일정한 코딩 원칙에 따라 코딩되며 그 코딩정보를 각 블록의 Block code 에 표시하고, 각 블록의 CRC를 계산하여 CRC를 표시한다.

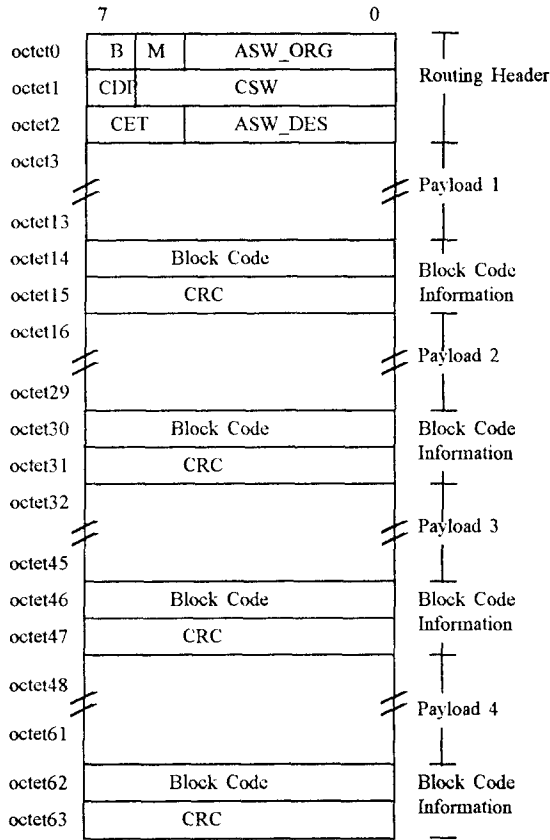


그림 2. IMI 셀 구조
Fig. 2. Structure of IMI cell.

ATM계층에서는 AAL계층에서 수신한 셀을 IMI셀 형태로 변환하여 물리계층으로 전달하고 물리계층에서 수신한 IMI셀에서 라우팅 헤더와 블록코드를 제거하여 AAL 계층으로 전달하는 기능을 수행한다.

AAL 계층은 추후 사용자 신호방식에서 사용하게 될 AAL TYPE5를 사용한다. MP로부터 메시지를 수신 하면 페이로드를 48옥텟 셀로 나누고 셀의 모자라는 부분을 채워넣어 CRC-32를 계산하여 AAL TYPE 5의 trailer를 채우고, ATM 계층으로 부터 셀을 수신 하면 VCI 별로 메시지를 조립하여 CRC-32 검증을 거친 후 MP로 전달하는 기능을 수행한다. AAL 계층 기능의 성능 분석 및 기술적 검토는 참고문헌 [3]에

기술되었다.

IPC를 처리하는 하드웨어는 물리계층과 ATM 계층 처리를 수행하는 PSIA(Processor Switch Interface Assembly), AAL 계층 송신부 기능을 수행하는 IASA(IPC AAL Sender Assembly), AAL 계층 수신부 기능을 수행하는 IARA(IPC AAL Receiver Assembly)로 구성된다. IPC 프로토콜 모델과 하드웨어의 관계를 그림3에 나타내었다.

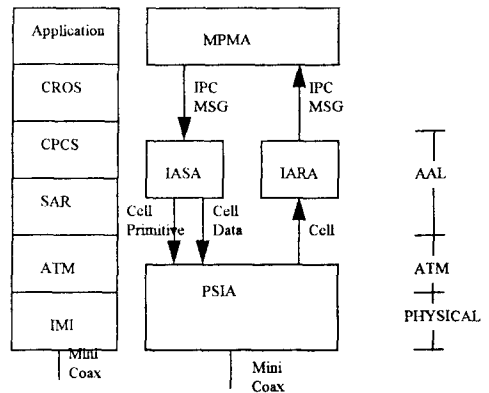


그림 3. IPC 프로토콜 모델
Fig. 3. Protocol model of IPC.

각 계층 기능을 수행하는 PBA(Printed Board Assembly)간의 인터페이스를 살펴보면, IPC를 송신 할때 MP에서는 IASA에 있는 메시지 FIFO에 메시지를 쓰고, 메시지 전송요구를 하면 IASA에서는 메시지 FIFO의 데이터를 읽어 페이로드를 48옥텟 단위의 셀로 분해하여 PSIA로 라우팅 정보 및 셀헤더를 프리미티브 FIFO에 쓰고 48옥텟의 페이로드는 셀 데이터 FIFO에 쏘뒤 PSIA로 셀 전송요구를 한다. MP에서 IASA로 쓰는 메시지 형식은 그림4에, IASA에서 PSIA로 전달하는 프리미티브의 형태는 그림5에 나타내었다.

PSIA에서는 IASA로 부터 셀을 전송하라는 IREQ를 수신하면 IASA로 IDR, IPRD 신호를 주어 셀 프리미티브와 셀 데이터를 읽어 IMI링크로 전송하기 위한 셀을 만들고 직렬 데이터로 변환하여 IMI링크로 셀을 전송한다. 또한 IMI 링크로 부터 데이터가 입력 되면 셀을 추출하여 병렬 데이터로 변환하고 IMI셀의 라우팅 정보와 블록 코딩 정보를 제거한 ATM 셀만을 추출하여 FIFO에 저장하여 수신 셀이 있음을 표시하

는 신호를 주어 IARA에서 수신된 셀을 읽어가도록 한다.

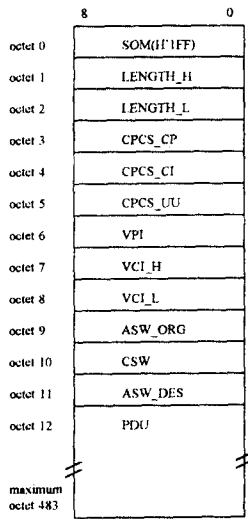


그림 4. MP의 메시지 전송 형식
Fig. 4. Message transfer format of MP.

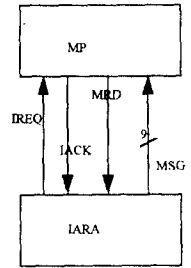
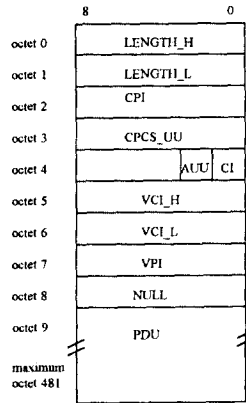
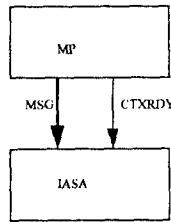


그림 6. MP-IARA 간 인터페이스 및 수신 메시지 형식
Fig. 6. MP-IARA interface and received message format.

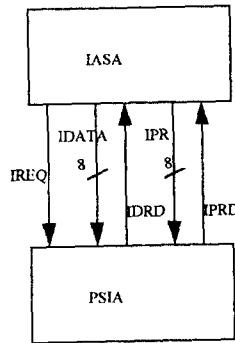
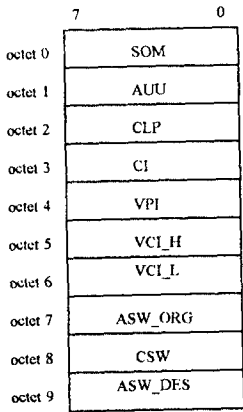


그림 5. 셀 프리미티브 형식과 IASA-PSIA 인터페이스
Fig. 5. Cell primitivr format and LASA-PSIA interface.

IARA에서는 PSIA로 부터 셀을 읽어 메시지의 마지막 셀인지 확인하여 마지막 셀인 경우 해당 VCI를 갖는 메시지를 조립하여 메시지 FIFO에 저장하고 MP로 인터럽트를 발생하여 메시지를 MP에서 읽어가게 한다. 마지막 셀이 아닌 경우에는 VCI별로 셀을 분류하여 저장한다. IARA에서 MP로 전달하는 메시지의 형식 및 IARA와 MP간의 인터페이스를 그림6에 나타내

III. IPC 경로의 시험

하드웨어 설치후 OS 및 응용 소프트웨어들을 MP에서 운용하기 이전에 IPC 경로의 하드웨어들을 시험하기 위해 AAL 계층의 상위계층 기능을 수행하는 모의 시험프로그램을 개발하여 IPC 경로의 시험을 수행하였다. IPC 경로 시험 소프트웨어는 루프백 시험을 위주로 수행되며 필요시 두개의 MP간의 통신을 수행할 수 있도록 개발되었다. 또한 IPC 경로의 성능을 측정하기 위하여 메시지의 길이를 가변하면서 전송하며 메시지의 일련번호와 수신측에서 데이터 오류를 쉽게 검증할 수 있는 데이터로 PDU에 넣어 전송한다.

IPC경로의 루프백 시험은 ATM 계층, 물리계층, 스위치의 입력단 스위치의 출력단 등에서 수행할 수 있으며, 스위치의 입력 포트와 출력 포트를 갈게하여 스위치에서의 루프백 시험도 수행할 수 있다. 각 루프백의 지점은 그림7에 나타내었다. ATM 계층에서의 루프백은 MP에서 루프백 레지스터를 셋팅하면 전송되는 모든 셀을 ATM 계층에서 루프백 시켜 ATM 계층까지의 기능을 확인할 수 있으며, 물리계층에서의 루프백은 하드웨어의 스트랩을 조정하여 IMI 링크로 출력되는 직렬 데이터를 루프백한다. 스위치 입력단에서의 루프백은 IMI 링크의 종단점에서 스트랩을 조정하여 수행하고 스위치의 출력단의 루프백은 스위치의 출력부에 연결된 IMI 링크의 출력을 스트랩을 조정하여 루프

백 시킨다. 각단계의 루프백 시험을 통해 오류가 있는 부분을 찾아내어 수정 보완할 수 있다.

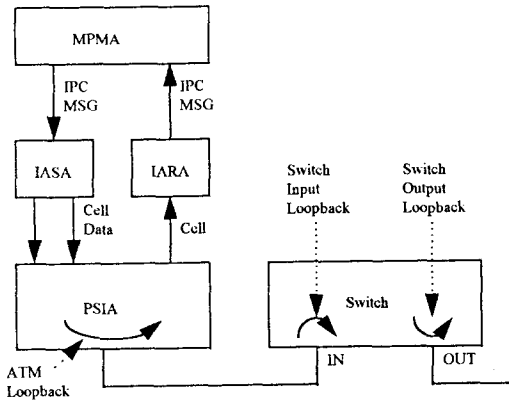


그림 7. IPC 경로의 루프백 지점
Fig. 7. Loopback point of IPC path.

또한, 시험메시지의 PDU에는 앞의 4바이트에 메시지 시퀀스 번호를 넣고 나머지 부분에는 바이트 시퀀스 번호를 넣으며 전송할 때마다 메시지 크기를 한바이트씩 늘려 최대 454바이트 크기의 시험 메시지를 전송하여 수신부에서는 먼저 수신된 메시지의 크기를 검증하여 현재 기다리고 있는 크기의 메시지가 도착하였는지를 검사한다. 크기가 틀리면 일단 메시지 FIFO에서 수신한 크기만큼의 데이터를 읽어내어 버리고, 크기가 맞으면 메시지 시퀀스와 메시지의 PDU를 검증한다. 수신한 메시지 시퀀스가 현재 기다리고 있는 시퀀스보다 크면 메시지 손실로 간주하여 손실 메시지 카운터를 증가 시키고 다음 시퀀스를 수신한 시퀀스에 맞춘다. 한편 수신한 메시지 시퀀스가 기다리고 있는 시퀀스보다 작으면 잘못된 메시지가 입력된 것으로 간주하여 오류입력 카운터를 증가 시키고 기다리는 시퀀스를 조정한다. 메시지 시퀀스를 제외한 나머지 부분은 바이트 시퀀스를 표시하고 있기때문에 쉽게 검증하여 PDU의 데이터에 에러가 있는 것을 발견할 수 있다. 나머지 부분에 에러가 있는 경우 에러 메시지 카운터를 증가시킨다. 시험메시지의 형식과 시험프로그램의 플로우 차트를 그림8과 그림9에 나타내었다.

IV. 시험결과 및 고찰

루프백 시험의 경우 시험 프로그램의 성능은 메시지 간 간격이 약 8.8msec로 측정되었다. 이는 MP에서 연속적으로 메시지를 생성한다하더라도 루프백 된 메

시지를 분석하고 새로운 메시지를 IASA의 메시지 버퍼에 메시지를 쓰는 데 걸리는 시간이다. 셀간 간격은 약 14셀 시간 즉 34.22usec이다. 그리고 메시지의 크기를 계속 1바이트씩 증가시키면서 전송하므로 평균 셀 속도가 초당 약 624.97셀이고 이를 전송속도로 환산하면 약 264.985Kbps가 된다. 시험 프로그램의 셀 생성속도는 그림 10에 나타내었으며, 전송속도를 계산한 표를 표1에 나타내었다.

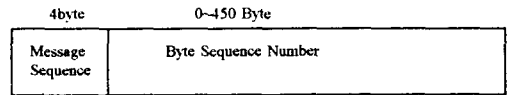


그림 8. 시험 메시지의 PDU 형식
Fig. 8. PDU format of test message.

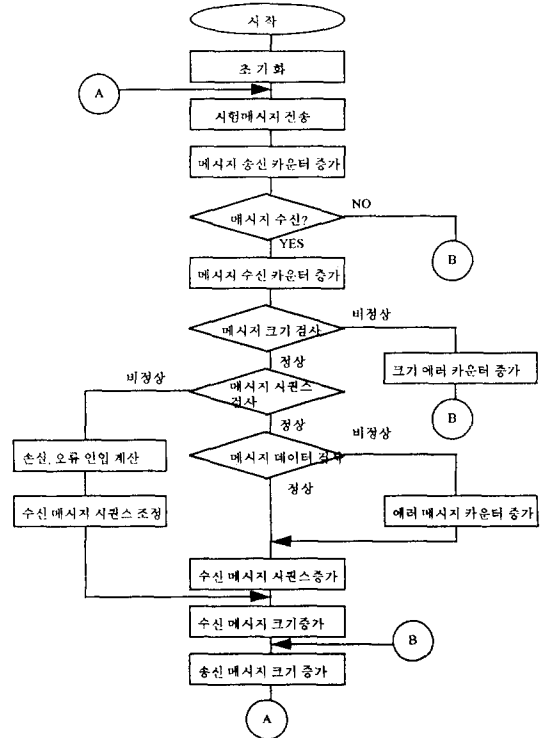


그림 9. 시험 프로그램의 플로우 차트
Fig. 9. Flow chart of test program.

개발된 시험 프로그램은 스위치로 입력되는 입출력 포트를 지정하여 바꿀 수 있기때문에 스위치 구성 형상에 따라 입출력 포트를 변경하면 ATM 단위스위치의 스위치 경로를 시험할 수있다. 시험을 수행하여 출력되는 결과를 유형별로 살펴보면, 먼저 메시지가 전혀

수신되지 않는 경우는 스위치 형상이 맞지 않는 경우이고, 에러 메시지 카운터가 증가하는 경우는 IMI 수신부와 PSIA에서 잡음이 발생하여 데이터에 오류가 생기는 상태이다. 메시지 손실이 발생하는 경우는 데이터에 오류가 발생되어 AAL trailer의 CRC-32가 틀려 IARA에서 메시지를 버리거나, IMI링크에서 블록 CRC에 에러가 발생하여 IMI 링크 인터페이스에서 셀을 버리는 상태이다. 이때는 메시지 크기 에러 카운터가 함께 증가된다. 또한 이러한 시험을 단계별로 수행하여, 즉 ATM 계층 루프백 시험을 수행하고 정상이면 물리층에서 루프백 시험을 수행, 그리고 여기까지 정상이면 스위치의 입력 및 출력에서 루프백 시험을 수행하여 각 단계별로 오류가 발생하는 지점을 찾아 오류를 복구하는데 본 시험 프로그램이 많이 활용되었다.

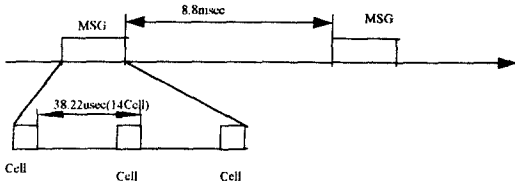


그림 10. 시험프로그램의 셀 생성 속도
Fig. 10. Cell generation speed of test program.

표 1. 시험프로그램 셀 생성속도 계산
Table 1. Cell generation speed of test program.

메시지 길이	셀 수	메시지 시간	셀수/1초	전송속도
4-40Byte	1	2.73E-06	113.63cell	48.179Kbps
41-88Byte	2	40.95E-06	227.26cell	96.358Kbps
89-136Byte	3	79.17E-06	340.89cell	144.537Kbps
137-184Byte	4	117.39E-06	454.52cell	192.716Kbps
185-232Byte	5	155.61E-06	568.15cell	240.895Kbps
233-280Byte	6	193.83E-06	681.78cell	289.075Kbps
281-328Byte	7	232.05E-06	795.41cell	337.254Kbps
329-376Byte	8	270.27E-06	909.04cell	385.433Kbps
377-424Byte	9	308.49E-06	1022.67cell	433.612Kbps
425-454Byte	10	346.71E-06	1136.30cell	481.791Kbps
평균	5.45	174.72E-06	624.97cell	264.985Kbps

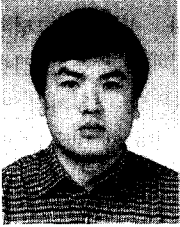
V. 결론

본 논문에서는 ATM교환기의 제어계의 구성과 제어계간 통신 경로의 구성 및 통신경로를 구성하기 위해 개발된 하드웨어 간의 인터페이스 구조등을 고찰하였으며, 제어계간 통신 경로의 시험을 위해 개발된 시험방법과 프로그램에 대해 살펴보았다. 시험프로그램의 성능은 ATM 인터페이스를 시험하기에는 충분한 전송속도를 내지는 못하지만 경로의 시험 및 스위치의 시험에 유용하게 사용하여 ATM 단위 스위치 및 시스템 시험에 많이 활용되었다.

참고 문헌

[1] 김영부, 이성창, 한치문, "완전분산형 ATM 교환기 시스템 구조", JCCI93, 온양, 1993
 [2] H. Matsunaga, H. Uematsu, Y. Kanyama, H. UEDA, "Virtual Path Test Function in ATM Network", 일본 신학기보, CS92-30, 1992.
 [3] M.Y. Jeon, C.K. Kim, Y.B. Yi, H.S. Park, "Implementation of AAL Typr 5 Common Part in ATM Switching System : Design and Performances." ICCT'94, vol. 1, pp. 375-378, Shanghai, 1994.

— 저 자 소 개 —



金永燮(正會員)

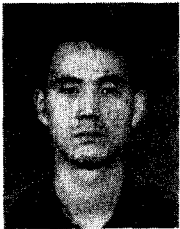
1961년 5월 21일생. 1984년 2월 : 홍익대학교 전자공학과(학사). 1988년 8월 : 홍익대학교 대학원 전자공학과(석사). 1987년 2월 ~ 현재 : 한국전자통신 연구소 ATM정합연구실 선임

연구원



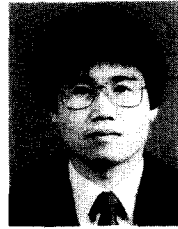
韓龍敏(正會員)

1968년 7월 14일생. 1992년 2월 : 한국항공대학교 항공전자공학과(학사). 1994년 2월 : 한국항공대학교 대학원 전자공학과(석사). 1994년 3월 ~ 현재 : 한국전자통신 연구소 ATM정합연구실 근무



金哲圭(正會員)

1967년 8월 25일생. 1990년 2월 : 광운대학교 전자공학과(공학사). 1992년 2월 : 광운대학교 전자공학과(공학석사). 1992년 2월 ~ 현재 : 한국전자통신 연구소 ATM정합연구실 연구원



田萬泳(正會員)

1987년 2월 : 경북대학교 전자공학과(학사). 1991년 2월 : 경북대학교 대학원 전자공학과(석사). 현재 : 한국전자통신 연구소 ATM정합연구실 선임연구원



朴弘植(正會員)

1953년 8월 16일생. 1977년 2월 서울대학교 공과대학 졸업(학사). 1986년 8월 한국과학기술원 전기 및 전자공학과 졸업(석사). 1995년 2월 한국과학기술원 전기 및 전자공학과 졸업(박사). 1977년 12년~현재 한국전

자통신 연구소 근무 현 ATM정합연구실장.