

論文95-32B-12-11

# MAC 방식 TV 시스템용 IC의 설계 - Ⅲ. 신호 및 클럭 복원기

## (VLSIs for the MAC TV System - Part III. A Data and Clock Recovery Circuit)

文 龍 \*, 鄭 德 均 \*

(Yong Moon and Deog-Kyoon Jeong)

### 요 약

유럽의 위성 방송용 TV 방식인 MAC (Multiplexed Analog Component) 형식의 신호로부터 시스템의 클럭을 복원하여 디지털 음성 데이터를 추출하고, 디지털 음성 신호의 진폭을 기준으로 하여 아날로그 영상 신호의 출력을 클램핑하며 또한 영상 입력 신호의 진폭 변동 시에도 출력 크기를 일정하게 유지할 수 있는 자동 이득조절 기능을 제공하는 집적회로를 설계하였다. 음성 신호 복원을 위한 timing 복원은 PLL (Phase Locked Loop)를 사용하였으며, 영상 신호의 출력 레벨 유지를 위해서 four-quadrant 승산기를 이용한 새로운 구조의 자동이득조절 회로를 사용하여 성능을 향상시켰다. 전체 회로는 1.5 $\mu$ m BiCMOS 공정을 기준으로 설계하였으며 완전주문설계 (Full Custom Design)방식을 이용하였다. Layout으로부터 회로 추출후 외부 소자를 포함한 상태에서의 동작까지의 검증을 완료하였다.

### Abstract

A data and clock recovery integrated circuit for MAC (Multiplexed Analog Component) TV standard is described. The chip performs the recovery of a system clock from a digitally encoded voice signal, clamping of a video signal for DC-level restoration, and precise gain control of a video signal in the presence of a large amplitude variation. A PLL (Phase Locked Loop) is used for timing recovery and a new gain control circuit is proposed which enhances its accuracy and dynamic range by employing two identical four-quadrant analog multipliers. The chip is designed in full custom with 1.5 $\mu$ m BiCMOS technology, and layout verification is completed by post-simulation with the extracted circuit.

### I. 서 론

유럽의 TV방송을 위해서 만든 C/D/D2 MAC (Multiplexed Analog Component) 방식에서 신호의 복호화에 기본적으로 사용되는 데이터와 클럭의 복구는 전체 시스템의 동작을 보장하기 위해서 매우 중요한 부분이다. 이와 같은 신호처리를 담당하는 회로가

본 논문에서 설계된 클럭 IC이며 시분할된 MAC 신호가 입력이다. 이 신호는 앞 부분에 디지털 음성 정보가 있으며, 그 뒤에는 아날로그 영상정보가 들어 있다. 디지털 음성 정보는 D-MAC 또는 D2-MAC 여부에 따라 10.125MHz와 20.25MHz의 속도로 전송되고 IC에서는 이를 기준으로 해서 내부의 발진기의 발진주파수를 입력신호의 전송속도와 동기시켜 전체 시스템에서 사용하는 클럭을 만들어 주게 된다. 또한 음성 신호와 영상 신호 사이에 색차신호의 기준 레벨에 해당하는 클램프 기간이 존재하는데 이 기간 동안 클램핑을 하는 회로와 영상 신호가 항상 1V 정도의 진폭을 가지도록 비디오 앰프의 이득을 자동으로 조절하는 회로가

\* 正會員, 서울大學校 電子工學科 및 半導體共同研究所  
(Department of electronics Engineering and ISRC Seoul National University)

接受日字: 1994年5月7日, 수정완료일: 1995年12月4日

필요하다. 상기 목적을 위해 PLL을 사용하여 디지털 음성 신호의 전송속도를 기준으로 내부의 발진주파수를 조절하여 시스템 클럭을 만들어 주며, AC coupling된 신호를 클램핑하여 올바른 DC 레벨을 환원시켜 주며 영상신호 입력의 진폭이 변하더라도 출력을 항상 일정하게 유지시켜 주는 자동이득조절 기능을 갖는 집적회로를 설계하고 검증하였다.

## II. PLL을 사용한 클럭 및 신호 복원기

### 1. MAC 신호 및 전체 회로 구성

MAC 신호는 데이터, 색차, 휘도 신호가 시분할 다중화되어 전송된다<sup>[1]</sup>. 데이터는 duo-binary 형태로 부호화 되고 동기신호, 몇 개의 디지털 음성신호나 텔레텍스트 등을 포함한다. 음성신호와 영상신호 사이에는 15 클럭 사이클 (clock cycle)의 클램프 기간이 존재한다. 이 신호가 클럭 IC의 입력으로 들어가게 되며 하나의 line 신호를 그림 1에 나타내었다<sup>[2] [3]</sup>. Line 신호는 주기가 64 $\mu$ s이며 앞부분에 음성 디지털 정보와 뒷부분에 색차 및 휘도 신호가 시분할되어 전송된다.

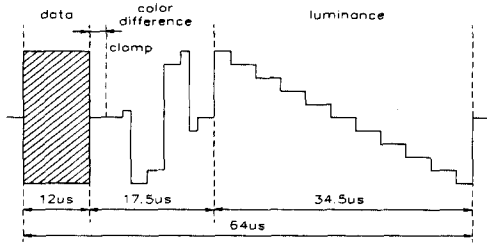


그림 1. D/D2-MAC에서 라인 신호  
Fig. 1. One line of frame in D/D2-MAC TV system.

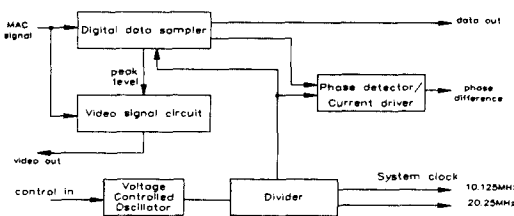


그림 2. 클럭 IC의 전체 구성도  
Fig. 2. Block diagram of the clock IC.

그림 2는 상기 신호를 입력으로 받아 처리하는 클럭 IC의 전체 구성도로써 이는 음성 디지털 데이터 처리기, 비디오 신호 처리기, 전압 제어 발진기, 위상 검출기/전류 구동기 및 분주기 등으로 구성되어 있다.

### 2. 클럭 및 데이터 복원기

음성 디지털 데이터는 duo-binary(0은 low,  $\pm 1$ 은 high)형태이며 binary로의 변환은 신호의 최소, 최대 값으로부터 이 값의 25% 이하나 75% 이상이 되는 경우에는 1로, 그리고 두 값 사이인 경우는 0으로 바꾸어 준다. 이 회로를 그림 3에 나타내었다. 데이터 입력 (data in)의 low 레벨은  $V_{floor}$ 로서 2.2V에 항상 고정되도록 DC-level이 조정되어 있고 최대치 검출기에 의해 최대값이 검출되어 capacitor(C1)에 저장되고 이 값을 버퍼를 통한( $V_{peak}$ ) 후 저항을 이용해 25%, 75%의 값( $V_{25}$ ,  $V_{75}$ )을 만들어 준다.  $V_{25}$ ,  $V_{75}$ 는 차동 증폭기(differential amplifier)로 들어가고 duo-binary 데이터와 전압을 비교하여 binary로 변환된 신호를 내보낸다.

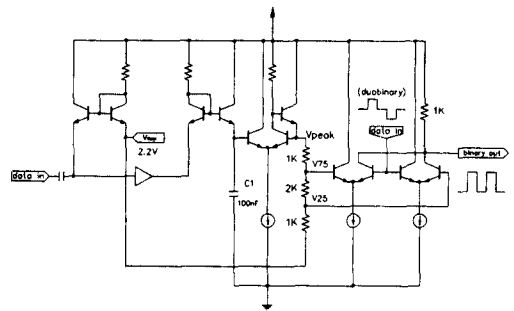


그림 3. Duo-binary 신호 변환기  
Fig. 3. Duo-binary data slicer.

여기서 데이터의 최대값( $V_{peak}$ )은 비디오 신호용 자동이득조절 회로에서 기준으로 사용한다.

### 3. PLL 부궤환 루프

디지털 음성 신호를 기준으로 내부 클럭을 동기시키기 위해서는 내부 발진회로의 발진 주파수를 조절해주어야 한다. 그림 4에서 보듯이 클럭 IC에서는 데이터로부터 만들어진 클럭(REGEN)과 이와 90도의 위상차를 가진 클럭(quadrature clock)을 비교해서 DC 평균을 취한 뒤 OP 앰프로 구성된 루프 필터를 거친 후 varactor에 연결된다. Varactor 양단의 전압에 의해 정전 용량이 조절되고 발진 주파수를 변화시키게

되어 궁극적으로 입력 데이터의 천이에 동기된 시스템 클럭이 얻어진다<sup>[4]</sup>.

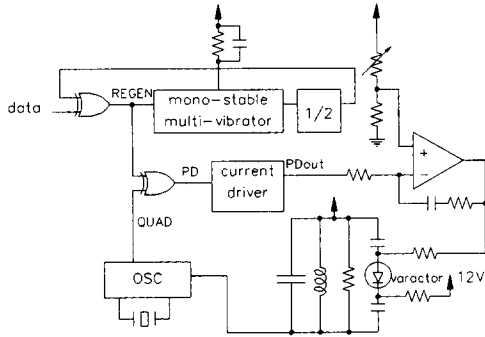


그림 4. PLL 부궤환 루프의 구성  
Fig. 4. Block diagram of the PLL feedback loop.

그림 5는 mono-stable multi-vibrator와 flip-flop으로 입력 데이터 2배 주파수의 클럭을 만들고 위상차를 검출하는 과정을 보여주고 있으며, 이 때 regenerated 클럭의 폭인 T는 외부에 연결된 R, C 값에 의해서 결정된다. Regenerated 클럭과 VCXO(전압 제어 발진기)로부터 발생한 클럭(QUAD)을 XOR한 결과는 필터를 통하여 DC 평균값을 갖는다. 이 경우 입력 신호와 내부의 발진 주파수가 동일하고 위상이 일치하는 즉, lock이 되는 경우에는 XOR의 출력(PD)에 0과 1이 동일한 기간동안 발생하며 DC 평균은 0과 1의 해당 전압의 중간이 되지만, 만일 lock이 되지 않았을 경우에는 DC 평균은 위상차에 비례하는 값을 가지게 되고 이는 OP 앰프에서 필터링된 후 증폭되어 varactor 양단의 전압을 바꾸게 되어 정상상태에서 주파수 및 위상을 일치시키게 된다.

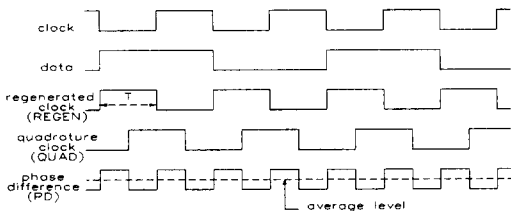


그림 5. 클럭 복원과정의 파형  
Fig. 5. Waveform of the clock recovery process.

그림 6은 전류 구동기(current driver)의 회로를

나타내고 있으며 XOR의 출력은 capacitor C2를 통해서 DC 평균을 취한 후에 level shift를 하고 앰프를 통한 후 외부 OP 앰프의 입력 PDout으로 내보낸다. 내부 앰프는 PMOS를 사용하였고 기준 전압 입력쪽으로 0과 1사이의 중간 레벨이 인가되도록 하기 위하여 XOR 출력이 연결된 차동증폭기의 전류원과 기준 전압 입력단의 전류원의 크기는 2배 차이가 나도록 하였다. 즉,

$$\text{차동증폭기 전류원}(2I_{s1}) = 2 \times \text{기준전압전류원}(I_{s1})$$

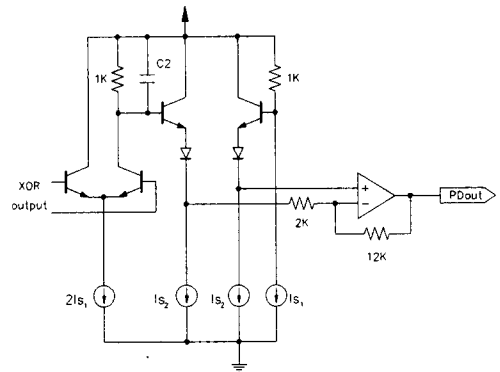


그림 6. 전류 구동기  
Fig. 6. Schematic of the current driver.

### III. 비디오 신호 증폭기의 설계

#### 1. 자동이득조정 회로

영상신호의 색이나 휘도는 신호의 레벨에 의해서 결정되며 신호의 진폭 변화는 바로 영상화질 저하로 연결되므로 이에 대한 처리는 무척 중요하다. 따라서, 영상 신호의 진폭이 변하더라도 이를 보정해 줄 수 있는 증폭기가 필요하다<sup>[5][6]</sup>. 일반적으로 사용되는 간단한 방법은 일정한 기준전압으로부터 입력 전압의 최대치를 뺀 값을 승산기에 곱해줌으로써 출력을 보정하는 방법을 사용한다. 즉, 원하는 출력 전압 진폭이 1V인 경우, 기준 전압을 2V로 할 때 30%의 진폭 오차(3 dB)가 생겨서 입력 신호의 진폭이 0.7V인 경우 출력은 입력신호의 진폭이 1V인 경우에 비하여

$$\frac{V_{out}(V_M=0.7V)}{V_{out}(V_m=1.0V)} = \frac{0.7(2-0.7)}{1.0(2-1.0)} = 0.91$$

가 되어 약 9%의 오차가 발생한다. 정확한 이득 조절은 승산기의 입력에 입력 신호의 진폭에 정확히 역수가 되는 값을 인가함으로써 이루어진다. 그림 7은

본 논문에서 새로설계한 회로 구성도로서 2개의 승산기를 사용하며, 1단 승산기(multiplier)에서 출력을 입력쪽으로 부채환시켜 출력의 차이가 항상 0에 수렴하도록 회로가 동작한다.

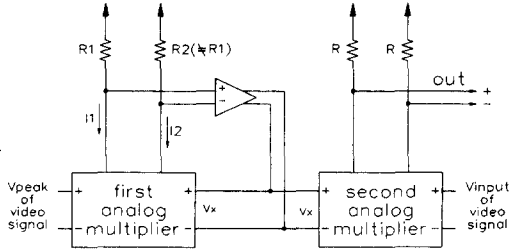


그림 7. 자동이득조절 회로의 구성도  
Fig. 7. Block diagram of the automatic gain control circuit.

이 때 첫번째 승산기 출력측에 연결된 저항은 보통의 승산기와는 달리 저항값이 서로 다르게 설계되어 있으며 OP 앰프로 구성된 부채환을 통하여 저항 양단의 전압이 동일하게 유지되므로 R1과 R2의 전류차는 일정하게 된다. 제 2 단 승산기에서는 출력측의 저항이 동일하므로 전류의 차이는 바로 전압차로 연결되어 나타난다. 즉,

$$V_x \cdot V_{peak} = x_1(I_2 - I_1) = \frac{x_1 \Delta V}{R_1} - \frac{x_1 \Delta V}{R_2} \quad (1)$$

$$\begin{aligned} V_{out} &= R(I_1 - I_2) = x_2 R (V_x \cdot V_{input}) \\ &= x_1 x_2 \Delta V \cdot R \frac{(\frac{1}{R_2} - \frac{1}{R_1})}{V_{peak}} V_{input} \\ &= x_1 x_2 \Delta V \cdot R (\frac{1}{R_2} - \frac{1}{R_1}) \frac{V_{input}}{V_{peak}} \\ &= const \cdot \frac{V_{input}}{V_{peak}} \end{aligned} \quad (2)$$

그러므로,  $V_{out}$  은  $V_{input} / V_{peak}$  에 비례하는 값이 나타나고 따라서 입력 진폭에 관계없이 정밀 동작을 하게된다. 그림 8은 설계한 회로도이며 입력 신호의 선형성을 위해서 저항을 에미터 아래에 넣었다<sup>[7]</sup>.  $V_{floor}$  에는 2.2V가 입력되고 data in의 low 레벨이 된다.  $V_{peak}$ 에는 입력 신호 진폭의 최대치가 들어간다. Data in에는 2.2V를 기준으로 변화하는 영상신호가 들어간다. 부채환 경로에 있는 capacitor는 회로의 발진을 방지하며 이득조절이 된 출력은 out을 통해서 differential 형태로 나타나게 된다.

승산기 1과 2에서 에미터와 연결된 저항이 2배만큼

다른 이유는 위의 회로에서 나타낸바와 같이 승산기 1에서는 single-ended 입력이 들어가고 승산기 2에서는 differential 입력이 들어가기 때문이다. 그림 9는 입력신호의 진폭이 0.1V에서 1.6V까지 변할 경우에 출력신호 자동이득조절의 모의실험 결과이며, 넓은 입력 신호 영역에서 출력을 매우 정확하게 유지시켜 줌을 보여준다. 여기서 이득조절에 사용하는 최대치 입력 신호는 디지털 음성 신호의 최대치인  $V_{peak}$ 를 인가하게 되며, 이는 한 line내에서는 신호가 크게 변하지 않으므로 유효한 가정이 된다.

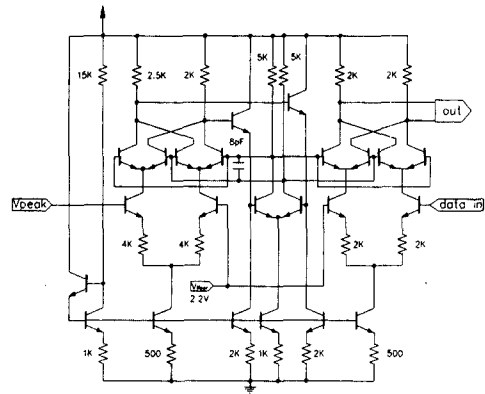


그림 8. 자동이득조절 회로도  
Fig. 8. Schematic of the automatic gain control circuit.

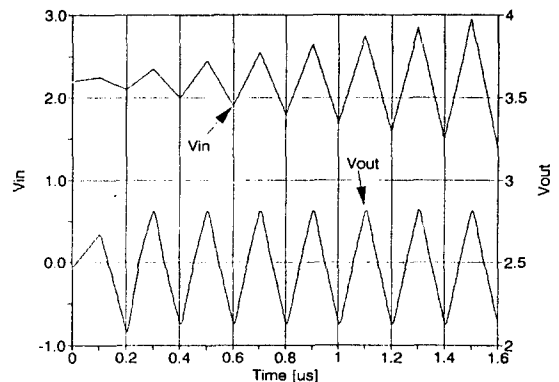


그림 9. 자동이득조절 회로의 모의실험  
Fig. 9. Simulation of the automatic gain control circuit.

입력 신호의 크기가 1V인 경우를 기준으로 기존의 회로와 본 논문에서 제시한 회로를 표1에 비교하였다. 최대 오차는 입력이 0.3V-1.6V인 경우 1.66%이며

0.2V에서 15.3%, 0.1V인 경우 40.9%이다. 면적은 기존 회로보다 약간 증가하나 소비 전력은 비슷하다.

표 1. 자동이득조정 회로의 출력변화  
Table.1. Output of the automatic gain control circuit

입력 전압	기존 회로의 출력 전압	제안하는 회로의 출력 전압
0.2	0.36	1.15
0.7	0.91	1.02
1	1	1
1.3	0.91	1.01
1.6	0.64	1.01

2. 클램프 및 최대치 검출기

MAC 신호는 내부에서는 DC 성분이 제거된 상태로 처리를 하지만 영상 신호를 내보낼 경우에는 DC 바이어스가 가해져서 회색 레벨(gray level)이 되며 이 전압을 중심으로 변화하는 신호를 만들어야한다. 이 역할을 해주는 것이 클램프 회로이며, 이를 그림 10에 나타내었다. 클램프 회로를 동작시키기 위해서 CLAMP 라는 신호가 ON 되는 동안에는 비디오 입력에는 회색 레벨 신호만이 입력되고, 이때 출력 신호 레벨이  $V_{clamp}(2.5V)$ 에 맞추어져야 한다. MOS(NM2-NM7)들은 current mirror<sup>[8]</sup> 형태로 연결되고 NM2의 게이트에는 2.5V의 전압이 가해진다. Current mirror이므로 path 1과 path 2는 같은 크기의 전류를 흘리려고 하기 때문에 NM3의 게이트가 2.5V가 되도록 클램핑이 된다. 회로 왼쪽의 PMOS로 구성된 current mirror는 자동이득조정 회로 상승기의 베이스로 들어가는 전류 ( $I_{BQ}$ )를 보상해주기 위해서 설계한 것이다.

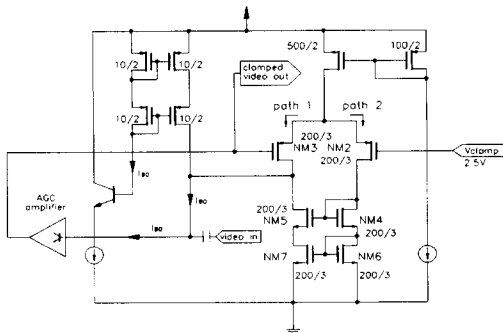


그림 10. 클램프 회로  
Fig. 10. Schematic of the clamp circuit.

IV. 발진기 및 버퍼의 설계

상기의 회로 이외에도 기준전압 설정을 위한 bandgap reference, 발진회로, BiCMOS 버퍼회로 등을 사용하였다. BiCMOS 버퍼 회로는 ECL differential 입력을 받아서 이를 CMOS로 변환하는 회로를 사용하였다<sup>[11]</sup>. Bandgap reference는<sup>[10]</sup> 일반적으로 알려진 회로를 사용하였으며 2.2V의 기준전압을 발생시키며 그림 11에 나타내었다.

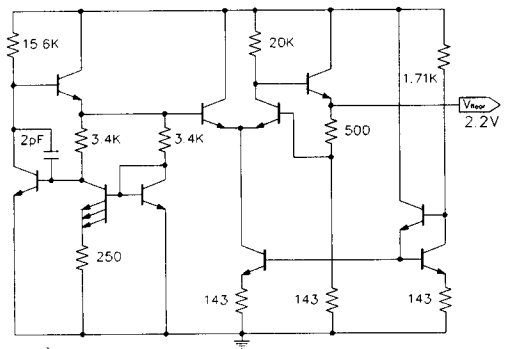


그림 11. Bandgap reference 회로  
Fig. 11. Schematic of the bandgap reference circuit.

발진기는 잡음문제를 최소화 하기위해서 독립된 ground 단자를 가지고 있으며 외부에 수정 발진자를 연결하여 발진을 하도록 설계하였다<sup>[11][12]</sup>. PLL을 위한 주파수 조절은 varactor가 연결된 tank 회로의 공진주파수를 조절하여 결정한다. (그림 4 참조)

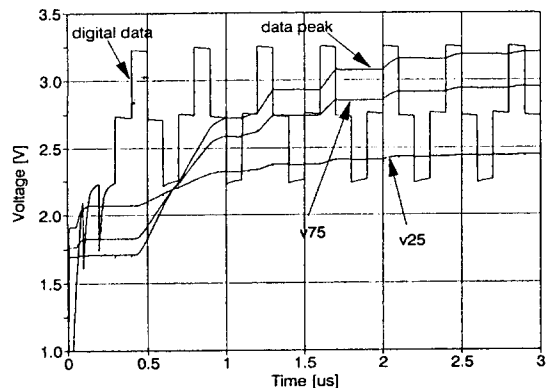


그림 12. 클램핑과 최대치 검출의 모의실험 결과  
Fig. 12. Simulation of clamp and peak detection.

V. 회로 실현 및 검증

Duo-binary data 형태로 들어오는 신호가 클램핑 동작을 하고 또한 최대치 검출이 되어서 25%, 75%의 신호를 내보내는 동작을 그림 12에서 나타내었다. Data peak는 digital data의 최대값에 따라 증가하며, 이에 따라 V25, V75의 값도 결정된다.

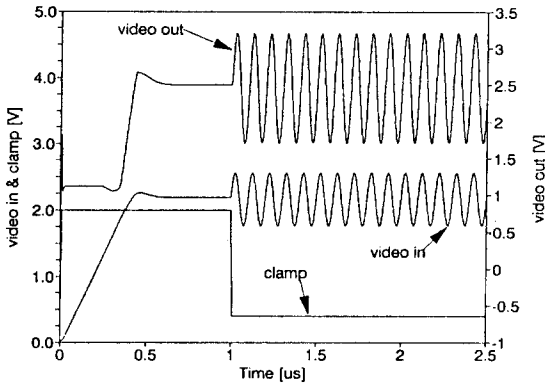


그림 13. 비디오 신호의 클램핑과 자동이득조절의 모의실험  
Fig. 13. Simulation of video signal clamp and AGC.

그림 13은 비디오 신호가 자동이득조절 회로와 클램프 회로를 통해서 처리되는 것을 보인 것이다. Clamp 신호가 high(2V)인 동안 video out은 출력 레벨 2.5V로 클램핑이 되며 또한 입력신호의 크기에 따라서 이득이 조절되어 출력진폭이 0.8V가 됨을 보여준다.

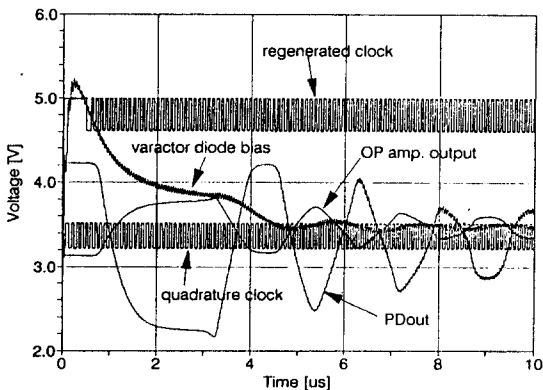


그림 14. PLL 회로 동작의 모의실험  
Fig. 14. Simulation of PLL locking.

그림 14는 Phase locked loop에 의해서 lock이 되

는 과정을 보인 것이다.

위의 그림을 보면 lock이 되면서 PD 출력의 평균값이 수렴하는 것을 알 수 있으며, 최종 상태에서 lock이 이루어졌을 때 varactor의 전압을 약 3.4V이다.

그림 15는 상기 회로를 1.5um BiCMOS를 이용하여 완전주문설계 (full custom design)한 것이다. BiCMOS 공정을 사용함으로써 bipolar 공정에서 lateral 구조로 성능이 좋지 않은 PNP 트랜지스터를 PMOS로 대체하였다. 또한, CMOS 공정으로의 변환도 bipolar 공정을 사용한 경우보다 유리하다.

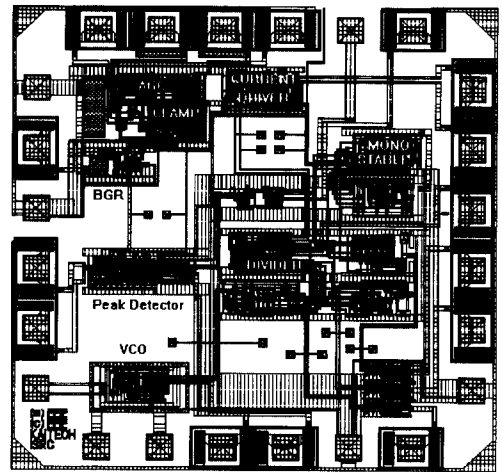


그림 15. Clock IC의 layout  
Fig. 15. Layout of clock IC.

여기서 디지털 부분에 의한 아날로그 부분으로의 잡음영향을 줄이기 위해 각각 독립된 전원 단자를 사용하였고 회로상에서도 거리를 두고 배치하였다. 전체 칩은 24 핀으로 설계되었고 die의 크기는 2 mm x 2 mm이다. 상기의 모의 실험의 결과는 설계한 layout으로부터 추출하여 실험한 것이며 CADENCE사의 tool을 이용하여 SPICE 화일과 layout사이의 비교가 완료되었다.

VI. 결 론

MAC TV 시스템에서 시스템의 클럭을 동기시켜주며 음성신호를 복원해주는 PLL 회로와 영상신호 처리를 위해서 자동이득조절 회로와 클램프 회로를 설계하였다. PLL은 varactor를 사용한 VCXO를 구동하도록 설계하였고, 자동이득조절 회로는 2개의 승산기를

사용하여 입력 신호 진폭이 3 dB 이내에서 변할 경우 출력 변화를 0.8%미만, 6 dB 이내에서 변할 경우 0.9%미만, 8 dB 이내에서 변할 경우 1.1%미만으로 유지하는 높은 정밀도와 넓은 dynamic 영역을 가지고 있다. 그외에 발진기, bandgap reference 회로, BiCMOS 버퍼 등을 설계하여 칩안에 집적시켰으며 비디오, control chip 등과 함께 chip set를 구성하여 유럽 TV 방식 시스템 구성에 사용이 가능하도록 설계하였다. 설계된 IC의 특성은 다음과 같다.

표 2. 클럭 IC의 특성

Table 2. Characteristics of the clock IC.

Power dissipation	475mW
Supply	5V
Gain control range	$\geq 8$ dB, $\leq 1.1\%$
Video amplifier bandwidth	$\geq 12$ MHz
Die size	2 mm $\times$ 2 mm
Process technology	1.5 $\mu$ m BiCMOS

## 참 고 문 헌

- [1] *Specification of the systems of the MAC/packet family - second edition*, European Broadcasting Union, Tech. 3258 - E, Oct. 1991.
- [2] Ir. Hans Menting, "D-AND D2-MAC FOR THE CONSUMER", *IEEE Trans. Consumer Electronics*, vol. 36, no. 3, pp. 339-343, Aug. 1990.
- [3] Paul N. Gardiner, "THE UK D-MAC/PACKET STANDARD FOR DBS", *IEEE Trans. Consumer Electronics*, vol. 34, no. 1, pp. 128-136, Feb. 1988.
- [4] Mehmet Soyuer and Robert G. Meyer, "High-Frequency Phase-Locked Loops in Monolithic Bipolar Technology", *IEEE J. Solid-State Circuits*, vol. 24, no. 3, pp. 787-795, Jun. 1989.
- [5] Robert G. Meyer and William D. Mack, "A DC to 1-GHz Differential Monolithic Variable-Gain Amplifier", *IEEE J. Solid-State Circuits*, vol. 26, no. 11, pp. 1673-1679, Nov. 1991.
- [6] Robert G. Meyer, Rober A. Blauschild, Daniel J. Linebarger, Jeffrey Scotten and Lajos Burgyan, "A Wide-Band Class-B Video Output Driver", *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1529-1538, Dec. 1989.
- [7] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Wiley, New York, pp. 590-605, 1984.
- [8] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, New York, p.227, 1987.
- [9] R. A. Kertis et al. , "A 12ns 256K Bi-CMOS SRAM", in ISSCC Dig. Tech. Papers, vol. XXXI, pp. 186-187, Feb. 1988.
- [10] A. Paul Brokaw, "A Simple Three-Terminal IC Bandgap Reference", *IEEE J. Solid-State Circuits*, vol. SC-9, no. 6, pp. 388-393, Dec. 1974.
- [11] Eric A. Vittoz, Marc G. R. Degrauwe and Serge Bitz, "High-Performance Crystal Oscillator Circuits: Theory and Application", *IEEE J. Solid-State Circuits*, vol. 23, no. 3, pp. 774-783, Jun. 1988.
- [12] Ting-Ping Liu and Robert G. Meyer, "A 250-MHz Monolithic Voltage-Controlled Oscillator with Low Temperature Coefficient", *IEEE J. Solid-State Circuits*, vol. 25, no. 2, pp. 555-561, Apr. 1990.

— 저 자 소 개 —



文 龍(正會員)

1990년 서울대학교 전자공학과(학사). 1992년 서울대학교 전자공학과(석사). 현재 서울대학교 전자공학과 박사과정. 관심분야는 마이크로프로세서 구조, 부동 소수점 연산 처리기, 저전

력 VLSI 회로 설계



政 德 均(正會員)

1981년 서울대학교 전자공학과(학사). 1984년 서울대학교 전자공학과(석사). 1989년 U.C. Berkeley(공학박사). 1989 ~ 1991년 미국 Texas Instruments 연구원. 현재 서울대학교 전기공학부 반도체

공동연구소 부교수. 관심분야는 마이크로프로세서 구조, VLSI 시스템 설계, 초고속 회로 설계 및 메모리 시스템