

論文 95-32B-10-8

VSB 등화시스템의 하드웨어 구현방법에 관한 연구

(A Study on Hardware Implementation of a VSB Equalization System)

蔡承秀*, 朴來弘**

(Seung Soo Chae and Rae-Hong Park)

요약

본 논문에서는 HDTV용 VSB 등화시스템의 하드웨어 구현방법을 연구한다. 적응등화 알고리즘의 변형을 통하여 적은 비용의 하드웨어 구현이 용이하며, 부동소숫점 연산 결과에 가까운 성능을 보이도록 하는 하드웨어 구조를 제안하고, 또한 하드웨어 비용을 줄이기 위해 pipeline 개념을 적용한다. 컴퓨터 시뮬레이션과 VHDL을 이용한 회로의 최적화를 통해 제안된 하드웨어 구조의 효율성을 보인다.

Abstract

In this paper, we describe hardware implementation of VSB (Vestigial SideBand) modulation equalization systems for HDTV (High Definition TeleVision). By modifying an adaptive equalization algorithm, we propose a hardware architecture with a low hardware cost and the performance close to floating-point operations. We also employ the pipeline concept to reduce the hardware cost. The effectiveness of the proposed hardware architecture is demonstrated through computer simulation and the optimization result of VHDL circuit descriptions.

I. 서론

보다 질 좋은 영상서비스를 위하여 개발되고 있는 HDTV (High Definition TeleVision)^[1]는 크게 아날로그와 디지털 방식으로 나눌 수 있다. 유럽과 일본 등에서 연구되고 있는 아날로그 방식은 연구가 많이 진척되어 시험방송을 하는 단계에 와 있고, 상대적으로 늦게 시작된 디지털 방식은 미국을 중심으로 현재 활발한 연구가 진행되고 있다.

디지털 방식은 신호의 왜곡이 디지털 신호를 잘못 판정하지 않을 정도로 작다면 화질을 완벽하게 복원할 수 있는 장점이 있으나, 왜곡이 디지털 신호의 잘못된 판정을 일으키면 화질에 심각한 영향을 줄 수 있다는

단점을 가지고 있다. 그러므로, 디지털 HDTV 시스템에는 이러한 왜곡을 보상하는 등화기가 필요한데, 등화기는 시간에 따른 채널의 특성변화를 그때 그때 보상하는 역할을 한다^[2,3]. 등화기는 실시간 처리와 저가 보급을 위해 대량생산이 가능한 전용 처리기로 제작되는 것이 좋다. 이러한 제품은 성능, 신뢰도, 전력, 시스템 크기, 가격 등의 경쟁력의 향상을 위해 ASIC (Application Specific Integrated Circuits)을 이용하여 수백 게이트에서 수십만 게이트의 크기로 설계, 제작되고 있다^[4,5].

완전 디지털 HDTV를 위한 변조방식으로는 주로 16/32 QAM (Quadrature Amplitude Modulation) 또는 8/16-VSB (Vestigial SideBand) 변조 방식이 제안되었다^[6]. 이는 부호화후 생기는 많은 데이터들을 기존의 NTSC 전송채널인 6MHz 대역을 통해 전송하려면 multi-level 변조방식의 사용이 불가피하

* 準會員, ** 正會員, 西江大學校 電子工學科

(Dept. of Electronic Eng., Sogang Univ.)

接受日字: 1995年1月17日, 수정완료일: 1995年10月2日

기 때문이다.

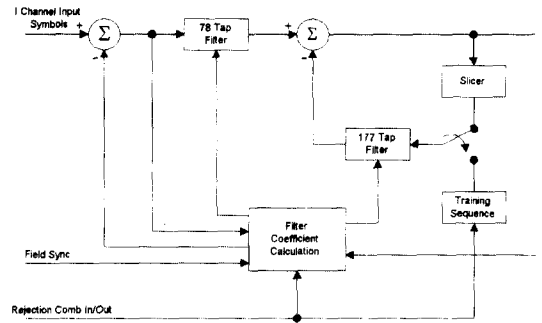
QAM 방식은 전송 효율이 매우 뛰어난 방식의 하나로 미국에서 제안되었던 다수의 방식에서 채택했던 전송방식이다. 이 방식은 신호가 2차원으로 표현되므로 신호간 거리가 상대적으로 멀어 전송효율을 높일 수 있는 장점이 있으나, 신호 자체가 복소수로 표현되므로 하드웨어 비용이 상대적으로 증가하는 단점이 있다. 반면, VSB 방식은 여러가지 제안으로부터 표준안을 만들기 위한 노력의 일환으로 미국의 ACATS (Advisory Committee on Advanced Television Services) 전문가 모임에서 발표한 GA (Grand Alliance) HDTV 시스템^[7]의 변조방식으로, QAM 방식 등과는 달리, 신호가 일차원 constellation을 가지므로 데이터를 처리하기 위한 하드웨어는 간단하나 신호간 거리가 작아 심볼오율이 커지고 상대적으로 변복조 시스템이 복잡한 단점이 있다. 그러나 어떠한 전송 방식을 사용하더라도, HDTV 등화시스템은 필터의 탭 수가 많아 이를 하드웨어로 구현하는 데는 비용면에서 매우 큰 부담이 따른다. 그러므로, 이 시스템을 구현하려면 알고리즘이나 구조의 변형을 통하여 하드웨어 비용을 줄이기 위한 노력이 필요하다.

본 논문은 구성은 다음과 같다. 먼저 II장에서 HDTV용으로 사용될 수 있는 VSB 등화시스템의 전반적 사양과 설계된 하드웨어 구조를 알아보고, III장에서는 적은 하드웨어와 계산지연으로 부동소수점 연산에 가까운 성능을 보이도록 하는 정규화 오차를 이용한 계수갱신 알고리즘을 이용하여 하드웨어로 매핑하는 과정을 설명하고, 설계된 등화기 하드웨어의 성능실험 결과를 IV장에 보인다. V장에서 pipeline 개념을 이용하여 하드웨어 비용을 줄이는 구조를 보이고, VI장에서 이를 합성하고 최적화한 결과를 보인 다음, 마지막으로 VII장에서 결론을 맺는다.

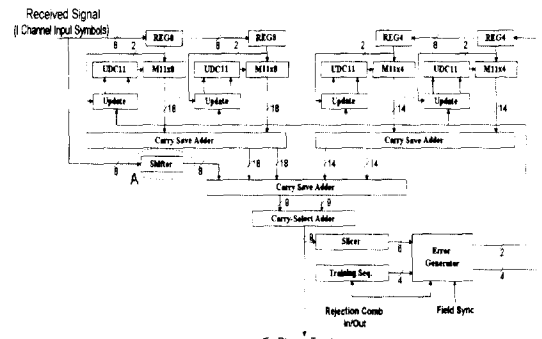
II. VSB 등화 시스템

VSB 등화시스템은 GA-HDTV 시스템의 경우 지상 동시 방송과 유선 방송 모두를 포함하는데, 지상 방송일 경우 8-VSB를 사용하고 상대적으로 왜곡이 적은 유선 방송의 경우는 전송율이 높은 16-VSB를 사용하며 심볼율은 두 경우 모두 10.76 MHz이다^[7]. 일반적으로 전송대역폭은 심볼율만큼 필요하나 VSB 방식은 대칭적으로 나타나는 기저대역 신호의 한쪽만 전송

하는 방식^[8]이므로 기존의 NTSC 채널 대역폭인 6MHz 대역으로 전송이 가능하다. 등화 알고리즘으로는 DF-LMS (Decision Feedback-LMS) 알고리즘^[3]을 이용하는데 등화초기에는 매 데이터 field의 앞부분에 위치하는 field sync 신호를 훈련 신호로 사용하여 등화하고, 수렴되었을 때 직접결정 모드로 전환하여 등화한다.



(a)



(b)

그림 1. VSB 등화기 블록선도
 (a) 개념도 (b) 하드웨어 블록선도
 Fig. 1. Block diagram of a VSB equalizer.
 (a) Conceptual block diagram,
 (b) Specified hardware block diagram.

그림 1(a)는 지상방송용 GA-HDTV 등화시스템^[7]을 보인 것으로, 회로 오셋이나 파일럿에 의한 DC 오차를 제거하기 위한 덧셈기와 각각 78 탭과 177 탭으로 이루어진 feed-forward와 feed-backward 필터, 그리고 계수 갱신부로 이루어진다. 등화기 외부의 제어 신호로는 훈련신호로 사용되는 field sync 신호를 구분하기 위한 신호와 NTSC 동일채널 간섭이 있을 경우 이를 최소화하기 위해 comb 필터가 동작하는데, 이를 알리는 제어신호가 있다. Comb 필터는 일종의

주파수 제한 필터로 한 주기내에 12개의 널 (null)이 존재하여 그 주파수에 해당하는 입력이 제거된다. NTSC 신호중 상대적으로 전력이 큰 세개의 carrier 신호가 이 널들에 위치하므로 NTSC 간섭이 있을 경우 필터링하면 NTSC 신호에 의한 간섭을 최소화할 수 있다. 그러나, comb 필터를 동작시킬 경우 잡음 크기가 약 3 dB 정도 올라가므로 이 필터는 NTSC 간섭이 있을 경우에만 선택적으로 동작한다^[7].

그림 1(b)는 등화 알고리즘을 직접 하드웨어로 맵핑하여 설계된 등화기 하드웨어 블럭선도이다. 그림에서 모든 데이터 버스는 실수 값을 표현하는 것으로 표시된 숫자는 그 신호의 비트수를 의미한다. 설계된 등화시스템의 골격은 GA-HDTV^[7]에 따랐으며 주요신호의 해상도는 III장에서 설명하는 알고리즘에 의해 결정된 값이다. 그림 1(b)에서와 같이, VSB 등화기는 8 비트로 양자화된 수신신호의 in-phase 성분을 입력으로 하는 78 탭의 feed-forward 필터부분과 최대 4 비트의 혼련신호 또는 직접결정 신호를 입력으로 하는 177 탭의 feed-backward 필터부분으로 나뉘어 있다. 이들 각각의 입력들은 모두 11 비트의 필터계수와 곱해져서 feed-forward 부분은 18 비트의, feed-backward 부분은 14 비트의 출력을 낸다. 계산되어 나오는 출력들은 각각 carry-save 덧셈기로 들어가 더해진다. Carry-save 덧셈기^[9]는 carry를 전파시킬 필요가 없으므로 계산 지연이 작은 장점이 있으나, 덧셈의 결과로 두개의 출력이 나오므로, 이를 carry-select 덧셈기^[9]를 이용해 최종 등화기 출력을 계산한다. 이 등화기 출력은 2 비트 오차를 계산하기 위해 오차발생기로 들어가고, 계산된 2 비트 오차는 계수갱신부로 입력된다. 계수갱신부에서는 이 2 비트 오차와 수신신호를 양자화한 2 비트를 이용하여 계수를 갱신한다. 하드웨어 비용의 감소를 위해, 설계된 등화 시스템은 다중 정확도 표현방식을 사용하는데, 이 경우 직접 경로를 보상하는 기준탭의 계산 결과를 보상하기 위해 수신신호의 1/2을 더해주기 위한 회로가 들어간다. 이는 III장에서 다시 설명한다.

III. 적응등화 알고리즘의 맵핑

1. 정규화 오차를 이용한 계수갱신 알고리즘

GA-HDTV 등화기의 경우, feed-forward부와 feed-backward부로 나뉘므로 등화기 출력 $z(n)$ 은

$$z(n) = \sum_{k=-K}^{-1} w_k x(n-k) + \sum_{k=0}^{L-1} w_k \hat{z}(n-k) \quad (1)$$

와 같이 계산되고, 계수갱신은 초기등화와 직접결정 모두

$$\begin{aligned} w_k^{t+1} &= w_k^t + 2\mu e^t x_k^t, & -K \leq k < 0 \\ w_k^{t+1} &= w_k^t + 2\mu e^t \hat{z}_k^t, & 0 \leq k < L \end{aligned} \quad (2)$$

과 같이 이루어지는 DF-LMS 등화기법^[3]을 사용하는데, 여기서 w , e , x 는 각각 필터계수, 오차신호, 그리고 수신신호이며, \hat{z} 는 등화 모드에 따라 혼련신호 또는 직접결정 신호가 된다. K, L 은 상수로 각각 feed-forward 부분과 feed-backward 부분의 탭수이고 t 는 시간을 나타내고, μ 는 수렴속도를 결정하는 파라미터이다.

적응등화 알고리즘을 고정소숫점 연산으로 구현할 때, 계수갱신폭이 필터 계수의 양자화 간격의 1/2보다 작으면 필터 계수는 갱신되지 않는다^[10]. 그러므로, 이진화된 필터 계수에 의해 최대의 성능을 갖도록 다음과 같은 과정에 따라 μ 를 설정할 수 있다.

식 (2)의 계수갱신식에서 정규화된 e , x , \hat{z} 를 사용할 경우 오차신호의 결정방법, 신호의 분포 등에 무관하게 동일하며 구현이 용이한 하드웨어를 사용할 수 있는 장점이 있다^[11]. e , x , \hat{z} 가 2 비트로 정규화될 때 -1, 0, 1의 세가지 값을 가질 수 있으며, 이때 필터계수의 최소 갱신폭은 식 (2)에 의해 2μ 가 되고 이것이 비트수가 제한된 필터계수가 표현 가능한 최소값이 되어야 한다. B 비트로 필터계수를 표현할 때, 이 계수가 표현 가능한 최소값은 $2^{-(B-1)}$ 이므로 μ 가 2^{-B} 이 되면 등화시스템은 제한된 비트하에서 최대의 성능을 얻을 수 있다.

x , \hat{z} 는 부호를 나타내는 1 비트 값과 그 크기를 0.5로 thresholding한 1 비트를 이용하여 2 비트로 정규화하고 오차신호 e 는 다음 절에서 설명한 바와 같이 정규화한다.

2. DF-LMS 오차의 정규화

VSB 등화시스템은 초기등화뿐 아니라 직접결정 모드도 DF-LMS 알고리즘을 이용하여 등화하므로 제한된 비트하에서 최대의 성능을 얻기 위해 실수로 표현되는 최적 필터계수를 고정소숫점으로 표현할 때 생기는 양자화 오차를 이용하여 정규화한다.

앞서 언급한 바와 같이, B 비트로 이진화된 최적 필터계수들은 실수로 표현된 최적 필터계수와 2^{-B} 까지

차이가 날 수 있다. 그러므로, 필터계수의 최대오차 Δw_k 의 크기는

$$|\Delta w_k| = 2^{-B} \quad (3)$$

이 되고, 이에 따라 발생하는 전체 등화기 출력오차 Δz 의 최대값은

$$|\Delta z| = \sum_{k=-K}^K |\Delta w_k| \times E[|z|] + \sum_{l=0}^{L-1} |\Delta w_k| \times E[|z_l|] \approx 2^{-(B-7)} \quad (4)$$

이 된다. 여기서 K, L 은 feed-forward와 feed-backward 필터의 탭수로 각각 78, 177이 되고, $E[\cdot]$ 는 평균값을 의미하는데, 수신신호와 기준신호의 절대값의 평균은 송신신호와 같다고 가정할 때 약 0.5가 된다. 그러므로, 필터계수를 B 비트로 표현할 때, 수렴후 출력은 각 신호레벨을 중심으로 반경이 약 $2^{-(B-7)}$ 인 원 안에서 나타나게 되며, 이 오차가 성능에 영향을 주지 않을 정도의 비트를 할당해야 올바른 동작이 가능해진다.

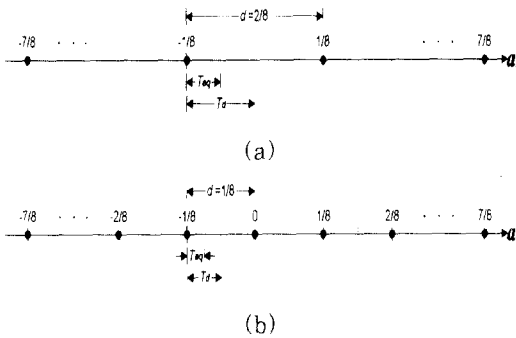


그림 2. 8-VSB 신호
(a) Comb 필터가 동작하지 않을 경우
(b) Comb 필터가 동작할 경우

Fig. 2. 8-VSB signal.
(a) Without a comb filter.
(b) With a comb filter.

그림 2에서 보는 바와 같이, 8-VSB에서 NTSC 간섭을 없애기 위해 comb 필터가 동작할 경우 신호 레벨은 15 레벨이 되며, 이 때 이웃하는 신호의 거리는 2-3이므로 직접결정 과정에서의 결정경계 T_d 는 2^{-4} 가 된다. 그리고, 이 과정에서 결정된 값과 등화기 출력과의 차이를 결정오차로 정의하고, 이 오차가 2 비트의 정규화오차를 만드는 과정에서 오차가 있다고 판정하는 척도인 오차 결정경계 T_{eq} 보다 클 때 정규화된 오차가 0이 아닌 값을 갖게 된다. 그러므로, 직접결정 모드에서 계수갱신이 일어나려면 T_{eq} 가 T_d 보다 작아

야 한다. 식 (4)에 의해, $2^{-(B-7)}$ 의 값을 갖는 T_{eq} 가 2^{-4} 의 값을 갖는 T_d 보다 작으려면, 필터계수의 비트수 B 는 최소 12가 되어야 하고, 이 때 T_{eq} 는 2^{-5} 이 된다.

신호를 표현하는 데 필요한 비트수가 많으면 그와 비례해 비용의 부담이 커진다. 그러나, 다음과 같은 통계적 특성을 이용해 필요한 비트수를 줄임으로써 비용 감소의 효과를 얻을 수 있다. 다중경로 채널을 3-path로 가정할 때, 송신신호를 $z^{T(n)}$, 채널을 통과한 등화기 수신신호를 $x(n)$, a, b 를 간접경로 왜곡의 크기라 하면, 이 채널은

$$x(n) = z_T(n) + az_T(n-1) + bz_T(n-2) \quad (5)$$

와 같이 나타낼 수 있다. 이를 다르게 표현하면

$$z_T(n) = x(n) - az_T(n-1) - bz_T(n-2) \quad (6)$$

와 같이 되므로, 식 (1)의 결정신호 $\hat{z}(n)$ 이 송신신호 $z^{T(n)}$ 와 같다고 할 때 등화기에서는 식 (6)의 우변 첫 항을 feed-forward단에서, 나머지 두 항은 feed-backward단에서 보상함으로써 원신호를 얻을 수 있다.¹³⁾

위와 같이, 간접경로의 왜곡과 등화기의 feed-backward단의 필터계수가 크기면에서 비례하므로 간접경로의 왜곡이 크면 필터계수도 큰 값을 갖게 된다. 그러므로, 직접경로를 보상하는 기준탭은 항상 1 근처의 값을 가지므로 0.5보다 크다고 할 수 있고, 기준탭을 제외한 나머지 탭은 0.5를 넘지 않는다고 가정할 수 있다. 간접경로를 보상하는 탭이 0.5를 넘으려면 간접경로의 S/N이 -3 dB 이상이 되어야 하는데, 이는 보통의 채널에서는 나타나지 않는 심한 왜곡이므로 위의 가정은 타당하다고 할 수 있고, 실제로 다중 경로 채널에서 위의 가정이 불가능할 정도로 왜곡이 심한 채널은 12 비트의 필터계수로 수렴이 불가능한 것을 실험적으로 알 수 있다.

위와 같은 가정에 의해 필터계수의 표현범위를 달리 하는 multiple precision 표현방법을 사용하면, 하드웨어를 구현함에 있어 실제 계산되는 필터계수를 11 비트로 줄임으로써 비용을 감소시킬 수 있다. 다시 말해 직접경로를 보상하는 기준탭의 필터계수를 제외한 나머지 탭은 절대값이 0.5 이하라고 가정하면 1 이하의 값을 표현할 때보다 1 비트를 절약할 수 있다. 기준탭의 경우, 항상 0.5가 넘는다고 가정하고 원래의

필터계수에서 0.5를 뺀 값을 표현하도록 하고 이것을 보상하기 위해 그림 1(b)의 A 부분과 같이 기준템에 해당하는 수신신호의 1/2을 더해주는 회로를 두면 효율적으로 등화기 출력력을 계산할 수 있다.

IV. 등화기 성능실험

본 장에서는 등화방식과 제한된 비트에 따른 등화기 성능변화를 여러 방식에 따라 살펴보고 설계된 구조의 타당성을 검증한다. 실험은 Wu 등^[12]이 사용한 채널을 이용하여 지상방송용 채널의 가장 대표적인 잡음인 다중경로와 가산형 백색 가우스 (AWG: Additive White Gaussian) 잡음에 대한 적응등화 알고리즘의 고정소수점 연산에 따른 영향을 살펴본다. 실험은 'c'언어를 이용하여 제안한 구조를 제이트 레벨로 기술하여 시스템을 구현한 후 이루어진 것이다.

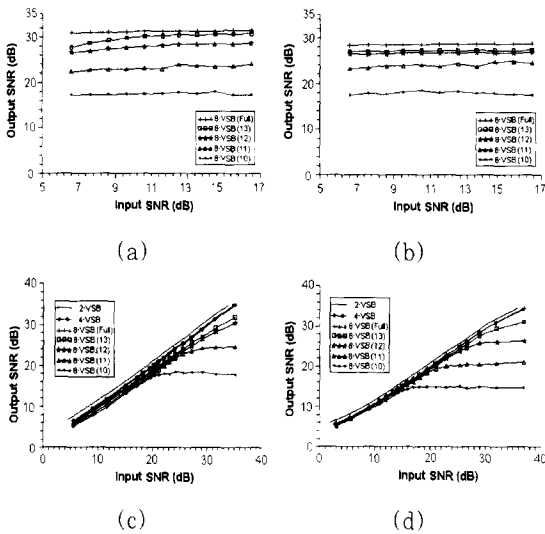


그림 3. 등화시스템 S/N 비교

- (a) 다중경로 채널 (comb 필터가 없는 경우)
- (b) 다중경로 채널 (comb 필터가 있는 경우)
- (c) AWG 잡음 채널 (comb 필터가 없는 경우)
- (d) AWG 잡음 채널 (comb 필터가 있는 경우)

Fig. 3. S/N comparison of an equalization system.

- (a) Multi-path channel (without a comb filter),
- (b) Multi-path channel (with a comb filter),
- (c) AWG noise channel (without a comb filter),
- (d) AWG noise channel (with a comb filter).

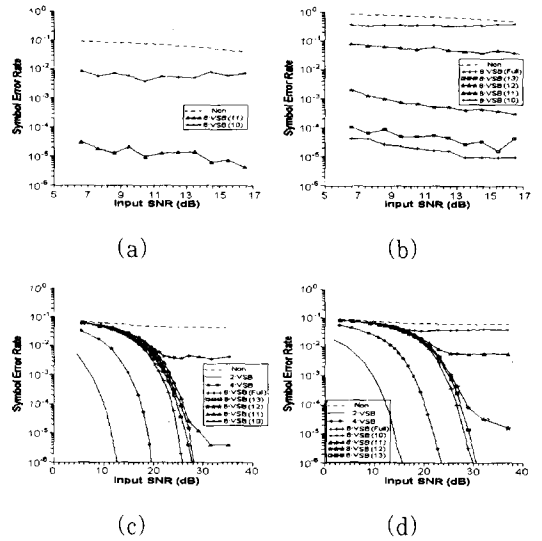


그림 4. 등화시스템 심볼오율 비교

- (a) 다중경로 채널 (comb 필터가 없는 경우)
- (b) 다중경로 채널 (comb 필터가 있는 경우)
- (c) AWG 잡음 채널 (comb 필터가 없는 경우)
- (d) AWG 잡음 채널 (comb 필터가 있는 경우)

Fig. 4. Comparison of symbol error rate of an equalization system.

- (a) Multi-path channel (without a comb filter),
- (b) Multi-path channel (with a comb filter),
- (c) AWG noise channel (without a comb filter),
- (d) AWG noise channel (with a comb filter).

그림 3과 4는 각각 제안한 등화기의 성능을 보이기 위하여 비트표현에 따른 등화기의 S/N과 심볼오율을 나타낸 것으로, 표 1의 채널을 기본으로 하여 다중경로 왜곡의 크기와 AWG 잡음의 특성을 변화시키면서 실험하고 그에 따른 등화기의 성능변화를 나타내었다. 그림 3(a), 3(b)와 그림 4(a), 4(b)는 다중경로 왜곡의 크기 변화에 따른 성능변화를, 그리고 그림 3(c), 3(d)와 그림 4(c), 4(d)는 AWG 잡음의 특성변화에 따른 등화기의 성능변화를 보인 것이며, 그림 3(a), 3(c), 4(a), 4(c)와 그림 3(b), 3(d), 4(b), 4(d)는 각각 comb 필터가 동작하지 않을 때와 동작할 때의 성능변화를 나타낸 것이다. 실험은 full precision (64 비트 부동소수점)을 사용하여 식 (1), (2)에 보인 원래의 등화 알고리즘을 사용한 경우와 설계된 하드웨어 구조에서 각각 10 ~ 13 비트의 고정소수점으로 표현할 때의 성능변화를 살펴보았다. 그림 3과 4에서 2-, 4-, 8-VSB라는 표시는 입력신호의 레벨수를 각

각 2, 4, 8로 달리하여 실험한 결과이고, 팔호안의 숫자는 필터계수를 표현할 때 사용한 비트수이며, 여기서 (Full)이라고 표시한 것이 원래의 등화 알고리즘을 부동소수점 연산 (64-bit full precision)으로 시스템을 구현하여 등화한 결과이다. 또, 각 경우의 심볼오율을 보인 그림 4에서 Non의 의미는 등화전의 심볼오율을 표시한 것이다.

표 1. 다중경로 채널
Table 1. Multi-path channel.

크기 (dB)	위상 (°)	지연 (μsec)
0	0	0
-12	101	0.25
-20	-50	1.25
-25	50	2.25

등화기는 일반적으로 예측은 가능하지만 보상하지 않을 경우 심각한 결과를 초래하는 다중경로 왜곡을 주로 보상하며, 반면 예측이 불가능한 AWG 잡음에 대해서는 약간의 smoothing 효과 이상을 기대할 수 없는데, 이는 실험결과를 통해서도 확인할 수 있다. 다중경로 잡음에 대해서는 그 크기와 무관하게 어느 정도 고른 성능을 유지할 수 있으나, AWG 잡음의 경우 입력잡음의 크기가 바로 출력에 영향을 주므로, 실험결과에서 볼 수 있는 바와 같이 다중 경로 잡음의 경우 잡음의 크기가 커도 효과적으로 보상이 이루어지므로 충분한 성능을 얻을 수 있으나 AWG 잡음의 경우는 보상이 이루어지지 않으므로 좋지 않은 결과를 나타내게 된다.

전송후 비디오 소스의 비트오율은 10^{-9} 이하여야 하며 오류정정 복호화 과정을 거치기 전, 다시 말해 등화 후의 비트오율은 $10^{-3} \sim 10^{-4}$ 정도가 되어야 하며 심볼오율은 2/4-VSB의 경우 5×10^{-3} 정도가 되어야 한다^[12]. 실험결과를 보면 5×10^{-3} 의 심볼오율을 경계로 볼 때 제안한 하드웨어 구조의 경우, comb 필터가 동작하지 않는 경우엔 11 비트면 충분한 수렴이 이루어지고 그 이상의 비트를 사용할 경우 실험한 신호열에서 하나의 결정오차도 나지 않았으나 comb 필터가 동작하는 경우엔 12 비트부터 충분한 수렴이 이루어지는 것을 볼 수 있다. 이는 II장에서 설명한 바와 같이 comb 필터는 인접채널 간섭이 있을 경우에만 효과적 보 수 있고 그 외에는 잡음레벨을 증가시키는 결

과를 낳으므로 comb 필터를 동작시킬 경우 오히려 성능이 떨어지기 때문이다. 그러므로, 하드웨어 제작시 필터계수는 12 비트이상을 표현할 수 있어야 하며, 이는 III장에서 설명한 다중 정확도 표현방식을 쓸 때 그림 1(b)에서와 같이 11 비트 하드웨어로 가능한 수치이다. 다중경로 잡음의 경우, 왜곡의 크기에 큰 영향을 받지 않고 고르게 충분한 수렴이 이루어 지는 것을 볼 수 있으나, 예측이 불가능한 AWG 잡음의 경우 12 비트 필터계수를 사용할 때 약 22 dB 이상 되어야 comb 필터의 동작과 무관하게 수렴을 보장할 수 있다.

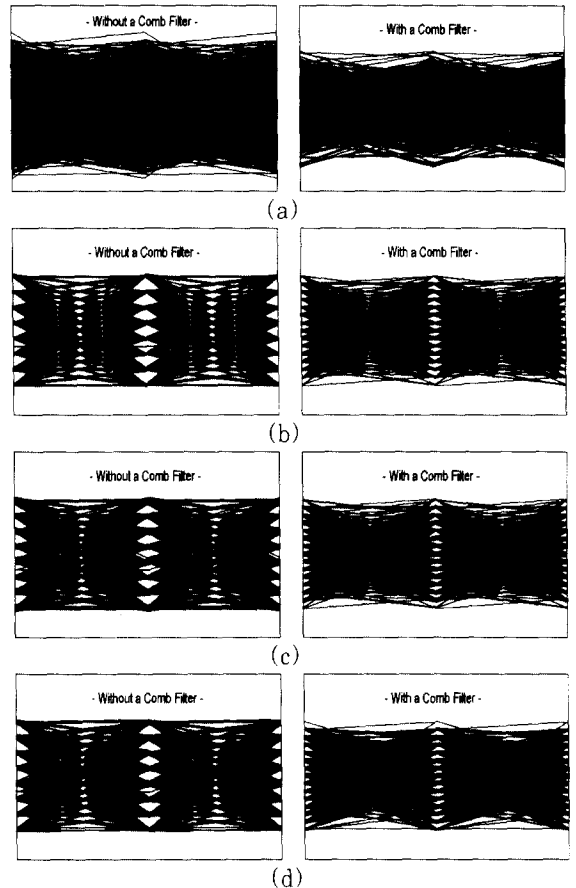


그림 5. 설계된 시스템의 등화결과
(a) 수신신호 (b) 직접결정 모드 (full precision) (c) 직접결정 모드 (12-bit precision) (d) 1 심볼지연 (12-bit precision)

Fig. 5. Equalization results of a designed system.
(a) Received signal, (b) Decision-directed mode (full precision), (c) Decision-directed mode (12-bit precision), (d) 1 symbol delayed adaptation (12-bit precision).

그림 5는 수신신호와 등화신호의 개안도로 하드웨어의 성능을 시뮬레이션한 결과를 나타내는 것이고, 그림 6은 시간에 따른 수렴특성을 보여주는 것이다. 실험에 사용한 채널은 표 1과 같은 다중경로와 평균이 0이고 표준편차가 0.02인 AWG 잡음만을 가정하였다. 이 채널을 통과한 신호의 S/N은 11 dB 정도로 GA (Grand Alliance)에서 발표한 HDTV 표준안¹⁷⁾의 visibility를 위한 입력신호의 C/N threshold가 14.9 dB임을 볼 때 threshold를 밑도는 채널에 속한다고 할 수 있다.

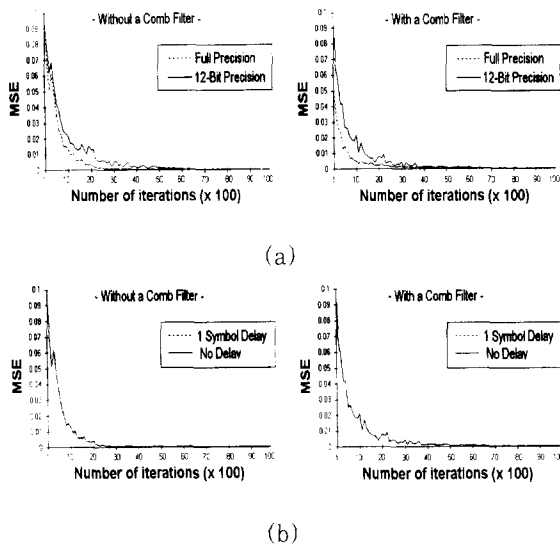


그림 6. 설계된 시스템의 수렴특성

(a) 12 비트계수 등화 (b) 1 심볼지연 계수 갱신

Fig. 6. Convergence characteristics of a designed system.

(a) Equalization with 12-bit coeff.,
(b) 1 symbol delayed adaptation.

그림 5의 결과를 보면 각 항은 두개의 서로 다른 레벨의 두 개의 개안도로 이루어진 것을 볼 수 있는데, 왼쪽은 comb 필터가 동작하지 않아 8 레벨로 등화가 이루어진 결과이고, 오른쪽은 comb 필터가 동작하여 15 레벨로 등화가 이루어진 결과이다. 그림 5(a)는 수신신호의 개안도이며, 그림 5(b)와 5(c)는 초기등화를 한 후 직접결정 모드로 전환하여 등화한 결과로 각각 full precision (64 비트 부동소수점)과 12 비트 필터 계수를 사용한 결과이다. 그림 5(c)의 경우, 그림 5(b)의 full precision에 의한 결과와 비교해 성능저하는 있으나 충분한 수렴이 이루어진 것을 볼 수 있다.

시스템릭 어레이나 V장에서 설명하는 pipeline 개념을 적용할 경우 계수갱신은

$$\mathbf{W}^{n+1} = \mathbf{W}^n + 2\mu E^{(n-d)} \mathbf{X}^{(n-d)*} \quad (7)$$

와 같이 d 심볼 간격만큼 지연되어 이루어지게 된다. 새로운 계수가 지연되어 적용되는 것과 수렴성과의 관계는 Long 등¹³⁾에 의해 연구된 바 있는데, 그들에 따르면 새로이 갱신된 계수가 바로 다음에 오는 수신신호에 적용되지 못하고 지연되어 적용되면 수렴 속도는 늦어지나, 수렴후 성능에는 영향이 없다고 할 수 있는데, 이를 실험적으로 확인한 결과가 그림 5(d)이다. 그림 5(d)는 계수갱신을 1 심볼지연시켜 등화한 결과로 지연이 없는 그림 5(c)와 비교할 때, 성능에 있어 거의 차이가 없음을 알 수 있다. 그러므로, V장에서 보이는 pipeline 개념을 이용한 등화기에서 생길 수 있는 계수갱신에 있어서의 1 심볼 지연이 성능에 거의 영향을 끼치지 않는다고 말할 수 있다.

그림 6은 그림 5에서 설명한 각 경우에 따른 수렴성의 변화를 살펴보기 위한 것으로 역시 comb 필터가 동작하지 않은 경우와 동작한 경우를 좌우에 나타내었다. 그림 6(a)는 제안한 하드웨어 알고리즘의 수렴성을 보여주는 결과로 부동소수점 연산결과와 비교해 수렴후 성능이나 수렴속도는 조금 떨어지나 수렴후 안정성에서는 차이가 없는 것을 볼 수 있다. 그림 6(b)는 식 (7)과 같이 필터계수를 1 심볼 지연시켜 갱신시킨 경우와 갱신이 없는 경우와의 성능을 비교한 것으로 역시 지연이 없는 경우와 차이가 없는 성능을 보인다.

지금까지 설계된 시스템의 여러 채널 변화에 따른 등화성능을 살펴보았다. 결과를 종합해 볼 때, 설계된 시스템의 등화 결과가 원래의 알고리즘을 부동소수점 연산으로 구현한 것에 비해 성능은 떨어지나, 수렴속도나 수렴후 안정성에서는 차이가 없고, 수렴후 결과는 실험한 신호열에서 결정오차가 거의 나지 않을 정도의 충분한 수렴이 이루어지는 것을 알 수 있다.

V. Pipeline 개념을 이용한 등화기 하드웨어

Pipelining은 일반적으로 약간의 하드웨어를 추가하여 시스템의 효율을 극대화함으로써 전체 처리량 (throughput)을 증가시키기 위하여 사용되는 설계기법^{14,15)}이다. 그러나, 본 연구의 적용분야와 같이 심

비용이 고정되어 있는 경우는 처리량이 일정하므로 pipelining을 적용함으로써 적은 하드웨어를 이용하여 같은 처리량을 갖도록 할 수 있다. 본 논문에서는 pipeline 개념을 적용하여 곱셈기에서 발생하는 여러 개의 Booth 부분곱을 4개의 클럭에 나누어 계산함으로써 하드웨어 비용을 감소시키려 한다.

Booth 곱셈기는 승수의 비트수에 여러 개의 부분곱 (partial product)를 만들고 이들을 합산함으로써 곱셈결과를 얻는다. 초기의 Booth 알고리즘은 승수의 한 비트당 한개씩의 부분곱을 만드나 수정된 Booth 알고리즘에서는 2 비트마다 하나의 부분곱을 내어 효율을 높인다¹⁹⁾. 본 논문의 응용 분야인 등화시스템의 경우 수신신호가 8 비트로 양자화되어 입력되므로, 8 비트 수신신호에 의해 4개의 부분곱이 생기게 되고, 일반적으로, 이를 동시에 계산하기 위해 Booth 부분 곱을 구하는 모듈이 하나의 실수 곱셈기에 4개가 필요하며, 최종출력을 위해 이들을 합산하기 위한 덧셈기가 추가되어야 한다. 등화기는 여러 탭의 필터와 그들 계수를 적응적으로 갱신시켜 주는 회로로 이루어져 있으므로, 곱셈기가 등화기 하드웨어의 대부분을 차지하게 된다. 그러므로, 4개의 Booth 부분곱을 하나의 모듈을 통해 순차적으로 계산하게 되면 비용을 크게 감소시킬 수 있다.

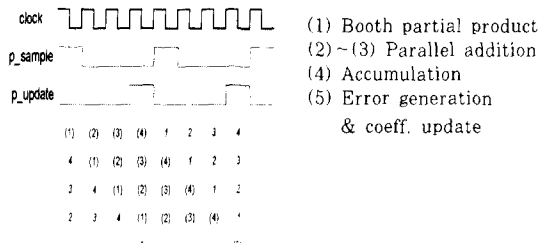


그림 7. 제안된 pipeline 구조의 space-timing 도
Fig. 7. Space-timing diagram of the proposed pipelining architecture.

그림 7은 pipeline 개념을 이용한 등화기의 timing 도이다. 그림에서 보는 것처럼 등화기는 하나의 심플간격을 넷으로 나누어 신호를 처리한다. 곱셈을 위하여 Booth 부분곱을 구하는 모듈에서는 한 클럭에 하나씩의 부분곱을 구하고, 상대적으로 지연이 큰 병렬덧셈을 두 클럭에 걸쳐 구한다. 이 과정으로 첫번째 부분출력이 계산되면 나머지 부분출력들이 계산될 때까지 4 클럭동안 이를 누적하여 최종 등화기 출력을 계산하고

이를 이용해 오차를 구한 다음 계수를 갱신시킨다. 그림 7에서 p_sample은 수신신호를 곱셈기로 받아들이기 위한 제어신호로 이 신호가 1일 때마다 새로운 수신신호가 입력된다. 그리고, p_update는 계수를 갱신시키기 위한 제어신호로, 그림 5.1에서 (1) ~ (4)는 매 클럭마다 동작하나 (5)는 부분곱이 모두 누적된 후에만 동작해야 하므로 이를 제어하기 위한 신호로 쓰인다. 그림 7에서 괄호가 없는 숫자는 이전과 이후의 심플에 대한 pipelining을 나타내는 것으로 각 모듈에서 계산되는 심플들 사이의 상관관계를 나타낸다.

설계된 등화시스템에 적용되는 pipelining의 골격은 그림 7과 같으나 세부적으로는 feed-forward 필터부와 feed-backward 필터부의 입력에서 차이가 있다. II장에서 보았듯이 VSB 등화시스템의 feed-forward 부는 8 비트 수신신호를 입력받지만 feed-backward 부는 4비트의 훈련신호 또는 직접결정 신호를 입력으로 받는다. 따라서, 수정된 Booth 알고리즘을 이용할 경우 feed-forward 부는 4개의 부분곱이 나와 구조에 맞지만 feed-backward 부분은 2개의 부분곱이 나오므로 구조에 맞지 않고 이를 맞추려면 추가의 제어신호와 여분의 레지스터 등이 추가되어야 하므로 좋은 방법이라 할 수 없다. 그러므로, feed-backward 부분은 한비트당 하나씩 부분곱을 내는 수정되기 전의 Booth 알고리즘¹⁹⁾을 이용하여 구현한다. 이럴 경우 한 심플당 4개의 부분곱이 나오므로 구조에도 맞고 부분곱을 계산하는 모듈이 수정된 Booth 알고리즘보다 간단해 지므로 비용도 더욱 절감할 수 있다.

제안된 등화기의 동작을 자세히 설명하면 다음과 같다. n번째 심플에 대한 첫번째 클럭에 n번째 심플에 해당하는 수신신호를 받아들여 첫번째 부분곱이 계산된다. 두번째 클럭엔 첫번째 클럭에 계산된 각 탭에서 나오는 첫번째 부분곱들이 carry-save 덧셈기의 입력으로 들어가 병렬 덧셈되는 과정이 일부 진행되고, 아울러 두번째 부분곱이 계산되며, 세번째 클럭엔 첫번째 부분곱들이 병렬 덧셈되는 과정이 완료되고 두번째 부분곱의 병렬덧셈의 일부와 세번째 부분곱의 계산이 함께 이루어진다. 네번째 클럭에 첫번째 부분곱의 병렬 덧셈의 결과가 부분출력 누적단에 들어가 부분출력들의 누적이 시작되며, 두번째 부분곱의 병렬 덧셈, 세번째 부분곱의 병렬덧셈의 일부, 그리고 네번째 부분곱의 계산이 이루어진다. 이 과정을 통해서 네번째 클럭에 첫번째 부분출력이 계산되고 마지막 네번째 부분출력

이 누적되는 데까지 3개의 클럭이 더 필요하게 된다. 이 누적이 이루어지는 동안, 즉 다섯번째 클럭에 새로운 심볼의 부분곱이 계산되는 것을 시작으로, 여섯번째부터 여덟번째 클럭에 나머지 부분곱이 계산되면서 $n+1$ 번째 심볼의 등화기 출력이 계산되기 시작한다. 일곱번째 클럭에 처음 심볼에 대한 등화기 출력이 모두 누적되고 여덟번째 클럭에 계수갱신이 일어나, $n+2$ 번째 심볼의 첫 부분곱이 계산되기 시작하는 아홉번째 클럭부터 새로운 계수가 적용되게 된다. 그러므로, 갱신된 필터계수는 1 심볼 지연되어 새로운 수신신호에 적용되며, 이는 식 (7)과 같이 쓸 수 있다. IV장에서 확인했듯이 계수갱신에 있어서의 1 심볼 시간의 지연은 성능에 크게 영향을 주지 않는다고 말할 수 있다.

위와 같은 알고리즘을 이용하면 알고리즘을 직접 하드웨어로 매핑할 때와 비교해 pipelining을 위한 레지스터들이 추가되어야 하고 최종단에 4개의 부분출력을 누적시키기 위한 하드웨어가 추가로 필요하게 된다. 그러나, 1탭의 곱셈을 구하는 과정에서 Booth 부분곱을 구하는 모듈을 네개 두고 한 클럭에 네개의 부분곱을 동시에 계산하는 대신 서술한 바와 같이, pipeline 개념을 이용하여 하나의 모듈에서 4개의 클럭에 걸쳐 순차적으로 네 개의 Booth 부분곱을 계산하면 곱셈기에 해당하는 하드웨어가 약 4분의 1로 줄어들게 되므로, 곱셈기에 해당하는 하드웨어 비용을 큰 폭으로 줄일 수 있다. 따라서, 곱셈기가 하드웨어의 거의 대부분을 차지하는 등화기의 전체 하드웨어 크기도 아울러 줄일 수 있다. 이는 VI장의 최적화 결과에서도 확인할 수 있다.

등화기에 pipelining을 적용하면 시스템의 클럭속도가 pipelining을 적용하지 않은 경우에 비해 4배가 빨라져야 한다.

그러나, 그림 1(b)와 같이 알고리즘을 직접 하드웨어로 매핑하면 한 클럭안에 입력과 필터계수의 곱셈부터 계수갱신까지 처리하게 되므로 계산경로가 매우 길어지게 되는 반면, pipelining을 적용하면 같은 과정을 5 클럭에 나누어 수행하게 되므로 각 stage의 지연이 상대적으로 짧게 된다. 따라서, 시스템 클럭이 4배 빨라진다고 해도 한 클럭내에 처리해야 할 계산량이 5분의 1 정도 밖에 되지 않으므로 알고리즘을 직접 매핑한 것과 비교할 때 상대적으로 지연이 적은 공정기술이 필요한 것은 아니다.

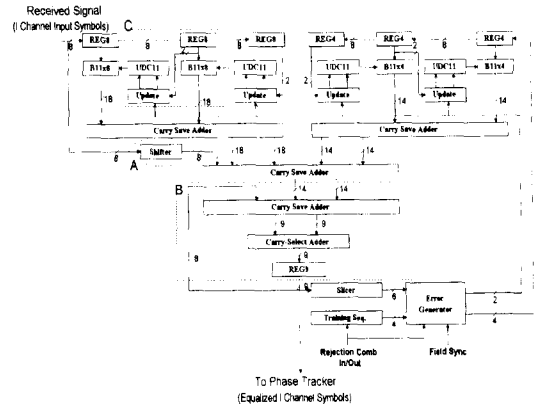


그림 8. Pipeline 개념을 이용한 제안한 등화기 하드웨어 블록도

Fig. 8. Block diagram of the proposed equalizer using the pipeline concept.

그림 8은 pipeline 개념을 이용한 등화기 하드웨어이다. 그림 1(b)와 비교할 때 곱셈기가 Booth 부분곱을 구하는 모듈 (B11×8)로 대체되며, 부분출력의 누적을 위해 B 부분이 추가되고 지연된 계수갱신을 위해 C 부분이 바뀌었다. 앞서 설명한 바와 같이, VSB 등화시스템의 feed-backward 부분에서 부분곱을 계산하는 모듈 (B11×4)은 수정되기 전 원래의 Booth 알고리즘에 따라 한 비트당 하나의 부분곱을 낸다.

VI. VHDL 구현 및 합성

본 장에서는 지금까지 설명한 구조들을 VHDL (VHIC Hardware Description Language)^[16]을 이용하여 기술한 후, 이를 멘토 그래픽스사의 툴^[17-19]을 이용하여 합성하고 최적화한 결과를 보인다. VHDL을 이용한 등화기는 각 모듈의 기본이 되는 소자들을 논리 게이트로 기술한 후 구조적 기술을 통하여 이들을 계층적으로 구성함으로써 기술하였다.

그림 9는 등화기 하드웨어를 합성한 결과이다. 그림 9(a)는 두 등화시스템을 구현할 때 알고리즘을 직접 매핑한 경우의 합성 결과로 적응등화 모듈들과 이들을 더하는 carry-save 덧셈기, carry-select 덧셈기, 그리고 오차 발생부, 모드 선택기 등으로 이루어져 있다. 상대적으로 그림 9(b)에서 보인 pipelined 등화기의 합성결과를 보면 알고리즘을 직접 매핑한 경우에서 볼 수 있는 장치들 외에, pipelining을 위해 부분출력을 누적하는 B 부분과 제어신호들이 추가되어 복잡한 형

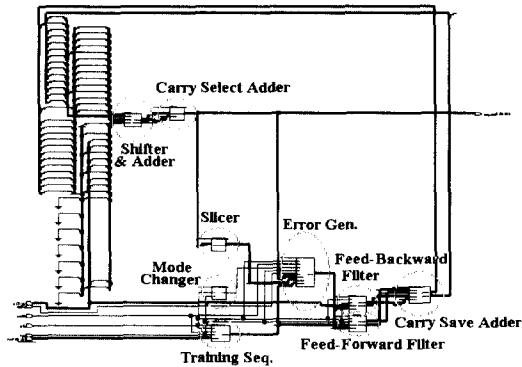
태를 띄고 있는 것을 볼 수 있다. 그러나 전체적인 하드웨어의 크기는 작아지는데 이는 표 2를 통하여 확인할 수 있다.

vendor에서 제공하는 라이브러리에 따라 달라지는 값으로 실제 제작시, 반드시 표에 나타난 크기로 제작되는 것은 아니며, 앞서 서술한 두가지 설계방식의 비교를 위하여 보인 수치이다.

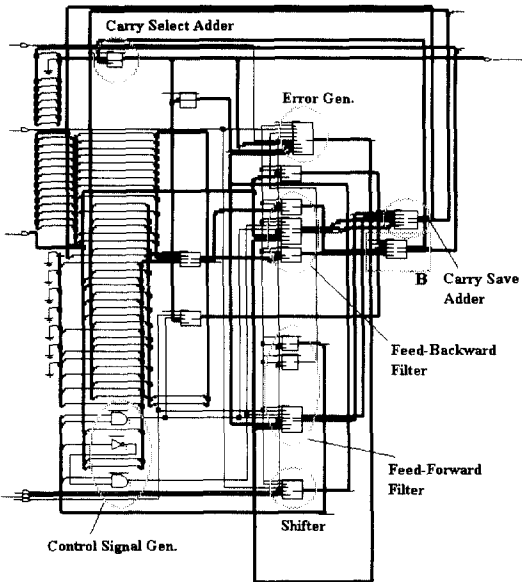
표 2. 하드웨어 비용비교

Table 2. Comparison of hardware cost.

	직접 매핑	Pipelined
1넵 적응필터 모듈		
(Feed-forward)	483	172
(Feed-backward)	257	130
병렬 덧셈부 (추정)	13835	8031
오차 발생부	57	57
부분출력 누적부 (추정)		82
Pipelining 레지스터 (추정)		852
기타 (추정)	135	139
전체 (추정)	97187	45587



(a)



(b)

그림 9. 합성결과

(a) 직접 매핑한 등화기 (b) Pipeline 개념을 이용한 제안한 등화기

Fig. 9. Synthesis results.

(a) Directly designed equalizer, (b) Proposed equalizer using the pipeline concept.

표 2는 툴^[19]을 이용하여 크기를 최소화하는 최적화 결과를 보인 것으로 게이트의 종류와 복잡도와 상관없이 단지 그 모듈을 구성하는 게이트의 수를 나타낸 것이다. 이 값은 적용하는 최적화 기술, ASIC

표 2에서는 각 항에 표시한 모듈별로 최적화하였으며, (추정)이라 표시된 모듈들은 그 모듈을 구성하는 부모듈들을 최적화하고 그 결과를 합산한 수치를 보인 것인데, 전체를 단위로 하면 적용할 수 있는 최적화 기술이 많아져 더욱 효율적인 최적화가 가능하다. 마찬가지로, 표 2에서 보인 등화기 전체의 수치도 구성하는 부모듈들의 최적화 결과를 이용하여 전체의 구성에 따라 추정된 값이다. 표 2에서 볼 수 있는 것과 같이 pipeline 개념을 이용하여 등화기의 하드웨어 비용을 감소시킬 경우 회로는 복잡한 형태를 떠나, 비용에서 살펴보면 게이트 수가 약 9만 7천개에서 4만 6천개로 절반 이상 비용이 감소하는 것을 볼 수 있는데, 이는 V장에서 설명한 바와 같이 곱셈기의 하드웨어 비용이 큰 폭으로 감소했기 때문이다. 그러나, pipelining을 위한 partitioning의 효율을 최대한 올리기 위해서는 실제 제작단계에서 각 단계별 지연을 계산하여 retiming하는 과정이 이루어져야 한다.

VII. 결론

본 논문에서는 HDTV를 위한 VSB 등화시스템을 하드웨어로 구현하기 위한 방법을 연구하였다. 먼저, 실수형 데이터를 다루는 적응등화 알고리즘을 하드웨어로 매핑하기 위하여 이를 제한된 비트의 고정소수점 연산으로 구현하는 과정을 연구하였으며, 하드웨어 구현이 용이하며 적은 비용으로 부동소수점 연산에 가까

운 성능을 얻을 수 있는 정규화 오차를 이용한 계수값 신 알고리즘을 이용하여 하드웨어를 설계하고 여러 특성의 채널에 이를 적용함으로써 알고리즘에 대한 제한된 비트연산이 등화기 성능에 미치는 영향을 분석하고 이를 통하여 제안된 시스템의 타당성을 검증하였다.

HDTV용 등화시스템은 하드웨어 비용에 대한 부담이 크기 때문에 알고리즘이나 구조의 변형을 통하여 비용을 감소시켜야 한다. 본 논문에서는 하드웨어 비용을 줄이기 위한 방법으로 pipeline 개념을 적용함으로써 하드웨어 비용을 감소시켰다. 설계된 구조는 pipelining을 이용해 심볼간격을 4개의 클럭으로 나누어 콤팩트에서 생기는 4개의 Booth 부분곱을 4개의 클럭에 나누어 계산함으로써 시스템의 효율을 높여 하드웨어 비용을 감소시켰으며, VHDL을 이용하여 구현한 회로를 합성하고 최적화한 결과를 통해 알고리즘을 직접 매핑한 하드웨어와 비교할 때, 비용을 절반 이하로 줄일 수 있음을 보였다. 그러나, 제안된 구조도 클럭속도의 증가에서 오는 클럭 skew 등의 문제가 생길 가능성이 있고, 실제 제작단계에서 timing 등의 고려가 있어야 하므로, 이에 대한 연구가 계속되어야 한다. 또, 본 논문에서는 등화기 하드웨어 구현 가능성에 초점이 맞추어져 있으므로 채널을 실제보다 단순한 모델로 가정하여 실험하였으므로 설계된 등화기를 적용하기 위해서 좀 더 현실에 가깝도록 신호에 왜곡을 주는 여러가지 요인을 가정한 실험이 필요할 것이다.

참 고 문 헌

- [1] Special Issue on HDTV Broadcasting, *IEEE Trans. Broadcasting*, vol. 37, Dec. 1991.
- [2] B. Widrow and S. D. Stearns, *Adaptive Signal Processing*. Prentice-Hall, Englewood Cliffs, NJ, 1985.
- [3] B. Mulgrew and C. F. N. Cowan, *Adaptive Filters and Equalisers*. Kluwer Academic Publishers, Norwell, MA, 1988.
- [4] J. Schroeter, *Surviving the ASIC Experience*. Prentice-Hall, Englewood Cliffs, NJ, 1993.
- [5] J. P. Huber and M. W. Rosneck, *Successful ASIC Design the First Time through*. Van Nostrand Reinhold, New York, 1991.
- [6] Federal Communication Commission Advisory Committee on Advanced Television Service, "ATV system recommendation," in *Proc. 1993 NAB HDTV World Conference*, Las Vegas, NV, pp. 237-449, Apr. 1993.
- [7] *Grand Alliance HDTV System Specification*. Submitted to the ACATS Technical Subgroup, Feb. 1994.
- [8] H. Taub and D. L. Schilling, *Principles of Communication Systems*, McGraw-Hill, Singapore, 1986.
- [9] K. Hwang, *Computer Arithmetic: Principle, Arithmetic, and Design*. John Wiley & Sons, New York, 1979.
- [10] R. D. Gitlin, J. F. Hayes, and S. B. Weinstein, *Data Communication Principles*. Plenum Press, New York, 1992.
- [11] 채승수, 반성범, 이기현, 박래홍, 김영상, 이병욱, "QAM 등화시스템의 하드웨어 구현방법에 관한 연구," 제 7회 신호처리 합동학술대회 논문집, 제 7권, 제 1호, pp. 276-279, 1994년 10월
- [12] Y. Wu, B. Ledoux, and B. Caron, "Evaluation of digital transmission techniques and interference studies for digital ATV terrestrial broadcasting," in *Proc. Int. Workshop HDTV '93*, Ottawa, Canada, Session 4B, Oct. 1993.
- [13] G. Long, F. Ling, and J. G. Proakis, "The LMS algorithm with delayed coefficient adaptation," *IEEE Trans. Acoust., Speech, Signal Process.*, vol. ASSP-37, pp. 1397-1405, Sep. 1989.
- [14] J. D. Ullman, *Computational Aspects of VLSI*. Computer Science Press, Rockville, MD, 1976.
- [15] S. Y. Kung, *VLSI Array Processors*. Prentice-Hall, Englewood Cliffs, NJ,

- 1988.
- [16] D. L. Perry, *VHDL*. McGraw-Hill, Singapore, 1991.
- [17] *V8 QuickSim™ Training Workbook*. Mentor Graphics Co., 1993.
- [18] *V8 Design Architect™ Training Workbook*. Mentor Graphics Co., 1993.
- [19] *Introduction to AutoLogic™ and Design Synthesis Training Workbook*. Mentor Graphics Co., 1993.

— 저 자 소 개 —

蔡承秀(準會員) 第 31 卷 B編 第 7 號 參照
현재 삼성전자 근무

朴來弘(正會員) 第 23 卷 第 6 號 參照
현재 서강대학교 전자공학과 교수