

論文95-32A-5-9

DRAM 메모리 모듈 제작에서 MCM-L 구조에 의한 설계

(The Design of DRAM Memory Modules in the Fabrication by the MCM-L Technique)

池 龍*, 朴泰炳**
(Yong Jee, Tae-Byung Park)

요약

본 논문에서는 대용량 고속 메모리 모듈을 구성하기 위한 방법으로 $4M \times 1\text{bit}$ DRAM을 실장하여 다중칩 메모리 모듈을 구성하는 설계 변수에 대해서 고찰하였다. 모듈 구조는 0.6 W, 70 nsec $4M \times 1\text{bit}$ DRAM을 사용하여 8bit, 16bit, 32bit DRAM 다중칩 메모리 모듈을 구성하는 것이다. 칩 배치 방법, 모듈 단자의 배열 방법, 배선층 수 및 칩 실장 방법의 변화에 따른 배선을 실시하여 배선면적과 배선밀도에 있어서 최적화를 찾아 보았다. 다중칩 모듈 기판은 자동배선을 중심으로 MCM-L 기술을 적용할 수 있으며, 비용이 저렴한 양면 인쇄회로기판을 사용할 수 있게 설계하였다. 모듈 배선 결과, bare 칩을 실장한 경우는 칩 단자와 모듈 단자 배열이 서로 평행하게, 패키징된 칩을 사용할 경우는 서로 수직되게 배치하면 효율적으로 배선할 수 있고, 모듈 단자를 2 면으로 배열하고 칩은 가능한 한 1 열로 배열하며 양면 실장하는 것이 효율적인 배선임을 알 수 있었다. 배선층 수는 bare 칩을 실장하는 경우, 단면실장일 때는 4층 배선구조가, 양면실장일 때는 6층 배선구조가 배선효율이 가장 높으며, 패키징된 칩을 실장하는 경우, 단면실장일 때는 3층 배선이, 양면실장일 때는 5층 배선이 배선효과가 높았다. 하지만 효율적인 MCM-L 기술이 모듈 구성은 bare 칩을 양면 실장하고 실장칩 수를 증가시키는 것임을 확인하였다. 메모리 모듈 제작결과 bare 칩을 실장하면 패키징된 칩을 실장하여 모듈을 구성할 때에 비하여 부피가 1/2, 무게가 1/3로 줄어들음을 볼 수 있었다. 신호 전송 지연 시간도 0.5-1 nsec 정도로 제한됨을 볼 수 있었다.

Abstract

In this paper, we studied the variables in the design of multichip memory modules with $4M \times 1\text{bit}$ DRAM chips to construct high capacity and high speed memory modules. The configuration of the module was 8 bit, 16 bit, and 32 bit DRAM modules with employing 0.6 W, 70 nsec $4M \times 1\text{bit}$ DRAM chips. We optimized routing area and wiring density by performing the routing experiment with the variables of the chip allocation, module I/O terminal, the number of wiring layer, and the number of mounting side of the chips. The multichip module was designed to be able to accept MCM-L techniques and low cost PCB materials. The module routing experiment showed that it was an efficient way to align chip I/O terminals and module I/O terminals in parallel when mounting bare chips, and in perpendicular when mounting packaged chips, to set module I/O terminals in two sides, to use double sided substrates, and to allocate chips in a row. The efficient number of wiring layer was 4 layers when designing single sided bare chip mounting modules and 6 layers when constructing double sided bare chip mounting modules whereas the number of wiring layer was 3 layers when using single sided packaged chip mounting substrates and 5 layers when constructing double sided packaged chip mounting substrates. The most efficient configuration was to mount bare chips on doubled substrates and also to increase the number of mounting chips. The fabrication of memory multichip module showed that the modules with bare chips can be reduced to a half in volume and one third in weight comparing to the module with packaged chips. The signal propagation delay time on module substrate was reduced to 0.5-1 nsec.

*正會員, **準會員, 西江大學校 電子工學科
(Dept. of Elec. Eng., Sogang University)

비에 의해 수행되었습니다.

接受日: 1994年3月4日, 수정완료일: 1995年5월1일

※ 본 연구는 94년도 교육부 반도체분야 학술연구조성

I. 서 론

고속 대용량 메모리를 필요로 하는 전자기기의 영역이 대형 전자 시스템에서 사무용 기기나 개인용 컴퓨터와 같은 소형 시스템, 다중처리 시스템, video display를 지닌 시스템으로 옮겨 감에 따라, 메모리로 공급되는 소자는 이와 같은 경향을 따라서 동작시키기 쉽고, 작은 패키징 형태로 구성되며, 전력 손실이 적은 소자 쪽으로 옮겨 가고 있다. 따라서 메모리 소자도 값이 싸고, 고속이며, 집적밀도가 높은 DRAM 소자를 많이 이용하게 되었다.^[1] 64Mb DRAM의 개발 생산으로 저가격, 고집적, nsec 속도의 고속, random access 등의 커다란 장점으로 DRAM칩을 많이 사용하고 있지만 문제는 단일 칩으로 gigabit급의 대용량화를 이룰 수 없다는 점이다.

MCM(Multichip module) 기술은 고집적, 고속 동작 상태를 유지하면서 메모리 용량을 높일 수 있는 또 다른 방법이다.^[2-6] MCM 기술은 기존의 제작 공정상 특성이 서로 다른 여러 개의 bare 칩과 수동소자 등을 고밀도 배선기판 위에 직접 탑재함으로써 패키지와 보드 기판에 의한 신호지연을 줄이고, 칩 사이의 신호교환의 전달지연 시간을 최소화해서 시스템의 고속화를 도모하려는 실장 방식이다.^[7-10] MCM 기술 가운데서도 가격이 싸고 공정기술이 비교적 성숙되어 있는 MCM-L(multichip module-lamination) 기술은 PCB(printed circuit board) 제조방법을 이용하여 구성되기 때문에 공정기술과 가격이 다른 기술에 비해 아주 저렴하다. 하지만 작은 비아 홀(via hole)과 미세한 선폭의 형성이 어려워 기판 설계의 배선에 제약을 받는다는 것이 문제이다.^[3,4,11,12] 이와 같은 MCM 모듈 구성의 장점을 이용하면 칩 간의 배선 상에서 지나는 기생용량과 기생저항을 줄일 수 있으며, 하이브리드와 같이 혼합기술, 즉 Si 소자와 GaAs 소자, 디지털 소자와 아날로그 소자를 함께 실장시킬 수 있어 짧은 생산 공정 시간을 요구하는 시스템의 개발 기간을 단축시킬 수 있다.^[13,14] 이와 더불어 다중칩 모듈은 보다 빠른 동작주파수와 많은 입출력단자를 가진 칩을 실장할 때 bare 칩을 직접 실장하므로 기존의 핀 삽입형이나 표면 실장형인 단일 칩 패키지를 사용할 때보다 패키징 밀도도 높일 수 있다. 또한 bare 칩 실장으로 단일 칩 패키지로 인해 증가되는 무게와 제작 비용을 절감시킨다.^[15]

본 논문에서는 밀도 높고 신뢰성있는 대용량 고속 DRAM 메모리 모듈을 제작하기 위하여 4M×1bit DRAM을 이용한 4M×8bit, 4M×16bit, 4M×32bit DRAM 모듈을 구성하였고, 회로 배선을 최적화할 수

있는 설계상의 변수들을 살펴보았으며, 배선 작업을 토대로 bare 칩과 패키징된 칩을 사용하여 각각 8bit, 16bit, 32bit DRAM 모듈을 MCM-L 기술로 제작하였다. 2장에서는 DRAM 메모리 모듈의 회로 구성 방법에 대하여 서술하였으며, 3장에서는 각 모듈에 대한 배선을 실행하여 배선의 최적화를 이루고자 설계 변수들을 고찰하였다. 4 장에서는 실험 결과를 분석, 종합하였다. 5 장에서는 모듈의 제작 공정과 제작 실험을 기술하였고, 6 장에서는 결론을 맺었다.

II. DRAM 모듈 구성

본 실험에서는 4M×1bit DRAM 칩을 사용하여 4M×8bit, 4M×16bit, 4M×32bit DRAM 모듈이 구성되게 하였으며, bare 칩과 패키징된 칩 두 종류를 시험칩으로 사용하였다. 실험에서 사용한 4M×1bit DRAM 칩은 각 칩당 최대 소비전력이 600mW이며 $V_{cc} = 5V$, 액세스 시간(access time)이 70 nsec로 동작하는 메모리 칩으로서,^[11] 칩 단자는 11 개의 주소단자(A0-A10), 각각 1 개씩의 데이터 입출력단자(D, Q), 읽기/쓰기 입력단자(W), RAS(row address strobe) 단자, CAS(column address strobe) 단자, 전원단자(V_{cc}), 접지단자(V_{ss})의 18 개 단자로 구성되어 있다.^[16]

8 bit DRAM 모듈은 4M×1bit DRAM 칩 8개를 그림 1과 같이 평행하게 연결하여 구성할 수 있다.^[11] 모듈 입출력 단자(모듈 단자)는 각 칩이 지니고 있는 단자 외에 8 bit 버스를 위한 8 개의 데이터 입출력단자(DQ0-DQ7), 각각 1 개씩의 read/write 입력단자(W)가 추가되어서 24 개로 구성된다. 따라서 모듈의 최대 소비전력은 4.8 W가 되며 8 bit 모듈 구성에서는 전원의 안정된 공급과 칩의 파손을 방지하도록 전원선과 접지선 사이에 0.22 μ F의 decoupling capacitor를 부착하여 설계하였다.

16bit DRAM 모듈은 4M×1bit DRAM 칩 16개를 사용하여 8bit DRAM 모듈과 동일하게 구성할 수 있다.^[11] 모듈 입출력 단자는 총 33 개로 구성된다. 16bit DRAM 모듈 구성 방식은 4M×1bit인 칩을 이용하여 bit 수를 증가시키는 것이기 때문에 칩 수가 바로 bit 수를 나타내게 된다. 메모리 용량을 줄여가며 bit 수를 늘일 경우에는 논리소자가 부가적으로 설계에 추가되어야 하므로 배선 설계 변수만을 살펴볼 경우에는 칩 수의 변수에 따른 변화를 살펴보는 데 적합하지 않다. 따라서 본 실험에서는 칩 수를 늘이고 줄이는 방법인 bit 수의 증감을 통하여 칩 수의 변수에 대한

변화를 살펴보았다. 32bit DRAM 모듈은 4M×8bit DRAM 모듈과 동일한 방법으로 4M×1bit DRAM 칩 32개를 평행하게 연결하여 구성할 수 있다.^[11] 이때, 모듈 단자 수는 총 52개로 구성된다. 4M×32bit DRAM 모듈을 4M×8bit DRAM 모듈로 동작시키고자 할 경우에는 decoder와 multiplexer를 사용하된다. 16 bit 모듈의 최대 소비전력은 9.6 W가 되며, 32 bit 모듈의 최대 소비 전력은 19.2 W가 된다.

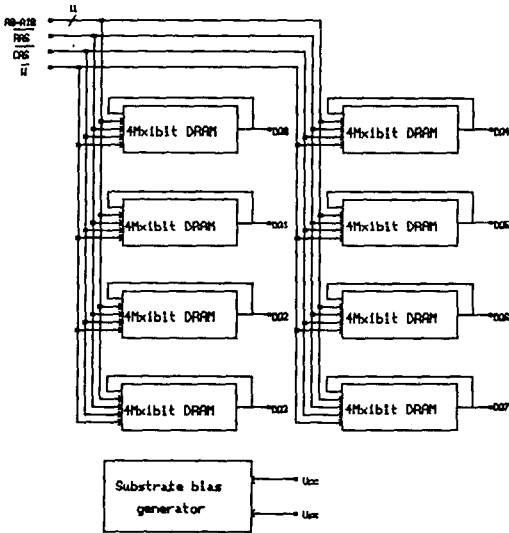


그림 1. 4M × 8bit DRAM 모듈의 회로도
Fig. 1. A circuit diagram of a 4M x 8bit DRAM module.

III. 메모리 모듈 설계 변수

DRAM 모듈 구성 회로와 같이 모듈 기판 위에 칩을 배치하고 배선할 경우에 배선 설계 변수에 따라서 모듈 면적과 배선길이에 변화가 생긴다. 즉, 칩 배열방법 및 방향, 칩 입출력단자(칩 단자)와 모듈 입출력단자(모듈 단자)의 배열방향, 모듈 단자의 패드 배열면 수, 배선층 수 및 칩 실장면 수 등에 따라 모듈 배선의 효율이 변할 수 있다.^[18] 본 실험에서는 이러한 변수에 따라 자동배선만으로 PCAD 프로그램에^[17] 의한 배선작업을 수행하여 DRAM 메모리 모듈을 구성하는데 필요한 배선길이와 배선면적의 변화를 살펴보았다.

모듈 배선 설계에 있어서 먼저 고려해야 할 사항은 모듈 단자들의 정의와 그 단자 수이다. Rent rule에 의하면 모듈 단자 수는 $A_i = A_c \cdot M_c^r$ 의 식으로 주어진다.^[4] 여기서, A_c = 논리 패키지에서 사용

되는 모듈 입출력 단자 수, A_c = 각 논리 회로에서 사용된 평균 칩 입출력 단자 수, M_c = 패키지에서 논리 회로의 수, r = 논리 기능을 지닌 회로에 대한 지수로 나타난다. 이 공식에 의하면 본 실험에서 사용되는 메모리 칩 단자 수는 $A_i = 2^n M_c^r + (\text{bit수} - 2)$ 의 식과 같이 유도될 수 있다. 여기서, DRAM 모듈 구성에 대한 각 지수들은 M_c = 메모리 칩 bit 수, $n = 2.0$, $r = 0.1$ 로 주어질 수 있다. 이에 따라서 본 실험에서 사용되는 모듈 단자 수를 대입하여 계산하면 4Mbit 메모리 모듈에 대해서는 칩 단자 수가 18 개이고, 64Mbit 모듈에 대해서는 25 개로 주어짐을 알 수 있다.

다른 모듈 설계 변수는 칩 단자와 모듈 단자의 배열 방향이다. 이 변수는 모듈 단자 패드의 배열면 수를 1 면으로 하고, 2 층으로 배선하였을 때, 칩 단자와 모듈 단자의 배열방향이 그림 2.기와 같이 평행하도록 칩을 배치한 형태와 그림 2.나와 같이 서로 수직하도록 배치한 형태로 나누어 생각할 수 있다. 다음 변수는 칩을 전부 1 열로 하는지 2 열로 하는지를 나타내는 칩 배열 수이다. 그림 2.가는 칩이 1 열로 배열된 형태를, 그림 2.다는 칩이 2 열로 배열된 형태를 나타낸다.

표 1. 모듈 설계 변수에 따른 칩 배치 배열 구조 명칭들

Table 1. The name of configurations for the chip allocation and the substrate alignment following the variables of designing modules.

단자배열* 4	1면		2면		4면		
실장 칩배 면수 열수	평행*1	수직*2	평행	수직	평행	수직	
단면 실장	1 열	BD8-SD1*3	BD8-SD2	BD8-SD7	BD8-SD8	BD8-SD13	BD8-SD14
	2 열	BD8-SD3	BD8-SD4	BD8-SD9	BD8-SD10	BD8-SD15	BD8-SD16
	4 열	BD8-SD5	BD8-SD6	BD8-SD11	BD8-SD12	BD8-SD17	BD8-SD18
양면 실장	1 열	BD8-DD1	BD8-DD2	BD8-DD7	BD8-DD8	BD8-DD13	BD8-DD14
	2 열	BD8-DD3	BD8-DD4	BD8-DD9	BD8-DD10	BD8-DD15	BD8-DD16
	4 열	BD8-DD5	BD8-DD6	BD8-DD11	BD8-DD12	BD8-DD17	BD8-DD18

*1,2) 평행(수직) = 칩 입출력 단자와 모듈 입출력 단자 서로 평행(수직)
*3) BD8-AT4: B=Bare chip, D=DRAM, 8=8bit, S=one sided(D=double), T=3층 배선(D=2층배선, T=3층배선, Q=4층배선, P=5층배선, H=6층배선), 4=type4간, 표시
*4) 모듈 단자 패드 배열 면수: 1면(SIMM 구조), 2면(DIP 구조), 4면(QFP구조)

모듈 단자의 배열면 수에 대해서는 그림 2.다, 마, 바와 같이 나타나는데 모듈 단자 배열 면 수가 그림 2.다와 같이 1 면일 때는 SIMM (single-in-line memory module) 형태로 구성이 되고, 그림 2.마와

같이 2 면일 때는 DIP(Dual-in-line Package) 형태로, 그림 2.바와 같이 4 면일 때는 QFP (Quadruple Flat Package) 형태로 구성된다.^[4]

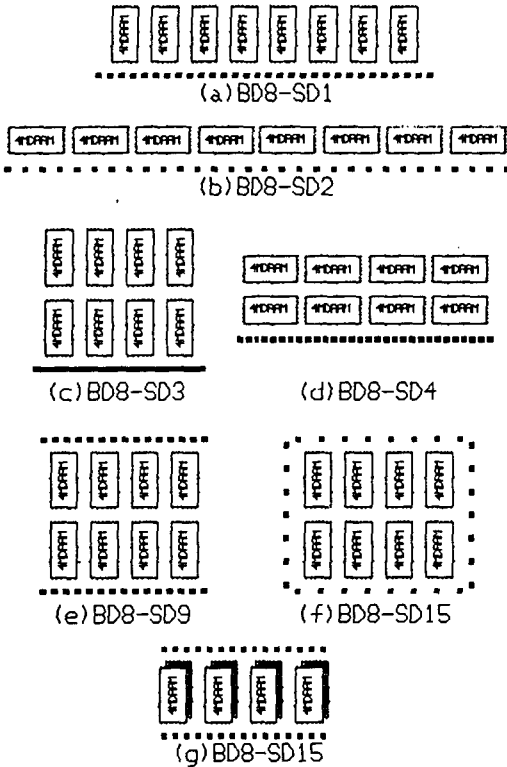


그림 2. 모듈 설계 변수에 따른 bare 칩 배치 배열 구조

Fig. 2. The configurations of the allocation of bare chips and the substrate alignment following the variables of designing modules.

다음 변수는 칩 실장면 수를 고려할 수 있는데, 각 변수에 따른 최적의 형태를 구한 다음, 그림 2.마와 같이 칩을 단면실장시키는 경우와 그림 2.사와 같이 양면실장시키는 경우로 나누어 볼 수 있다. 이와 같은 배치 조건들을 분류하면 표 1과 같이 36가지로 나타낼 수 있다. 배선 층 수에 대해서는 2층에서부터 변화시켜 가며 배선효율을 살펴보았다. 마지막으로 실장되는 칩 수는 bit 수가 칩 수를 결정할 수 있게 하여 8 bit, 16 bit, 32 bit 모듈을 구성하여 칩 수에 따른 변화를 살펴보았다.

위의 같은 모듈 설계 변수에 따라 자동배선하면 배선길이와 배선면적을 구할 수 있고, 이로 부터 배선 밀도(cm/cm²)와 칩 점유율(F_c)을 계산할 수 있다. 총

배선길이(L_T)는 배선에 사용된 배선길이이며, 평균 배선길이(L_A)는 총 배선길이를 총 net 수로 나눈 값이다. 이 때, net란 한 단자와 다른 단자를 연결하는 선을 의미한다. A_T 는 전체 모듈 면적, A_R 은 배선에 만 사용된 모듈 면적, A_P 는 모듈 단자 패드가 차지하는 면적을 나타낸다. A_L 은 한 배선층당 배선에 의해 차지되는 면적을 의미하며, $A_L = (\text{총 배선길이}) \times (\text{선폭}) / (\text{배선층 수})$ 로 정의된다. 위의 변수를 이용하여 배선밀도(D_i)(cm/cm²)와 칩 점유율(F_c)을 계산할 수 있는데 배선밀도 $D_i = L_T / A_R$ 로 표시되어 배선 효율성을 나타내며, 칩 점유율은 총 배선면적 중에서 칩이 차지하는 면적을 백분율로 나타낸 값으로 모듈 배선 효율성을 나타낸다.

한편, 배선에 요구되는 총 배선 길이 L_T 은 $L_T = 1.5P(1.5 N_T/2)$ 의 공식에 의해 주어진다.^[4,19] 여기서, P = 부품 간의 피치, N_T = 총 입출력 단자 수이다. 본 실험에서 사용된 각 DRAM 칩의 단자 수는 18 개이고, 메모리 모듈은 8 개의 칩이 구성되어 한 개의 모듈을 구성하므로 칩 단자 수는 모두 144 개가 된다. 또한 모듈 단자는 메모리 모듈 회로에서 구성되는 것과 같이 24 개이므로 $N_T = 168$ 개가 된다. 따라서 요구되는 총 배선 길이는 8 bit 모듈의 구조에서는 $L_T = 189P$ 가 된다. $P = 0.9$ cm 라고 하면, $L_T = 170$ cm 가 된다. 또한, 칩 한 개당 모듈에서 차지하는 면적은 $S(c) = aM^{2m-1} + b$ 의 식과 같이 표현될 수 있다.^[4] 여기서, a = 면적에 사용된 계수, b = 칩 면적, M = 사용된 칩 수, m = 모듈에 대한 지수이다. 모듈 기판에서의 신호 전송속도 v 는 기판의 유전율 ϵ_r 에 관계되며 선로에 대한 지연시간 t_d 는 아래와 같이 주어진다. 여기에서 c 는 광속도, l 은 net의 길이이다. 기판의 유전율 $\epsilon_r = 4.7$ 이고, $c = 3 \times 10^{10}$ cm/sec 이므로, $v = c / \sqrt{\epsilon_r} = (3 \times 10^{10} \text{ cm/sec}) / \sqrt{4.7} = 13.84$ cm/nsec 로 1 nsec당 13.84 cm의 전송 속도를 나타내게 된다.

IV. 배선결과 및 분석

배선설계의 변수에 의한 영향을 살펴볼 수 있도록 메모리 모듈 기판은 MCM-L 공정 기술을 쉽게 적용할 수 있는 FR-4 기판을 이용하였다. 신호선폭은 FR-4 기판의 최소 제조 가능한 선폭인 5 mil로 하였으며, 전원선과 접지선의 선폭은 안정된 전원의 공급과 접지를 이루기 위하여 9 mil로 하였다. 선 피치는 20

mil로 하였고, 비아 홀 패드의 직경은 20 mil (0.5 mm)로 하였으며, 비아 홀의 구경은 12 mil (0.3 mm)로 하였다. 메모리 모듈을 구성할 때, Bare 칩을 사용할 경우와 패키징된 칩을 사용할 경우가 기판 위의 칩 착지 패드(landing pad)의 크기가 다르므로 bare 칩을 사용할 경우에는 칩 착지 패드 크기를 250 μm x 250 μm 로, 패키징된 칩을 사용할 경우에는 500 μm x 500 μm 로 정하였다.

1. 8 bit 모듈

1) 단면 실장

모듈 설계 변수에 따라서 그림 2와 같이 단자 배열과 칩 배치를 결정하였다. 칩 단자와 모듈 단자 배열 방향에 대한 변수는 BD8-SD1, BD8-SD2로 나타내어질 수 있으며, 이것은 모듈 패드 배열면 수를 1 면으로 하고, 칩을 단면으로 실장하고 칩을 1 열로 배열시켰을 때인데, 그 중 BD8-SD1은 칩 단자와 모듈 단자의 배열 방향을 평행하게 배열시킨 형태이고, BD8-SD2 구조는 BD8-SD1 구조에 비해서 칩들을 90도 회전시켜서 배열하여 칩 단자와 모듈 단자가 서로 수직되게 배열시킨 형태가 된다.

위의 배치방법에 따라 자동배선을 실행한 결과 8 bit 모듈을 구성하는 경우 총 net의 수는 162개로, 평균 배선길이는 BD8-SD1 구조의 경우 7.41 cm, BD8-SD2는 13.30cm이었으며, 총 배선면적은 BD8-SD1이 13.5cm², BD8-SD2는 28.8cm²로 나타났다. 따라서, 평균 배선길이에 있어서 칩 단자와 모듈 단자의 배열방향이 평행한 구조(BD8-SD1)가 배열방향이 수직인 구조(BD8-SD2)의 56%로 나타났으며, 총 배선 면적에 있어서는 47%로 나타났다. 따라서 칩 단자와 모듈 단자는 서로 평행하게 배열시키는 것이 바람직한 것으로 나타났다.

같은 방법으로 BD8-SD3과 BD8-SD4 구조는 칩을 가로 방향으로 4 개, 세로 방향으로 2 열로 배열하면서, 칩 단자와 모듈 단자 배열이 서로 평행하게, 수직하게 칩을 배치하였다. 자동배선을 실시한 결과 평균 배선길이는 BD8-SD3이 9.86 cm, BD8-SD4는 11.63cm이었으며, 총 배선면적은 BD8-SD3이 18.0cm², BD8-SD4는 25.0cm²이었다. 이 결과들을 BD8-SD1, BD8-SD2와 비교해 보면, 칩 단자와 모듈 단자의 배열방향이 평행한 구조로 하고, 칩은 1 열로 배치하는 것이 배선효율을 높일 수 있는 것을 알 수 있다. 이에 따라 모듈 배치 배선의 최적 구조인 BD8-SD1 구조의 평균 신호전송지연시간을 계산해 보면 평균 배선길이가 1 = 7.41cm로 0.54nsec가 됨을 보여 주었다.

위의 결과 (BD8-SD1)를 토대로 모듈 단자 패드 배

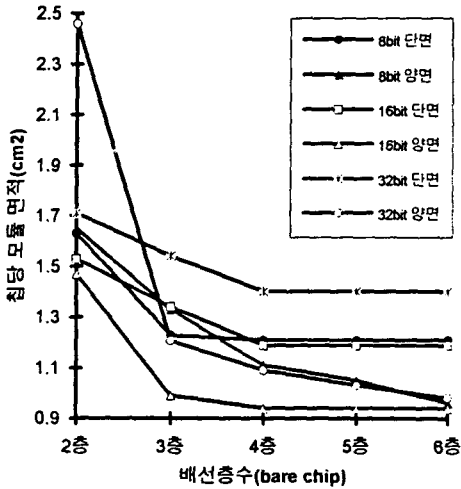
열 면 수를 변화시켜 보았다. 그 결과 평균 배선길이는 모듈 단자 배열면 수가 1 면에서 4 면으로 증가함에 따라 7.41cm(BD8-SD1, 1 면), 7.09cm(BD8-SD9, 2 면), 7.32cm(BD8-SD15, 4 면)로 나타나서 모듈 단자의 패드 배열면 수가 2 면인 구조(BD8-SD9)가 배선 효율이 좋은 것으로 나타났다.

배선층 수에 따른 배선의 영향은 배선 효율이 가장 높이가 나타난 BD8-SD9 구조를 기준으로 삼아 배선층 수를 2 층에서부터 6 층까지 증가시켜 가면서 배선을 시도하였다. 즉, 칩 단자와 모듈 단자 배열방향을 서로 평행하도록 배치하고 칩을 2열로-가로 방향으로 4 개, 세로 방향으로 2열로- 배열하며, 모듈 단자의 패드 배열면수는 2 면으로 고정시킨 다음 배선층 수를 변화시켰다. 배선 층수를 2 층(BD8-SD9), 3 층(BD8-ST9), 4 층(BD8-SQ9), 5 층(BD8-SP9), 6 층(BD8-SH9)으로 증가시키며 배선한 결과 평균 배선길이가 7.09cm(BD8-SD9)에서 6.68cm(BD8-ST9), 6.69cm(BD8-SQ9), 6.30cm(BD8-SP9), 6.26cm(BD8-SH9)로 감소하였다. 총 배선면적도 15.0cm²(BD8-SD9), 11.3cm²(BD8-ST9), 11.3cm²(BD8-SQ9), 11.3cm²(BD8-SP9), 11.3cm²(BD8-SH9)로 감소하였다. 이에 따라 배선층 수가 증가함에 따라 6 층인 구조(BD8-SH9)가 배선층 수가 2 층인 구조(BD8-SD9)를 기준으로 하였을 때, 평균 배선 길이에 있어서 6 층 구조(BD8-SH9)가 88%를, 총 배선면적에 있어서는 6 층 구조가 75%로 최적의 값을 보여주었다. 이와 같은 결과는 그림 3에 나타났듯이 칩 단자가 2 면으로 배치된 칩을 이용하여 모듈을 구성할 경우, 칩 단자와 모듈 단자를 평행하게 칩을 1 열로 모듈 단자는 2 면으로 배선층 수는 6 층으로 배열하는 것이 배선 면적과 배선길이를 줄일 수 있었지만 배선 효율면에서는 4 층 배선 구조부터는 모듈 면적이 변화하지 않으므로 4 층으로 배선하는 것이 배선밀도를 높일 수 있어 가장 효율적임을 보여 주었다.

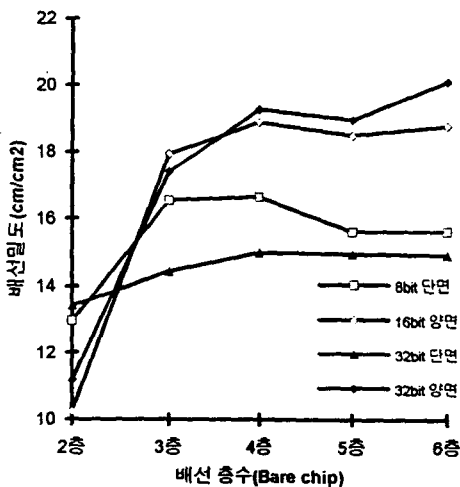
2) 양면 실장

DRAM 칩을 양면실장시킨 경우에는 단면실장에서 나타난 결과를 토대로 배선설계 변수들을 변화시켜 가며 배선효과를 살펴 보았다. 즉, 칩 단자와 모듈 단자를 평행하게 칩은 각 실장기판 면에 1 열로 배치하고, 모듈 단자는 2 면으로 배치한 다음 배선층 수를 변화시켜, 배선 효율 면에서 양면 실장이 주는 영향을 살펴 보았다. 자동배선을 실행한 결과 평균 배선길이는 7.17cm(BD8-DD9), 6.37cm(BD8-DT9), 6.01cm(BD8-DQ9), 6.17cm(BD8-DP9), 6.30cm(BD8-DH9)로, 총 배선면적은 15.0cm²(BD8-DD9), 12.6cm²(BD8-DT9), 11.6cm²(BD8-DQ9), 10.2cm²

(BD8-DP9), 9.7cm²(BD8-DH9)로 나타나서 배선층 수가 2 층에서 증가함에 따라서 배선길이와 배선면적이 감소하다가 4 층이상에서는 다시 증가하는 것을 보여 주어 양면 실장의 경우는 배선층수를 4 층으로 구성하는 것이 배선효율을 높일 수 있음을 알 수 있었다.



(a)



(b)

그림 3. Bare 칩 실장 모듈에서 배선층 수의 변화에 따른 a) 칩당 차지하는 모듈 면적과 b) 배선 밀도의 변화

Fig. 3. The variation of a) the module area per chip and b) the wiring density as varying the number of wiring layer in the bare chip mounted modules.

이 결과를 앞의 단면 실장구조에서 얻은 배선밀도와 비교하면 배선층 수의 변화에 따라서 단면일 때는 4층 구조로 양면 실장일 때는 6층 구조를 이루는 것이 효율적임을 알 수 있었다. 이 때 전송 지연 시간은 양면 실장이나 단면 실장 모두 0.46 nsec의 지연 시간을 보여 주어 최적 조건을 보여주었다.

2. 16 bit DRAM 모듈

16 bit 모듈 구성이 8 bit 모듈 구성과 다른 점은 실장되는 칩 수가 bit 수와 같이 16 개의 칩이 실장된다는 점이다. 따라서 16 bit 모듈 구성에 있어서는 8 bit 모듈 구성에서와 같은 방법으로 모듈 배선 변수들을 변화시켜 가면서 배선밀도와 배선 면적의 변화를 살펴볼 수 있었다. 칩의 배열은 그림 2와 같이 1 열(BD16-SD1), 2 열(BD16-SD3), 4 열(BD16-SD5)로 변화시켰고, 칩 단자와 모듈 단자의 배열방향은 8 bit 모듈 배선에서 얻은 결과와 같이 서로 평행하도록 고정된 후, 모듈 단자의 패드 배열면 수를 1 면으로 하고, 2층으로 배선하였다. 자동배선을 실행한 결과, net 수는 총 323개로, 평균 배선길이는 9.89cm(BD16-SD1), 12.37cm(BD16-SD3), 16.44cm(BD16-SD5)로 나타났고, 총 배선면적은 32.8cm²(BD16-SD1), 33.0cm²(BD16-SD3), 37.7cm²(BD16-SD5)로 나타나서 칩 수를 16 개로 증가시킨다 하더라도 칩 16 개를 1 열로 배열하는 것이 배선 길이와 배선 면적을 줄일 수 있음을 보여 주었다.

모듈 단자의 패드 배열면 수에 대한 변화도 2 면으로 배열하는 것이 다른 구조보다 효율적임을 보여 주었다. 즉 모듈 단자의 패드 배열면 수를 1 면(BD16-SD3), 2 면(BD16-SD9), 4 면(BD16-SD15)으로 하여, 자동배선을 실행한 결과, 평균배선 길이에 있어서 모듈 단자 배열면 수가 4 면인 경우(BD16-SD15)가 9.86 cm로, 총 배선면적에 있어서는 모듈 단자 배열 면 수가 2 면인 경우가 28.0 cm로 가장 작은 값을 보여 주었지만 배선밀도를 계산해 보면 2면으로 모듈 단자를 구성하는 것이 14.8 cm/cm²로 효율적인 것으로 나타났다.^[19] 이 결과는 8 bit 모듈 구성에서 얻은 결과와 같은 것으로 모듈 단자 배열면 수는 2 면으로 하는 DIP 형태가 배선 효율을 높일 수 있는 것으로 나타났다.

배선층 수에 대한 영향도 8 bit 모듈 구성에서 보여 준 것과 비슷한 결과를 보여 주었는데, 그림 4에 나타난 것과 같이 배선 밀도가 단면 실장일 때는 4층 배선 구조에서 15.84 cm/cm²로, 양면실장일 때 6층 배선 구조에서 18.8 cm/cm²로 나타나서 단면 실장일 때는 4층 배선 구조가 양면실장일 때는 6층 배선 구조가 효율적인 것으로 나타났다.

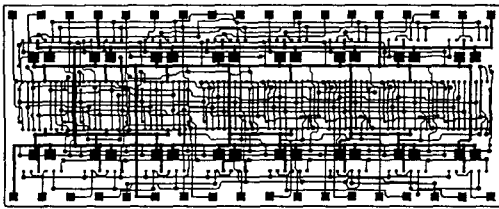


그림 4. Bare 칩 실장하여 4M × 16 bit 모듈을 구성한 배선도

Fig. 4. The wiring layout of a 4M × 16 bit module mounted with bare chips.

3. 32 bit 모듈

32 bit 모듈 구성 방법은 16 bit 모듈과 8 bit 모듈 구성 방법과 같이 구성하였으며, 8 bit와 16 bit 모듈 구성에서 얻은 결과를 이용하여 배선 설계 변수를 변화시켰다. 모듈 단자의 배열면 수를 1 면으로 고정 한 후, 칩 단자와 모듈 단자의 배열방향을 서로 평행하도록 고정하였다. 먼저, 칩의 배열 수를 1 열(BD32-SD1), 2 열(BD32-SD3), 4 열(BD32-SD5)로 변화시켜 자동배선을 실행한 결과, 칩은 1 열로 배열하는 것이 가장 효율적인 것으로 평균 배선길이는 15.64cm(BD32-SD1)로 총 배선면적은 72.6cm²(BD8-SD1)로 나타났고 8 bit 모듈과 16 bit 모듈 구성에서와 같은 결과를 보여 주었다.

모듈 단자의 배열면 수에 대한 영향은 칩이 2 열로 배열된 BD32-SD3를 기준으로 하여 모듈 단자 배열면 수를 변화시켰다. 그 이유는 1 열로 칩 32 개를 배치 할 경우에는 길이가 31cm를 넘기 때문에 너무 길어서 모듈로서의 모습이 적합하지 않기 때문이다. 배선 결과, 모듈 단자의 패드 배열면 수는 평균 배선길이에 있어서는 모듈 단자의 배열면 수가 4 면인 구조(BD32-SD15)가 최소의 값을 보여 주었고, 총 배선 면적에 있어서는 모듈 단자의 배열면 수가 2 면인 경우(BD32-SD9)가 최소의 값을 보여 주었다. 이에 따라 배선 밀도를 계산한 결과 모듈 단자 배열 면 수가 2 면으로 구성되었을 때 13.42cm/cm²으로 가장 효율적임을 보여 주었다. 따라서, 32 bit 모듈 구성에서도 모듈 단자 배열 면 수를 2 면으로 구성하는 것이 효율적으로 나타났다.

배선층 수에 대한 변화는 BD32-SD9를 기준으로 삼아 배선층 수를 2 층에서부터 6 층까지 증가시키면서 배선을 시도하였다. 자동배선을 실행한 결과 그림 3과 같이 4 층 배선 구조(BD32-SQ9)가 평균 배선길이에 있어서 12.90cm를, 배선면적에 있어서는 51.8cm²로 최

적의 배선 구조를 보여주었다. 32 bit 모듈의 양면 실장구조에서도 단면 실장의 경우와 같이 배선을 시도하였는데, 모듈 단자의 패드 배열면 수는 2 면으로, 칩 단자와 모듈 단자의 배열방향을 서로 평행하게, 칩을 2 열로 배열하였다. 이 때, 평균 배선길이에 있어서는 5 층 배선 구조(BD32-DP9)가 12.02cm로 배선 면적은 6 층 구조가 34.9cm²로 최소의 수치를 보여 주었으며, 배선밀도는 6 층 배선구조(BD32-DH9)가 20.1 cm/cm²로 효과적으로 나타나서, 32 bit 모듈을 구성할 경우에는 양면 실장하여 6층 구조로 설계하는 것이 효율적인 것으로 나타났다. 이 결과는 그림 3에 나타난 결과와 같이 단면 실장을 하면 8 bit 모듈이나 32 bit 모듈, 모두 4층 배선 구조부터 최적의 값을 보여 주었고 배선층 수를 더 증가시킨다 하더라도 배선밀도와 칩당 모듈 면적이 포화 상태로 나타남을 보여 주었다. 양면 실장을 시킬 경우는 6층 배선구조까지 계속해서 배선효율을 개선시킬 수 있음을 알 수 있었다. 본 실험에서는 6 층 이상의 배선 구조는 배선 효율을 떨어뜨리기 때문에 6 층까지만 변화시켜 보았다.

4. 패키징된 칩을 사용한 DRAM 모듈

패키징된 칩을 이용하여 DRAM 모듈을 구성하는데 있어서는 bare 칩을 사용하여 모듈을 구성하는 경우와 같이 그림 5에 표시된대로 구성하였다. 사용된 패키징된 칩의 크기는 700mil × 360 mil이었으며 칩의 남쪽에 사용되는 모듈 기판에서의 칩 착지 패드의 크기는 500 μm × 1 mm로 하였으며 모듈 단자의 패드 크기는 1 mm × 1 mm로 하였다. 본 실험에서는 bare칩을 사용하여 8 bit 모듈 설계할 때와 같은 배선 변수를 가지고 배선작업을 수행하였다. 즉 배선 변수로는 칩 단자 배열 방향, 칩 배열 방법, 모듈 단자의 패드 배열면 수, 배선층 수, 칩 실장면 수를 생각해 볼 수 있다.

패키징된 칩을 이용하여 8 bit 모듈을 구성하였을 때는 칩 단자와 모듈 단자의 배열 방향이 서로 수직으로 된 구조(PD8-SD2)가 평균 배선 길이는 12.35 cm로, 총 배선 면적은 33.2cm²로 나타나서, 서로 평행하게 배열된 구조에 비하여 배선 효과가 좋은 것을 보여 주었고, 칩 배열 방법에 있어서는도 1 열, 2 열로 배열하는 방법 가운데 1 열로 배열하는 것이 좋은 결과를 나타내었다. 또한 모듈 단자의 패드 배열면 수에 의한 영향에 대한 조사에 있어서는도 칩 단자와 모듈 단자를 서로 수직되게 하고, 칩을 2 열로 배열한 다음 배선 효과를 살펴본 결과, 모듈 단자 패드 배열 면 수를 2 면(PD8-SD10)으로 하는 것이 배선 면적을 최소로 할 수 있고 배선 길이를 줄일 수 있음을 볼 수 있

었다.

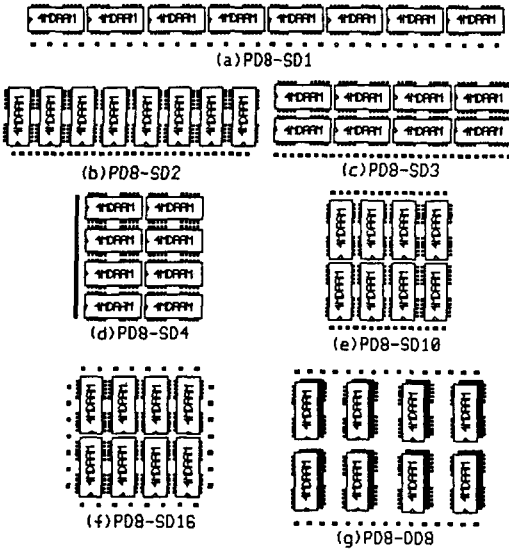


그림 5. 모듈 설계 변수에 따른 packaged 칩 배치 배열 구조

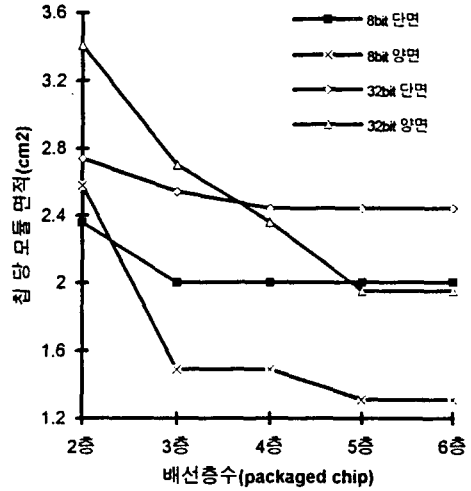
Fig. 5. The configurations of the allocation of packaged chips and the substrate alignment following the variables of designing modules.

배선 층 수가 2 층에서 부터 6 층으로 증가함에 따른 배선밀도를 살펴본 결과 그림 6과 같이 패키징된 칩을 사용하여 8 bit 모듈을 구성할 때는 단면 실장을 할 경우, 3 층 배선 구조(PD8-ST10)를 쓰는 것이 좋은 것으로 나타났다. 한편 양면 실장 구조를 사용할 경우에는 5 층(PD8-DP10)으로 배선하는 것이 배선 길이와 배선 면적을 최소화할 수 있어 효과적임을 볼 수 있었다.

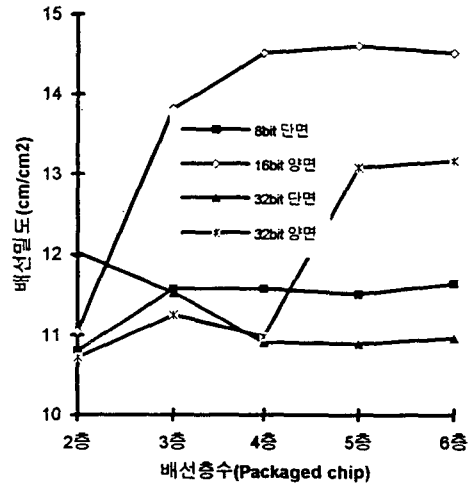
따라서 패키징된 칩을 사용하여 8 bit 모듈을 구성하면 bare칩을 사용하여 모듈을 구성하는 것과는 달리 칩 단자와 모듈 단자를 서로 수직되게, 칩은 1 열로 배치하고, 단면실장일 때는 3 층(PD8-ST2)으로, 양면실장일 때는 5 층(PD8-DP2)으로 배치 배선하는 것이 효과적임을 알 수 있었다.

16 bit 모듈을 구성할 때도 같은 결과를 얻었는데 칩 단자와 모듈 단자를 서로 수직되게 하고, 모듈 단자 패드 배열 면 수를 2 면으로 한 다음 단면 실장을 할 때는 3 층 배선 구조를 이루는 것이, 양면 실장을 할 때는 5 층 구조를 이루는 것이 효과적인 것으로 나타났다. 32 bit 모듈을 구성할 때도 비슷한 결과를 얻었는데 16 bit 모듈 구성할 때와 같이 칩 단자와 모듈 단자배열을 서로 수직되게 하고, 모듈 단자 패드 배열

면 수를 2 면으로 한 다음, 단면 실장을 할 때는 4 층 배선 구조를 이루는 것이, 양면 실장을 할 때는 5 층 구조를 이루는 것이 그림 6에 정리된 것과 같이 칩당 차지하는 모듈 면적과 배선밀도 면에서 효과적인 것으로 나타났다.



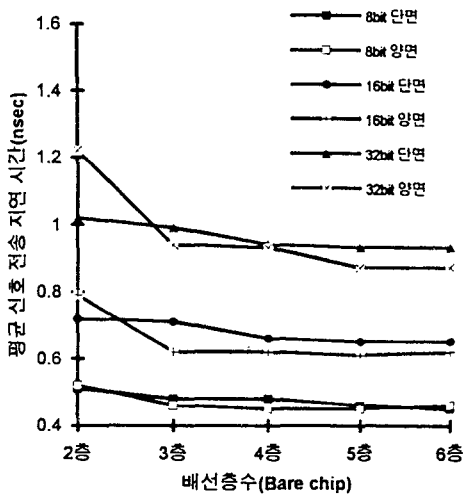
(a)



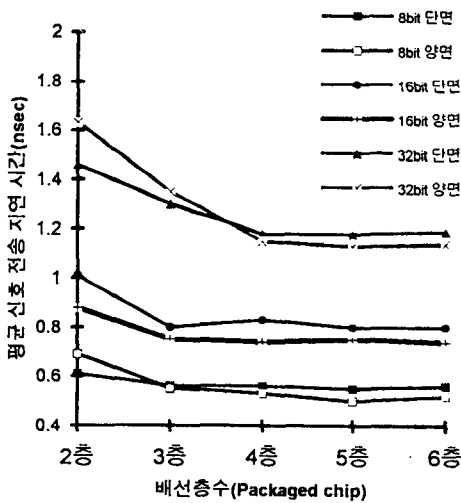
(b)

그림 6. Packaged 칩 실장 모듈에서 배선층 수의 변화에 따른 a) 칩당 차지하는 모듈 면적과 b) 배선 밀도의 변화

Fig. 6. The variation of a) the module area per chip and b) the wiring density as varying the number of wiring layer in the packaged chip mounted modules.



(a)



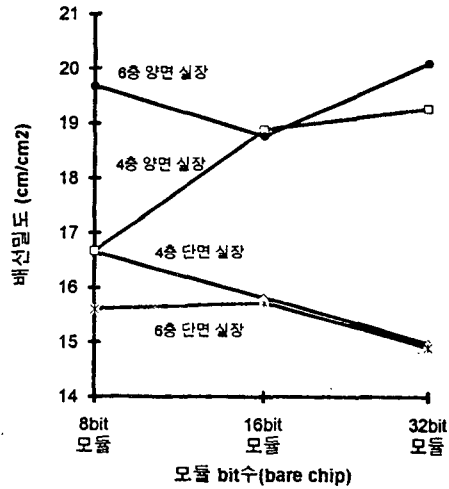
(b)

그림 7. 모듈의 배선층 수의 변화에 따른 평균 신호 전송 지연 시간의 변화 a) bare chip을 실장한 경우, b) packaged chip을 실장한 경우

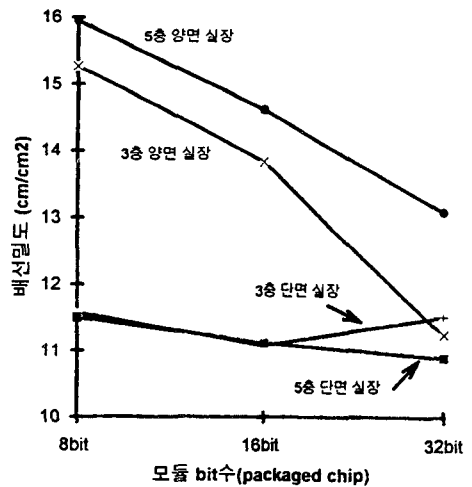
Fig. 7. The variation of the average delay time of signal propagation as varying the number of wiring layer of the module a) in the case of mounting bare chips and b) in the case of mounting packaged chips.

이에 따라 배선 밀도를 계산하고 비교한 결과 bare 칩을 사용하여 모듈을 구성할 때는 칩 단자와 모듈 단자는 서로 평행하게, 칩은 1 열로, 모듈 단자 배열은 2 면으로 구성하고, 단면 실장일 때는 4 층 배선으로, 양면 실장일 때는 6 층으로 배선하는 것이 배선 효율을

높일 수 있고, 패키징된 칩을 사용하여 모듈을 구성하면 칩 단자와 모듈 단자는 서로 수직되게, 칩은 1 열로, 모듈 단자 배열은 2 면으로 구성하고, 단면 실장일 때는 3 층 배선으로, 양면 실장일 때는 5 층으로 배선하는 것이 배선 효율을 높일 수 있음을 알 수 있었다.



(a)



(b)

그림 8. 모듈 bit 수의 배선밀도의 변화 a) bare chip을 실장한 경우, b) packaged chip을 실장한 경우

Fig. 8. The variation of the wiring density by varying the number of module bit.

이와 같은 결과는 2 장의 배선길이 구하는 식에 따라 계산한 수치보다 더 작은 배선 길이로 구성되었고, 그림 7과 같이 모듈 배선 길이에 의해서 나타나는 평균 신호 전송지연 시간을 비교해 봄으로써 알 수 있

는데 bare 칩을 사용하여 모듈을 구성할 경우 단면 실장일 때는 4 층 배선구조에서 양면 실장일 때는 5-6 층 배선구조에서 최소의 값을 보여 주고, 패키징된 칩을 사용하면 단면실장인 경우는 3-4 층, 양면 실장일 경우에는 5-6 층 구조에서 최소의 값을 보여 주었다. 모듈에 실장되는 칩 수에 따라서 변화하는 배선편차를 그림 7과 그림 8에 나타낼 수 있는데 실장되는 칩 수가 증가함에 따라 net 간에 소요되는 평균 배선길이는 증가하며 이에 따라 평균 신호 전송 지연 시간도 칩 수가 2 배로 증가함에 따라 약 50%씩 증가함을 볼 수 있었다. 그림 8은 칩 수가 증가함에 따른 배선밀도의 변화를 보여 주는데, 칩 수가 증가함에 따라 배선밀도가 감소함을 보여 주었다. 다만 bare 칩을 실장할 경우에는 칩 수를 증가시켜도 배선밀도를 계속 증가시킬 수 있어서 MCM-L 기술의 적용은 양면 실장에서 bare chip을 이용하여 MCM 메모리 모듈을 구성할 때 효과적인 것을 알 수 있었다.

V. DRAM 모듈 제작

본 실험에서는 위의 배선 실험 결과에 따라서 DRAM 모듈을 제작하였을 때 설계상에서 고려한 변수 이외에 작용하는 변수가 있는지 살펴보기 위해서 모듈을 제작하여 성능을 측정하여 보았다. MCM-L 기술로서 기존의 인쇄회로기판의 재질과 생산 기술로 유전율이 4.7 정도이고 구리와 glass-epoxy로 구성된 0.8mm 두께의 양면 인쇄회로기판을 사용하여 DRAM을 제작하였다. 기판과 bare 칩의 부착은 Si 수지로 부착한 후 90°C의 oven에서 10분 동안 가열하였다. 칩과 기판을 전기적으로 연결하기 위한 칩 수준에서의 연결 방법으로는 전선본딩(wire bonding)을 이용하였으며, 전선 금속으로 Al을 사용하여 ultrasonic bonder(KULICKE & SOFFA 4123 WEDGE BONDER)를 이용하여 연결하였다.^[20] 이 때 기판의 온도를 50°C-60°C, 본더 tip의 압력을 4-5 psi로 유지하였으며, 본딩 시간은 0.3-0.5 sec이었다. 전선 금속으로 25 μ m 직경의 Al을 사용하였으며, 이 때의 본더의 전력은 3.5W-4W이었다. 외부 환경으로부터의 모듈을 보호하고 신뢰성 및 안정성을 유지하기 위한 밀봉과정은 Si 수지를 사용하여 1 mm 두께로 도포하였다.^[4] 한편 제작된 MCM 기판과 패키징된 칩의 전기적 연결은 납 전기도금을 통하여 납을 도금한 후 soldering을 통하여 이루었다.

앞의 모듈 배선작업을 통하여 얻어진 결과를 토대로 bare 칩과 패키징된 칩을 이용하여 각각 4M×8bit, 4M×16bit, 4M×32bit DRAM 모듈을 제작하였다.

8bit DRAM 모듈의 제작에서 bare 칩을 사용한 경우는 BD8-SD1 구조를 선택하여, 패키징된 칩을 사용한 경우는 PD8-SD1 구조를 선택하여 모듈을 제작하였다. 16bit 와 32 bit DRAM 모듈 제작에서도 같은 구조를 선택하여 DRAM 메모리 모듈을 제작하였다.

bare 칩과 패키징된 칩을 사용한 경우 제작된 모듈이 서로 비교될 수 있도록 모두 신호선폭을 125 μ m, 전원선과 접지선의 선폭은 225 μ m, 선 피치를 500 μ m로 하였으며, 비아 홀의 크기는 500 μ m의 원형을 사용하였으며, 모듈 패드의 크기는 1000 μ m×1000 μ m로 하였다. bare 칩을 사용한 경우에는 칩 패드의 크기는 250 μ m×250 μ m로 하였으며, 칩 패드 피치는 최소 750 μ m로 하였다. 패키징된 칩을 사용한 경우에는 칩 패드의 크기는 500 μ m×1000 μ m로 하였으며, 칩 패드 피치는 1250 μ m로 하였다. 신호선폭과 전원선과 접지선의 선폭은 식각할 때 over etching 되어 각각 100 μ m, 200 μ m가 되었다.

표 2. DRAM 다중칩 모듈의 제작 결과

Table 2. The results of fabricating DRAM multichip modules.

	8 Bit 모듈		16 bit 모듈		32 bit 모듈	
	bare 칩 사용	패키징된 칩 사용	bare 칩 사용	패키징된 칩 사용	bare 칩 사용	패키징된 칩 사용
총배선길이	178cm	182cm	331cm	460cm	734cm	1054cm
평균배선길이	7.41cm	7.60cm	12.37cm	13.95cm	14.11cm	20.27cm
모듈 면적	13.5cm ²	18.1cm ²	33.0cm ²	46.5cm ²	62.0cm ²	98.1cm ²
모듈 두께	0.33cm	0.45cm	0.33cm	0.45cm	0.33cm	0.45cm
모듈 무게	4.46cm ³	8.15cm ³	10.89cm ³	20.93cm ³	20.46cm ³	44.15cm ³
모듈 무게	3.11g	10.83g	7.12g	23.72g	16.45g	48.46g
신호전송 지연시간	0.54nsec	0.55nsec	0.89nsec	1.01nsec	1.02nsec	1.46nsec

모듈 제작에 대한 결과는 표 2에 정리된 것과 같이 8 bit 모듈에서 bare 칩을 실장할 경우 총 배선길이가 178cm, 모듈 무게는 3.11g, 신호전송 지연시간은 0.54nsec이었다. 패키징된 칩을 사용한 경우에 총 배선길이는 182cm, 모듈 무게는 10.83g, 신호전송 지연시간은 0.55nsec로 나타났다. 16 bit와 32 bit 모듈이 제작된 결과도 표 2에 정리하였다. 이 결과에서도 볼 수 있듯이 bare 칩을 실장하여 모듈을 구성하면 패키징된 칩을 사용하는 경우보다 평균 배선 길이를 감소시킬 수 있는데 이것은 모듈의 규모가 커지면 커질수록 그 효과가 더 크게 나타난다. 모듈 면적을 보면 약 50% 정도의 감소 효과를 볼 수 있다. 이것으로

인하여 신호 전송효과가 증대되고 무게는 약 1/3 정도로, 부피는 약 1/2 정도로 줄일 수 있음을 볼 수 있었다. 따라서 bare chip을 사용함으로써 모듈의 소형 박판화를 기할 수 있고, 무게를 가볍게 할 수 있으며 noise성분과 동작 주파수 특성을 향상시키는 근원이 되는 배선길이를 감소시키는 장점이 생긴다.

제작된 메모리 모듈이 동작하는가를 보기 위하여 메모리 모듈 성능 시험기를 이용하여 검사하였다.^[15] 본 실험에서 수행한 메모리 칩의 성능 시험이란 주소 영역 전체에 걸쳐 데이터 쓰기/읽기를 반복함으로써 메모리 칩이 정상적으로 동작하는지를 알아보는 것이다.^[15] 즉 전 주소에 걸쳐 0과 1의 쓰기/읽기를 실시한 후 쓰여진 데이터 값과 읽은 데이터 값을 서로 비교하여 오류를 검출하는 것이다. 먼저 메모리 모듈 테스트 보드를 초기화시키고 전 주소에 걸쳐 데이터 쓰기/읽기를 실시하고 100 %의 쓰기/읽기 동작을 하므로 정상적으로 동작함을 확인하였다.

VI. 결 론

고속 대용량 DRAM 모듈을 효율적으로 제작하기 위하여 배선 설계 변수를 중심으로 배선 효과를 살펴본다. 실험 결과, 모듈 단자와 칩 단자 배열은 bare 칩을 사용하는 경우에는 서로 평행하게, 패키징된 칩을 사용하는 경우에는 서로 수직되게 배치하는 것이 배선 효과를 높일 수 있으며 칩은 1 열로 배치하는 것이 모듈 면적, 평균 배선 길이를 최소화할 수 있고, 모듈 단자 배열면 수에 대해서는 모듈 단자를 칩 단자의 배열 형태와 같이 2 면으로 하였을 때 가장 효율적으로 배선시킬 수 있음을 알 수 있었다. 배선층 수에 대해서는 bare 칩을 실장하면 단면실장일 때는 4층 구조가, 양면 실장일 때는 6 층 배선 구조가 효과적이며, 패키징된 칩을 실장하는 경우에는 단면실장일 때는 3 층 배선구조가 양면실장인 경우에는 5 층 배선 구조가 효율적임을 알 수 있었다. 또한 양면실장을 할 경우에는 단면실장하는 경우에 비해서 배선 밀도를 증가시킬 수 있고, 칩 점유율도 증가되어서 양면에 칩을 실장시키고 배선하는 것이 효율적인 것으로 나타났다. 위의 결과를 토대로 배선할 경우 모듈 기판에 의해서만 전송 지연되는 시간은 0.45-1.0 nsec 정도로 단축시킬 수 있고, 모듈면적도 작게 할 수 있었다. 이 결과는 다중칩 모듈 구조로 메모리 용량을 확대한다 하더라도 대용량을 이루면서 동시에 고속으로 메모리 액세스가 임의로 가능한 메모리 모듈 설계 구조를 구성할 수 있다는 것을 보여 주고 있다. 따라서 반도체 메모리 구조를 이용하면 임의의 액세스(random access)가 가능하고 1

Terrabit 이상의 대용량 고속 메모리를 요구하는 멀티미디어 저장장치로 사용될 수 있었다.

참 고 문 헌

- [1] B. Prince, Semiconductor Memories, John Wiley & Sons, pp. 271, 1991.
- [2] A.A. Evans and J.K. Hagge, "Advanced Package Concepts: Micro-electronics Multiple Chip Modules Utilizing Silicon Substrates", Proc. 1st Int. SAMPE Electron Conf., pp. 37-45, 1987.
- [3] D.P. Seraphim, R.C. Lasky, and C.-Y. Li, Principle of Electronic Packaging, McGraw-Hill, 1989.
- [4] R.R. Tummala and E.J. Rymaszewski, Microelectronics Packaging Handbook, Van Nostrand Reinhold, pp. 56-57, 1989.
- [5] B.Schwartz, "Multilayer Ceramics," Materials Research Society Symposia Proceedings, 1985.
- [6] A.J.Blodgett, Jr., "A Multilayer Ceramic Multichip Module," IEEE Trans. on Comp., Hybrid, Manuf. Technol., Dec., 1980; "Microelectronic Packaging," Scientific American, July, 1983.
- [7] R.W. Johnson, R.K.F. Teng, and J.W. Balde, Multichip Modules, IEEE Press, 1991; J.W. Balde and R.W. Johnson, "Part I Introduction," Multichip Modules, IEEE Press, p.1-4, 1991; D.A. Doane and P.D. Franzon, Multichip Module Technologies and Alternatives, Van Nostrand Reinhold, 1993.
- [8] S.L. Jacobs and W.E. Guthrie, "A New Multichip Interconnect Technology, Proc. 1989 Internat. Electronic Packaging Symposium, 1989.
- [9] K.G. Heinen, W.H. Schroen, and D.R. Edwards, "Multichip Assembly with Flipped Integrated Circuits," Proc. 39th Electron Components Conf., pp. 672-680, 1989.
- [10] W.H. Schroen, "Packaging Design Challenges," pp. 5, TI, 1991.

- [11] G. Messner, "Laminate Technology for Multichip Modules," *Electron Packaging & Production, Special Supplement: Concurrent Engineering for Packaging, Fabrication & Assembly*, p. 32-40. Oct. 1992.
- [12] G.L. Ginsberg, *Printed Circuits Design*, McGraw-Hill, 1991.
- [13] H.B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI," Addison-Wesley, pp. 230-234, 1990.
- [14] C.S. Walker, *Capacitance, Inductance, and Crosstalk Analysis*, Artech House, 1990.
- [15] 김창연, 지 용, "128K × 8bit SRAM 메모리 다중칩 패키지 제작," *전자공학회 논문지* 제31권 3호, 1994.
- [16] Samsung, *Data Book: DRAM Module*, Samsung, 1992.
- [17] 이육양, *완벽 P-CAD 활용*, 가남사, 1993.
- [18] 박태병, "DRAM을 이용한 다중칩 메모리 모듈 구성에 관한 연구," *서강대학교 석사 논문*, 1994.
- [19] G. Messner, "Cost-Density Analysis of Interconnection," *IEEE Trans. Components, Hybrids, Manuf. Technol.*, vol. CHMT-10, no. 2, p. 143-151, 1987; P. Cinato and K. C. Young, Jr., "Optical Interconnections within Multichip Modules," *Opt. Eng.*, vol. 32, no. 4, p. 852-860, 1993.
- [20] B.L. Gehman, "Bonding Wire Micro-electronic Interconnections," *IEEE Trans. Components, Hybrids, Manuf. Technol.*, vol. CHMT-3(3), p. 375, 1980.

 저 자 소 개

池 龍(正會員) 제 31권 A편 제 3호
 현재 서강대학교 전자공학과 조교수



朴 泰 炳(正會員) 1967년 3월 5일
 생. 1992년 2월 서강대학교 전자
 공학과(공학사). 1994년 2월 서강
 대학교 전자공학과(공학석사).
 1994년 3월 - 현재 기아 자동차
 기술센터 전자 연구실. 주관심 분
 야는 Electronic Sys-tem Pac-

kaging, Car Navigation System.