

論文95-32A-2-10

Excimer laser로 재결정화한 LDD 구조의 poly-Si TFT 제작

(Fabrication of the LDD Structure poly-Si TFT with Excimer Laser Recrystallization Process)

鄭俊鎬*, 朴龍海*

(Jun-Ho Joung, and Yong-Hae Park)

요약

유리를 기판으로 사용하는 저온 공정으로 LDD 구조의 poly-Si TFT를 제작하여 그 전류 특성을 분석하였다. 전체 공정온도를 600°C이하로 유지하기 위해 poly-Si의 재결정법으로 Excimer laser annealing을 사용하였다. 제작한 LDD TFT는 LDD 간격을 0.3 μ m에서 3 μ m로 하였으며, 그 결과 on/off 전류비는 LDD 간격이 1.3 μ m이상에서는 포화되는 특성을 나타내었고, V_{th} 의 경우 LDD 간격이 0.8 μ m에서 4V로 고정됨을 알았다. 제작된 LDD 구조의 TFT특성을 non-LDD 구조의 TFT특성과 비교하여 누설전류를 발생시키는 TFT의 구조적, 물성적 원인을 분석하였다. 거기에서 poly-Si TFT의 누설전류가 gate-drain 사이의 전계에도 기인하지만 poly-Si내의 trap states에 영향을 받음을 알았다.

Abstract

The leakage current characteristics of the low temperature processed LDD structure poly-Si TFT is analyzed. The excimer laser technology was applied to the recrystallization process of poly-Si film and the maximum processing temperature was retained under 600°C. From the fabricated LDD space 0.3 μ m to 3 μ m, the best on/off current ratio could be obtained with the 1.3 μ m LDD space. And the threshold voltage did not increase more than 4V over 0.8 μ m LDD space. The characteristics of leakage current was compared to non-LDD structure TFT to analyze the mechanism of leakage current. Consequently, it could be concluded that the leakage current is strongly affected by the trap states as well as high electric field between gate and drain.

1. 서론

기존에 주류를 이루고 있는 TFT-LCD(Thin Film

Transistor - Liquid Crystal Display)는 그의 스위칭 소자로 a-Si TFT를 사용하고 있다. A-Si을 사용하여 제작된 TFT는 LCD에서 화소를 동작시키는데 필수적인 낮은 누설전류(leakage current) 특성을 쉽게 달성할 수 있을 뿐 아니라 공정 온도가 낮고, 제작 공정이 간단하여 대각선 3"이하의 소형에서 10"이상의 대형 LCD에 이르기 까지 폭넓게 이용되고 있다. 그러나 이러한 a-Si을 이용한 TFT-LCD의 경우 TFT자체

* 正會員, 三星電子 半導體部門 特殊事業部
(Samsung Electronics Semiconductor Business
Special Division)

接受日字 : 1994年 1月 11日

의 이동도가 $1\text{cm}^2/\text{V}\cdot\text{sec}$ 이하로 낮아 표시면적이 $20''$ 이상으로 대면적화될 경우 화소의 동작이 곤란해질 뿐 아니라, LCD소자의 구동에 필요한 회로의 기판집적성이 부족한 단점을 가진다. 이러한 a-Si TFT의 단점을 보완하고자 개발되고 있는 기술이 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 이동도를 가지는 poly-Si(다결정 실리콘) TFT 기술이다.

현재까지 poly-Si을 이용하여 구동회로를 일체화한 TFT-LCD를 제작하고자 하는 노력은 석영기판을 사용하여 1000°C 내외의 공정온도를 사용하는 고온공정^{1,2,1}과 strain point가 600°C 이하인 유리를 사용하여 저온에서 공정을 진행하는 저온공정³⁻⁶으로 나누어져 진행되어 왔다. 이 중에서 저온 공정을 사용하는 경우가 대화면 소자에의 응용 가능성으로 인해 더 큰 주목을 받고 있다. 저온 공정은 poly-Si막의 결정화법에 따라 poly-Si을 저온에서 장시간 열처리하는 SPC법^{6,7}과 laser를 사용하는 방법⁸⁻¹⁰으로 나눌 수 있다. 이러한 공정들 중에서 laser를 사용한 결정화법은 기판유리의 수축 문제를 해결할 수 있고 구동회로의 구성에서 필요한 높은 이동도 특성을 쉽게 달성할 수 있는 장점이 있다. 그러나 laser결정화법을 사용하여 TFT를 제작할 경우 낮은 gate전압에서 SPC방법에 비해 높은 누설전류 특성이 나타나는 단점이 있다.

TFT-LCD에서 화면의 flicker를 발생시키고, contrast ratio를 저하시키는 등의 영향을 나타내는 poly-Si TFT의 누설전류를 감소시키기 위한 연구는 1000°C 이상의 고온 공정을 중심으로 진행되어 오고 있는데, 이중 대표적인 것은 gate를 쌍으로 만들어주는 dual gate구조⁴와 TFT의 source, drain양단에 저농도 확산 영역을 만들어주는 LDD구조의^{11,12} TFT이다. 이 중에서 dual gate 구조의 TFT는 공정의 변경없이 설계의 변경만으로 제작할 수 있는 장점이 있으나 누설전류의 제어가 그다지 효과적이지 못하고 화소의 개구율(aperture ratio)이 떨어지는 단점이 있다. 반면 LDD 구조의 경우는 공정은 dual gate에 비해 복잡하나 thermoionic emission rate를 효과적으로 감소시킬 수 있어 누설전류의 차단측면에서 월등한 효과를 나타낸다^{13,14}. 최근에 이르러서는 TFT-LCD의 고화질화가 더욱 강조되어서 공정은 다소 복잡하지만 후자의 LDD구조를 사용하여 누설전류를 억제하는 방향으로 대다수의 연구가 모아지고 있다.

본 논문에서는 기존의 고온공정으로 제작된 소자가 소형의 LCD에 국한되어 사용되어지는 문제점을 극복하기 위해 저온공정으로 소자를 제작하였다. 이를 위해 excimer laser를 poly-Si의 재결정화에 사용하여, 공정온도를 600°C 이하로 낮추었다. 실험은 LDD의 간격

을 $0.3\mu\text{m}$ 에서 $3\mu\text{m}$ 까지 달리한 poly-Si TF를 제작한 후 그의 LDD 간격에 따른 특성변화를 알아보고, TFT-LCD의 화소 구동소자로서 요구되는 적정 LDD 조건을 추출하였다. 동시에 그결과를 LDD 구조를 취하지 않은 TFT와 비교하여 저온공정에서 제작한 LDD 구조의 TFT 및 non-LDD TFT가 나타내는 여러 가지 제현상의 원인을 규명하고자 하였다.

제작한 TFT의 dimension은 통상 TFT-LCD의 구성에 사용되고 있는 $W/L=5/5$ 와 $5/4$ 로 하였다. Gate length가 $5\mu\text{m}$ 보다 큰 경우는 TFT-LCD의 구성시 개구율의 문제로 거의 사용을 하지 않기 때문에 별도로 고려하지 않았다. 공정의 저온화를 위한 재결정화 수단으로 파장이 308nm 인 Excimer laser를 사용하였고, doping법으로는 ion implantation을 사용하였다.

II. 소자의 제작

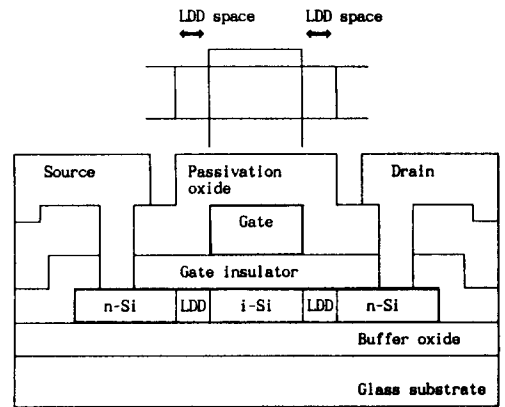


그림 1. 제작된 LDD poly-Si TFT의 구조
Fig. 1. The structure of LDD poly-Si TFT.

TFT소자의 구성은 그림 1과 같다. 기판은 두께 1.1mm 의 HOYA NA45 glass를 사용하였다. 막의 제작 전에 기판에서의 불순물 주입을 차단하기 위해 sputter를 사용하여 5000\AA 의 buffer 산화막을 제작하였다. Poly-Si막은 LPCVD를 사용하여 550°C , 0.3torr 의 SiH_4 분위기에서 500\AA 을 제작하였다. 제작이 끝난 LPCVD poly-Si막은 excimer laser공정에서의 결정성 증가를 위해 N_2 분위기에서 600°C , 24hr 의 열처리를 실시하였다. Poly-Si막의 etching은 CF_4 와 O_2 가스의 혼합 분위기에서 plasma를 이용하여 실시하였다. Etching이 끝난 poly-Si막 위에 재결정화를 위해 excimer laser를 조사하였다. Excimer laser energy는 $200\text{mJ}/\text{cm}^2$, shot수는 단위면적당 64였고 laser조사시의 기판온도는 550°C 로 하였

다. Excimer laser의 조사는 대면적에서의 균일성을 위해 2차원 overlap matrix scanning으로 하였다. 재결정화가 끝난 poly-Si막은 sputter를 사용하여 gate 산화막을 제작하였다. Gate 산화막으로 사용한 SiO₂의 두께는 1200Å이었고, 7mtorr의 압력에서 Si target을 사용하여 O₂가스와 reactive로 제작하였다. 이때 기판의 온도는 300°C로 하였다. Gate 전극으로 사용할 n' a-Si막은 PECVD로 제작하였다. 막의 두께는 4000Å으로 하였고, 반응로는 SiH₄와 PH₃의 혼합가스 분위기에서 0.39torr, 375°C의 압력과 온도를 유지하였다. Gate로 사용될 부위를 제외한 기타의 막들은 SF₆ plasma를 사용하여 etching하였다. Gate 전극의 etching이 끝난 기판은 LDD 구조의 형성을 위해 gate 산화막을 통과하여 전면의 기판을 통해 phosphorus를 ion implantation을 하였다. 이때 3x10¹³의 dose량에 100KeV의 가속전압을 사용하였다. LDD 영역을 위한 ion implantation이 끝난 기판은 전극으로 사용할 source, drain의 형성을 위해 high dose ion implantation을 실시하였다. 이때는 9x10¹⁴의 dose량으로 90/80KeV로 2번의 ion implantation을 실시하였다. High dose implantation시 LDD 영역 부분은 photo-resist를 이용하여 masking하였다. Ion implantation이 끝난 기판은 주입된 불순물의 activation 및 gate n' a-Si의 결정화를 위해 N₂ 분위기에서 600°C, 8hr의 열처리를 실시하였다. 열처리 이후 소자의 보호를 위해 7000Å의 sputter 산화막을 제작하였다. 그후 BHF를 사용하여 contact hole을 제작하고, Cr/Al 이중막을 사용하여 source, drain전극을 형성하였다. 제작이 끝난 소자는 금속막의 alloy 및 hydrogenation을 위해 450°C, 30분간 수소 분위기에서 열처리를 실시하였다.

III. 결과 및 고찰

제작한 LDD 구조 TFT의 LDD 간격에 따른 threshold 전압(V_{th})변화는 그림 2에 나타난 바와 같다. TFT에서의 V_{th}는 측정 방법에 따라 다소간의 차이를 나타낼 수 있기때문에 여기에서는 일관성을 부여하기 위해 V_{ds}를 10V로 고정한 상태에서 drain에 100nA가 흐르는 gate전압을 V_{th}로 정의하여 사용하였다. 그림 2는 TFT의 W/L이 5/5와 5/4인것을, 동시에 보이고 있다. 여기에서 LDD 간격이 0.8μm를 지나면서 3μm에 이르기 까지 V_{th}가 4V 수준으로 포화되는 것을 알 수 있다. 따라서 LDD 간격을 0.8μm이상으로 하면 전류의 subthreshold swing이 더 이상의 증가

를 일으키지 않고 정지함을 알 수 있고, 0.8μm이하의 LDD 간격에서는 간격에 비례하여 swing이 감소함을 알 수 있다.

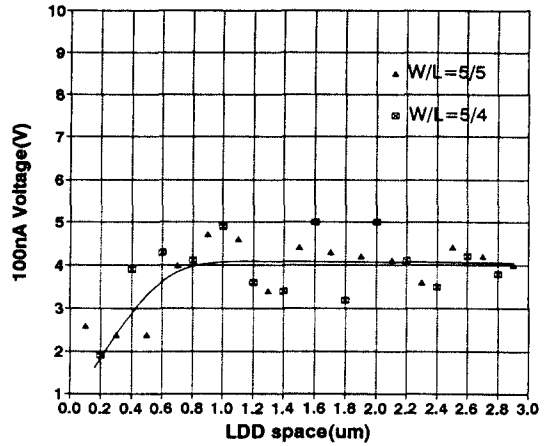


그림 2. LDD 간격에 따른 100nA 전류치의 gate전압 변화(V_{ds}=10V)

Fig. 2. The gate voltage corresponding to the drain current of 100nA, plotted against LDD space in poly-Si TFT.

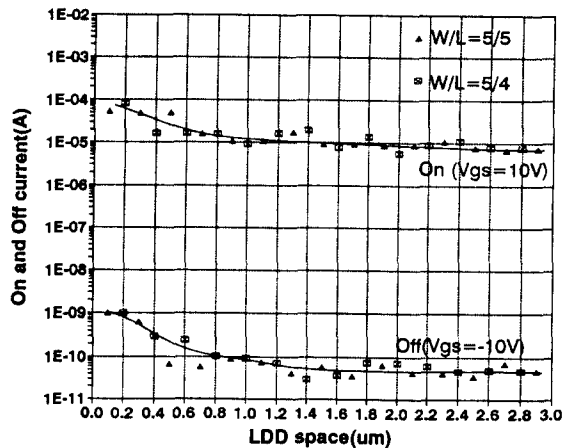


그림 3. LDD 간격에 따른 on, off 전류의 변화(V_{ds}=10V)

Fig. 3. The variation of on, off current to LDD space.

W/L이 5/5와 5/4의 경우를 비교하면 gate length가 짧은 5/4의 경우가 V_{th}의 산포가 더 크게 나타남을 알 수 있는데 이는 LDD 구조를 취한 경우에도 gate length가 4μm 수준으로 낮아지면 TFT가 poly-Si막이 가지는 불안정하면서도 높은 trap state density

특성으로 인해 short channel 효과를 나타내는 영역으로 들어가기 때문으로 보인다.^[15-17]

그림 3은 V_{ds} 를 10V로 고정된 경우에 10V, -10V의 V_{gs} 에서 각각 측정된 TFT의 on 및 off 전류이다. On 전류의 경우 0.8 μm 의 간격까지는 급격한 감소를 나타내며 그 이상에서는 3 μm 까지 거의 감소를 나타내지 않고 있다. 즉 0.8 μm 까지는 지수함수적인 감소를 나타내지만 그 이상에서는 LDD 간격에 1차적으로 반비례하여 감소하는 특성을 나타낸다. 0.8 μm 이상에서 1차적으로 반비례하는 특성이 나타내는 이유는 0.8 μm 이상으로 추가되는 LDD 간격은 TFT의 drain 전계에는 더 이상 크게 효과를 나타내지 않으면서 channel 저항에 비해 상대적으로 작은 부가의 저항으로만 작용하기 때문인 것으로 보인다. Off 전류의 경우는 0.6 μm 까지는 역시 급격한 감소를 보이고, 그 이후는 완만한 감소를 보이다가 1.3 μm 를 지나서는 변화를 나타내지 않았다. 이는 약 1.3 μm 까지는 off 전류(누설전류)에 기여하는 thermoionic emission rate가 LDD 간격이 길어질수록 감소하지만, 1.3 μm 이상에서는 on 전류에서와 마찬가지로 부가의 LDD 영역이 특별한 역할이 없는 직렬저항으로 작용함을 의미한다. 그러나 측정된 off 전류의 양은 그 값이 작아 직렬 저항의 효과가 거의 나타나지 않았다.

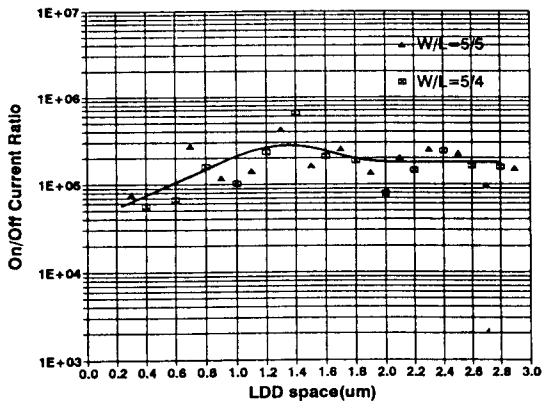


그림 4. $V_{ds}=10\text{V}$ 인 경우 on/off current ratio
Fig. 4. The on/off current ratio for 10V drain bias.

그림 4는 TFT-LCD의 화소구동 소자로서의 특성을 나타내는 TFT의 on/off 전류비를 나타낸다. 이때 V_{ds} 는 10V로 하였고, on 전류의 V_{gs} 는 10V, off 전류의 V_{gs} 는 -10V로 하였다. 그림에서 on/off 전류비는 1.3 μm 이상의 LDD 간격에서 2×10^5 으로 비교적 안정된 값을 보임을 알 수 있다. 이는 그림 3에서 볼 수 있듯이 on 전류는 0.8 μm 에서 감소 추세가 둔화되

는데 비해 off 전류는 1.3 μm 수준까지 지속적인 감소가 일어나기 때문이다. 이에서 볼 때 LDD TFT를 구성하는데 있어서 LDD 간격은 약 1.3 μm 수준으로 유지하는 것이 적절함을 알 수 있다. 전류비의 편차에 있어서도 gate length가 4 μm 인 소자가 그림 2의 V_{th} 특성에서와 마찬가지로 5 μm 의 소자에 비해 더 큰 편차를 나타내었다. 반면 짧은 gate length로 인한 on/off 전류비에의 기여는 관찰할 수 없었다.

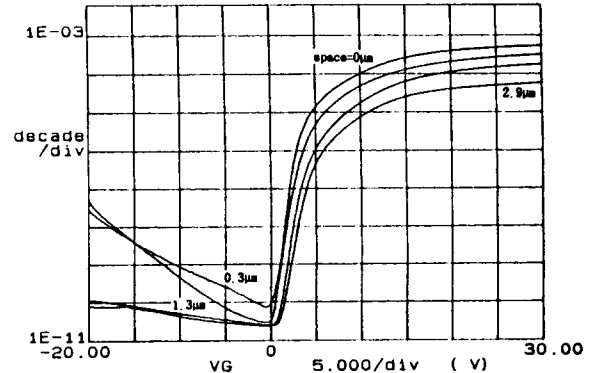


그림 5. LDD 간격에 따른 TFT의 $V_{gs}=I_{ds}$ 특성 ($V_{ds}=10\text{V}$)
Fig. 5. The $V_{gs}-I_{ds}$ characteristics of poly-Si TFT to LDD space.

그림 5는 LDD 간격에 따른 W/L이 5/5인 TFT의 $V_{gs}-I_{ds}$ 특성이다. 4개의 curve는 각각 LDD 간격이 0 μm 즉 LDD 구조가 아닌 TFT, 그리고 LDD 간격이 0.3, 1.3, 2.9 μm 인 TFT이다. 우선 on 상태에서의 전류 특성을 보면 LDD 간격이 넓어질수록 on 전류의 값이 떨어짐을 보여준다. 즉 LDD 간격이 넓어질수록 LDD 영역에 의한 전류 제한에 의해 LDD 간격에 비례하여 전류의 값이 감소함을 알 수 있다. 반면 off 영역의 전류는 이와달리 나타난다. Off 영역의 전류는 LDD 구조를 가지는 TFT의 경우 LDD 간격이 1.3 μm 인 경우와 2.9 μm 인 경우가 거의 동일한 전류값을 나타낸다. 이는 그림 3에서도 알 수 있듯이 LDD 간격이 1.3 μm 를 넘어서면 LDD 효과에 의한 누설전류의 억제 효과가 포화되기 때문이다. LDD 간격이 0.3 μm 인 경우는 LDD 구조를 취하지 않은 TFT와 off 전류 특성이 그다지 큰 차이를 나타내지 않았다. 이는 LDD 간격을 0.3 μm 이하로 하는 경우에는 너무 짧은 LDD 간격으로 인해 thermoionic emission rate의 감소 효과가 나타나지 못하기 때문으로 생각된다. 결과적으로 LDD 간격을 0.3 μm 이하로 하는 경우는 off 영역의 개선은 없이 on 영역의 감소만을 가져왔다.

그림 6.7은 각각 W/L이 5/5이고 LDD 간격이 1.3 μm

m인 TFT의 Vds변화에 따른 Vgs-Ids특성 및 Vgs변화에 대한 Vds-Ids특성이다.

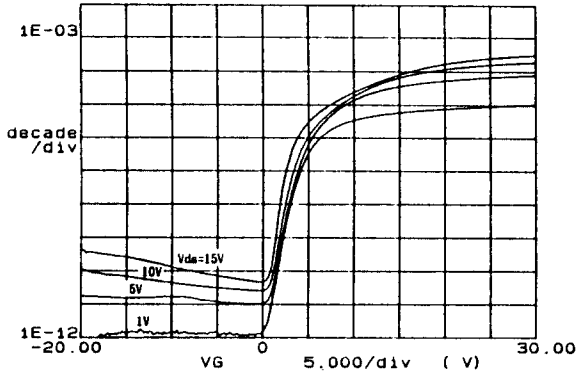


그림 6. LDD TFT의 Vds변화에 따른 Vgs-Ids 특성변화
Fig. 6. The Vgs-Ids characteristics of LDD TFT to Vds variations.

emission에 의해, Vgs가 증가함에 따른 누설전류의 증가가 그림 6에 비해 크게 강조되어 나타난다. 특히 Vds가 15V이상인 경우는 minimum current point의 negative shift가 일어남을 볼수 있다. 반면에 LDD 구조를 취하는 TFT는 낮은 누설전류 특성을 유지함과 동시에 높은 Vds전압에서도 안정된 전류 특성을 나타냄을 그림 6에서 볼 수 있었다.

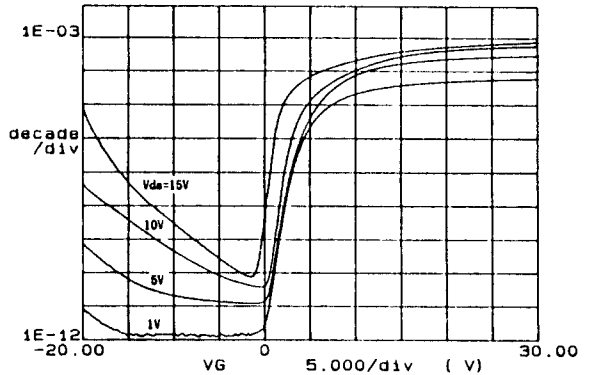


그림 8. non-LDD 구조에서의 Vds변화에 따른 Vgs-Ids특성변화
Fig. 8. The Vgs-Ids Characteristics of non-LDD TFT to Vds variations.

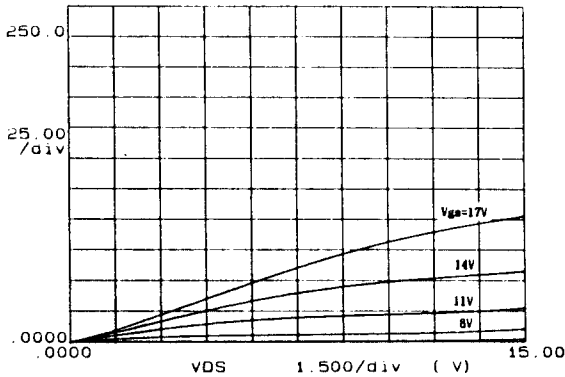


그림 7. LDD TFT의 Vgs변화에 따른 Vds-Ids 특성변화
Fig. 7. The Vgs-Ids characteristics of LDD TFT to Vgs variations.

그림 6에서 Vds의 증가에도 LDD 효과에 의해 누설 전류의 역제가 효과적으로 일어남을 알 수 있다. 그리고 그림 7에서 전체적인 TFT의 특성이 Vds의 증가에도 안정하게 나타나, 제작되어진 LDD 영역이 poly-Si TFT에서 흔히 나타나는 높은 Vds에서의 carrier multiplication을^[18] 효과적으로 억제하고 있음을 알 수 있다. 반면에 그림 8은 W/L이 5/5로 동일하지만 LDD 구조를 하지않은 TFT의 Vds변화에 따른 Vgs-Ids특성이다. 그림 8의 on영역의 경우는 그림 6의 on 영역과 거의 유사한 양상을 보이고 있으나, off 영역의 경우는 그림 6과 아주 다른 형태를 나타낸다. 즉 gate-drain사이의 강한 전계로 인한 thermoionic

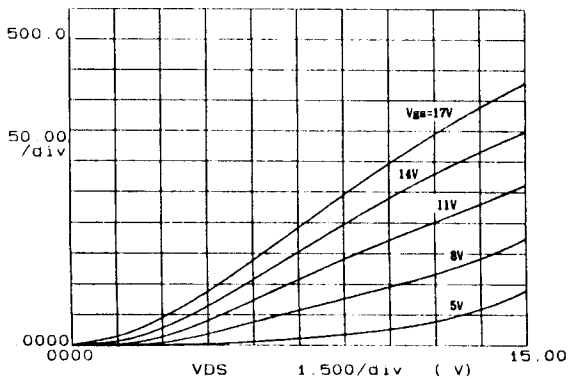


그림 9. non-LDD TFT의 Vgs변화에 따른 Vds-Ids특성변화
Fig. 9. The Vds-Ids Characteristics of non-LDD TFT to Vgs variations.

LDD 구조가 아닌 TFT에서의 특성은 그림 9에서도 관찰할 수 있다. 그림 9는 LDD 구조가 아닌 TFT의 I-V 특성을 나타낸 것으로 MOSFET에서 흔히 관찰되는 short channel 효과와 유사한 특성을 보임을 알 수 있다. 그림 9에서 전류의 전체적인 양이 그림 7의 LDD TFT와 비교하여 크게 증가했음을 알 수 있으나 Vds의 증가에 따른 전류 증가의 양상이 그림 7과 비

교하면 크게 다른데, 이러한 전류 특성의 형태는 TFT의 낮은 공정 온도에서 비롯된 poly-Si층내의 trap states가 강한 전계에 의해 활성화됨으로써 나타나는 것으로 설명되고 있다^[14,15]. 즉 LDD구조에 비해 강하게 나타나는 drain 전계 효과에 의해 poly-Si 내의 trap states를 매개로 하여 hot carrier에 의한 impact ionization이 일어나고 이는 carrier multiplication으로 이어져 결국 Vds의 증가분 이상의 전류치를 나타내게 된다.

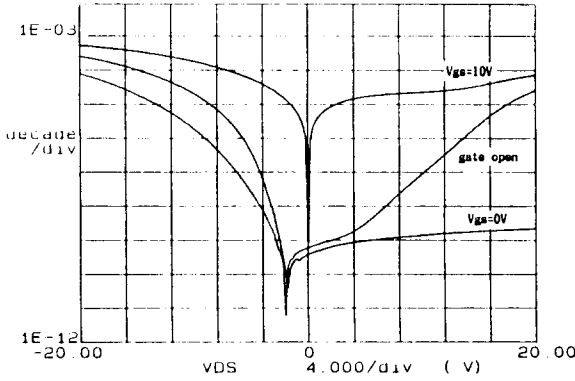


그림 10. LDD TFT에서의 Source-drain간의 I-V 특성

Fig. 10. The I_{ds} - V_{ds} characteristics of LDD TFT.

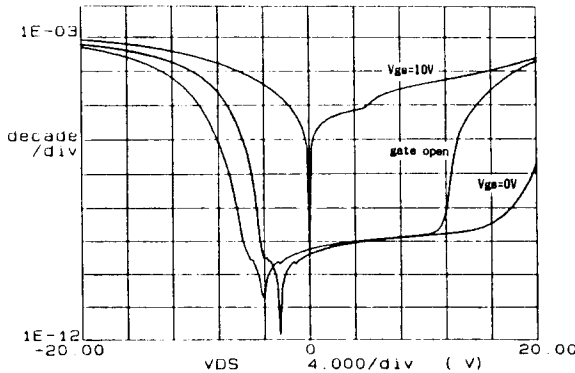


그림 11. non-LDD TFT에서의 Source-drain간의 I-V 특성

Fig. 11. The I_{ds} - V_{ds} characteristics of non-LDD TFT.

그림 10과 11은 전류 특성에서의 gate 전압 효과 및 intrinsic channel poly-Si에서의 junction 효과를 알아보기 위해 gate 전압을 달리할 때의 LDD 및 non-LDD 구조에서 TFT의 source, drain사이의 I-V특성을 측정된 것이다. 각각의 그림은 gate의 전압

을 +10V, 0V 그리고 open 상태에서 측정된 것이다. Gate 전압이 10V로 channel이 형성된 경우에는 LDD 및 non-LDD TFT에서의 전류특성이 거의 유사하게 나타났다. 즉 2개의 구조에서 모두 전류가 양방향 저항성 특성을 나타내었다. 그러나 그림 11의 non-LDD구조에서 5V 정도의 Vds 전압에서 LDD 구조에서는 볼 수 없는 multiplication에 의한 저전압 전류 kink가 나타났다. 그리고 Vds 전압이 15V 이상이 되어 TFT가 포화 영역에 있는 경우에도 2가지의 구조가 모두 impact ionization에 의한 전류 kink를 나타내었다. 여기에서 LDD 영역을 만들어 drain 전계를 완화시킨 경우에도 Vds에 의한 전계가 커지면 역시 kink 현상이 나타남을 볼 수 있는데 이에서 LDD 구조라 할지라도 kink의 요인이 되는 trap states를 줄여줄 필요가 있음을 알 수 있다. 즉 impact ionization의 원인이 되는 trap states를 줄여야 더욱 효과적인 kink 현상의 억제가 가능하다. Gate를 open하여 channel이 intrinsic poly-Si으로 작용하는 경우에는 source/intrinsic poly-Si/drain사이에 존재하는 n-i-n junction에 의해 diode에서의 back to back 효과와 유사한 전류 형태를 나타내었다. 특히 LDD 구조의 경우에는 10V 수준의 낮은 Vds에서 흐르는 전류의 양이 non-LDD 구조보다 2 order이상 커서 intrinsic channel poly-Si과 drain사이에 위치한 LDD 영역에 의해 junction이 거의 형성되지 않았음을 볼 수 있다. 누설 전류 특성을 보기위해 gate 전압을 0V로 한 경우의 I_{ds} 특성을 측정하였다. 이 경우 non-LDD 구조에서 15V 이상의 전압이 걸릴 때 thermoionic emission rate의 증가에 따른 급격한 누설 전류의 증가를 볼 수 있었고, LDD 구조에서의 경우에도 전계의 증가에 비례하는 지속적인 누설 전류의 증가를 볼 수 있다. 이에서 LDD 영역을 만들어 전계 효과를 감소시킨 경우에도 효과적인 누설 전류의 감소를 위해서는 impact ionization을 줄여주어야 할 필요가 있음을 알 수 있다. 이상으로 부터 poly-Si TFT에서 Vds의 증가시 나타나는 누설 전류를 포함한 비 정상적인 I_{ds} 의 증가는 LDD 영역의 개재 뿐 아니라 off-set gate 구조 혹은 trap state의 감소를 통해서도 억제해 줄수 있음을 알 수 있다. 특히 이러한 효과는 막간의 interface 및 결정 상태가 불안한 저온 공정의 poly-Si TFT에서 효과적일 것으로 보인다.

IV. 결론

기존의 1000°C 이상의 고온 공정을 사용하는 LDD 구조의 poly-Si TFT는 석영을 기판으로 사용하기 때

문에 작은 면적의 LCD 소자에 국한되어 사용되어 왔다. 본 논문에서는 향후 대면적 LCD 소자에의 응용을 위하여 저온 공정을 사용하여 LDD 구조의 poly-Si TFT를 제작하였다. 공정 온도를 600°C이하로 낮추기 위해 excimer laser를 poly-Si의 재결정법으로 사용하였다.

제작된 LDD TFT는 LDD 영역이 1.3 μm 이상에서 on/off 전류비가 2x105로 포화되었다. 그리고 LDD 간격에 비례하여 on, off 전류가 모두 감소하였으나, LDD 간격이 0.3 μm 이하로 낮은 경우는 on 전류의 감소에도 불구하고 off 전류는 거의 감소하지 않아 thermoionic emission의 제어가 LDD 간격 0.3 μm 이하에서는 거의 일어나지 않음을 알수 있었다. 또한 0.8 μm 를 경계로 하여 on 전류의 감소가 둔화되어, drain에의 저항 부가 효과가 포화됨을 알수 있었다. Threshold voltage(V_{th})의 경우 LDD 간격이 0.8 μm 를 넘어서면 4V에서 고정되어 더이상의 증가를 보이지 않았다.

TFT의 누설전류는 gate-drain사이의 high field에 의한 thermoionic emission이 주요원인이나, 이외에도 poly-Si막 내의 trap states가 중요한 역할을 하는것을 알수 있었고, 이에 따라 저온 공정의 경우 본 논문에서와 같은 LDD 구조 혹은 off-set 구조 등, TFT의 구조적인 변경을 통하지 않고는 누설전류의 근본적인 억제가 어려울 것으로 판단되었다.

참 고 문 헌

- [1] Y.Takafuni, et al., "A 1.5-in 1.5Mpixel driver fully integrated poly Si TFT-LCD for HDTV projection", *SID 93 digest*, pp.383-396.
- [2] M.Hack, A.G.Lewis and I.W.Wu, "Physical model for degradation effects in polysilicon thin film transistors", *IEEE Trans. on Elec. Dev.*, vol.40, no.5, pp.890-897, 1993.
- [3] T.W.Little, et al., "A 9.5-in 1.3-Mpixel low-temperature poly-Si TFT-LCD fabricated by solid-phase crystallization of very thin films and an ECR-CVD gate insulator", *J. of the SID*, vol.1, no.2, pp.203-208, 1993.
- [4] H.Ohshima, et al., "Full-color LCDs with completely integrated drivers utilizing low-temperature poly-Si TFTs", *SID 93 digest*, pp.387-390.
- [5] A.Mimura, et al., "A 10-s doping technology for the application of low-temperature polysilicon TFT's to giant microelectronics", *IEEE Trans. on Elec. Dev.*, vol.40, no.3, pp.513-519, 1993.
- [6] I.W.Wu, et al., "Processing and device performance of low-temperature CMOS poly-TFTs on 18.4-in diagonal substrates for AMLCD application", *SID 92 digest*, pp.615-618.
- [7] M.K.Hatalis, et al., "Low-temperature poly-Si TFTs on corning code 1734 and 1735 glass substrates", *SID 93 digest*, pp.724-727.
- [8] Y.Nishihara, et al., "Fully integrated poly-Si TFT CMOS drivers for self-scanned light valve", *SID 92 digest*, pp.609-612.
- [9] K.Shimizu, et al., "High performance poly-Si thin film transistors with excimer laser annealed silicon nitride gate", *Jpn. J. of Appl. Phys.*, vol.32, part.I, no.1B, pp.452-457, 1993.
- [10] S.D.Brotherton, et al., "Excimer laser annealed poly-Si thin film transistors", *IEEE Tran. on Elec. Dev.*, vol.40, no.2, pp.407-413, 1993.
- [11] S.A.Parke, et al., "Design of suppression of gate-induced drain leakage in LDD MOSFET's using a quasi-two-dimensional analytical model", *IEEE Trans. on Elec. Dev.*, vol.39, no.7, pp.1694-1703, 1992.
- [12] K.Kobayashi, et al., "A novel fabrication method for polycrystalline silicon thin film transistors with a self-aligned lightly doped drain structure", *Jpn. J. of Appl. Phys.*, vol.32, part.I, no.1B, pp.469-475, 1993.
- [13] D.Vuillaume, et al., "A coupled study by floating-gate and charge pumping techniques of hot-carrier-induced defects in submicrometer LDD n-MOS-FET's", *IEEE Trans. on Elec. Dev.*,

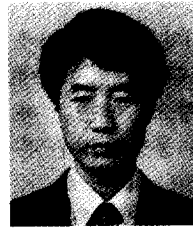
- vol.40, no.4, pp.773-781, 1993.
- [14] C.T.Liu, et al., "Inverted thin film transistors with a simple self-aligned lightly doped drain structure", *IEEE Trans. on Elec. Dev.*, vol.39, no.12, pp.2803-2809, 1992.
- [15] P.Bruesch, et al., "Physical properties of semi-insulating polycrystalline silicon", *J. of Appl. Phys.*, vol.73, no.11, pp.7677-7700, 1993.
- [16] R.H.Yan, A.Ourmazd and K.F.Lee, "Scaling the Si MOSFET: From bulk to SOI to bulk", *IEEE Trans. on Elec. Dev.*, vol.39, no.7, pp.1704-1710, 1992.
- [17] S.E.Laux, "A study of channel avalanche breakdown in scaled n-MOSFETs", *IEEE Trans. on Elec. Dev.*, vol. ED-34, no.5, pp.1066-1073, 1987.
- [18] A.Rodriguez, et al., "Model for the anomalous off-current of polysilicon thin film transistors and diodes", *IEEE Trans. on Elec. Dev.*, vol.40, no.5, pp.938-943, 1993.

 저 자 소 개



鄭俊鎬(正會員)

1963년 11월 14일생. 1985년 3월 경북대학교 전자공학과(학사). 1987년 3월 경북대학교 대학원 전자공학과(석사). 1987년 1월~1994년 3월 삼성 종합기술원 디스플레이 연구실. 1994년 4월~현재 삼성전자 특수사업부 선임연구원. 주관심분야는 poly Si FTF-LCD 설계, TFT 직접회로, TFT modeling.



朴龍海(正會員)

1960년 2월 20일생. 1987년 3월 경희대학교 전자공학과(학사). 1987년 3월~1990년 10월 한국전자반도체 연구소. 1990년 11월~1994년 3월 종합기술원 디스플레이 연구실. 1994년 4월~현재 삼성전자 특수사업부 주임연구원. 주관심분야는 poly Si FTF 특성평가, TFT 제작공정, poly LCD 화질 평가