

디지털 IC 및 보드의 시험을 위한 스캔 설계 기술

Scan Design Techniques for Chip and Board Level Testability

関 炯 福

成均館大學校 電氣工學科

요 약

디지털 회로를 구현한 칩 및 보드의 시험 비용을 줄이기 위하여 사용되는 스캔 설계 기술 동향에 대하여 기술하였다. 스캔 설계 기술은 칩 수준에서 먼저 적용되기 시작하였다. 회로의 모든 플립플롭을 스캔할 수 있도록 하는 완전 스캔이 먼저 개발되었고, 최근에는 플립플롭의 일부분만 스캔할 수 있도록 하는 부분 스캔 기술이 활발하게 논의되고 있다.

한편 보드의 시험에 있어서도 보드에 실장되는 칩의 밀도가 증가되고, 표면 실장 기술이 일반화됨에 따라 종래의 시험 기술로는 충분한 시험을 거치는 것이 불가능하게 되었다. 따라서, 칩에 적용되던 기법과 유사한 스캔 설계 기술이 적용되기 시작하였다. 이를 경계 스캔(Boundary Scan)이라고 하는데, 이 기술은 80년대 후반부터 본격적으로 논의되기 시작하였다. 1990년에는 이 기술과 관련된 IEEE의 표준이 제정되어 더욱 많이 적용되는 추세에 있다.

이 논문에서는 이러한 칩 및 보드의 시험을 쉽게 하기 위한 스캔 설계 기법의 배경, 발전 과정 및 기술의 내용을 소개한다.

I. 서 론

몇 개의 게이트 혹은 간단한 기능 블록을 갖고 있는 SSI와 MSI 수준을 넘어서는 LSI가 시장에 출하되기 시작하면서 핀을 통한 시험이 어려워지기 시작하였다. 1980년대에 접어들면서 칩의 밀도는 급격히 증가하여 VLSI로 디지털 회로가 구현됨에 따라 이러한 경향은 심화되었다. 즉, 칩에 내장되는 게이트 수에 비하여 핀 수의 증가는 상대적으로 적어서, 시험 패턴을 인가하고 결과를 관찰할 수 있는 핀의 상대적인 숫자(회로 크기에 대한 핀의 비율)는 급격히 감소하였다. VLSI로 디지털 회로를 구현함에 따라 또 다른 문제를 야기하였는

데, 이는 사람의 기능에 의존하여 시험 패턴을 만드는 것도 불가능하게 된 것이다. 이에 설계된 회로에 대하여 CAD 도구의 도움을 얻어 시험 패턴을 생성하는 것이 필수 불가결하게 되었다.

칩의 시험은 입력 핀에 시험 패턴을 인가하고, 출력 핀에서 반응을 보아 이상 유무를 판단하므로, 핀 수의 상대적 감소로 인한 시험 패턴 자동 생성의 어려움은 회로의 내부에 대한 제어능력(controllability)과 탐지능력(observability)의 감소에 기인하는 것이다. 회로의 한 선에서의 제어능력이란 회로의 입력에 임의의 패턴을 인가했을 때 그 선의 논리값이 1 혹은 0가 될 확률을 말하며, 회로의 한 선에서의 탐지능력이란 임의의 패턴을 입력에 인가한 후 그 선만의 논리값을 바꾸었을 때, 그 변화로 인하여 출력의 논리값이 변화할 확률을 말한다. 이러한 제어능력과 탐지 능력이 시험의 난이도를 나타내며, 탐지능력이 클수록 또한 제어능력이 클수록 시험은 쉬운 것이다. 따라서, 핀의 숫자 증가를 최소화하면서 제어 및 탐지 능력을 크게 늘리는 방법이 제안되었는데 이것이 스캔 설계 기법이다.

스캔 설계 기법은 여러 가지 방식이 제안되고^{1, 2, 3)} 사용되었다. 이 기법들은 디지털 회로의 시험이 어려운 것은 회로의 내부에 존재하는 플립플롭에서 생긴 회로상태(state)의 제어/탐지능력이 매우 낮기 때문이므로 플립플롭을 재 설계하여 이를 회로의 입력/출력에서 직접 제어하고 탐지할 수 있도록 하여 시험하기 쉽게 해 주는 방식이다. 이 기법에서의 플립플롭은 회로를 정상 동작시킬 때에는 회로 내의 플립플롭이 독자적으로 동작하지만, 시험 패턴을 인가하거나 반응을 관찰할 때에는 모든 플립플롭을 쉬프트 레지스터로 묶어서 시험 패턴을 스캔하므로 완전 스캔(full scan) 방식이다.

완전 스캔 방식에서는 시험 비용을 줄이기 위하여 처리야할 대가(overhead)가 있다. 즉, 시험을 위한 회로와 핀을 사용하여야 하고, 신호 전달 시간 지연 등의 성능 저하를 가져오는 것이 불가피하다. 따라서, 이러한 대가를 가능한 한 적게 치르려는 시도가 있다. 이것이 부분 스캔(partial scan)

기법이다. 부분 스캔이란, 회로의 플립플롭의 일부만을 쉬프트 레지스터로 묶어서 사용함으로써 스캔 기법에서 발생하는 대가를 줄여 보려는 시도이다. 1980년대 초반에 제안된⁴⁾ 이후, 지난 5년여에 걸쳐 활발하게 논의되었으나^{5~18)}, 아직 어떤 기법이 정말로 우수한 것인지는 논란의 여지가 있는 것으로 보인다.

이러한 스캔 설계 기법의 개념을 인쇄 회로 기판(PCB)에 칩이 실장된 회로에 적용시킨 기법을 경계 스캔(boundary scan) 기법이라 한다. 이는 스캔 플립플롭을 이용하고 시험의 난이도를 낮추는 의미에서 스캔 설계 기법이지만, 기술의 적용 동기와 구체적인 내용에서는 전혀 다른 것이다. 보드의 시험에 있어서, 보드의 콘넥터를 통한 시험에는 근본적인 한계가 있으며, 칩의 패키징 기술의 발전으로 칩의 핀 간격이 줄어들고, 보드(board) 실장 기술의 발달로 하나의 보드에 올라가는 칩의 숫자가 많아짐에 따라 종래 사용하던 인서킷 테스터(In-Circuit Tester)를 이용한 시험도 어려워지게 되었다. 특히 표면 실장 기법(SMT: Surface Mounting Technology)은 종래의 보드 시험 기법을 근본적으로 위협하고 있다. 이는 보드의 양면 실장을 가능하게 하여, 보드에 실장된 칩의 핀에 시험기의 프로브(probe)를 붙일 수 없는 상황을 만들어 내기 때문이다. 이러한 연유로, 1980년대 후반부터 보드 시험을 위하여 칩 내부에 시험용 회로를 부가하는 문제가 논의되었고, 이러한 시험 방식에 대한 표준의 필요성에 따라, 1990년에 IEEE 표준안이 마련되었다. 이것이 IEEE Standard 1149.1-1990¹⁹⁾이다. 이 표준안은 약간의 수정을 거쳐 1993년 IEEE Standard 1149.1a-1993²⁰⁾으로 발표되었다. 현재 이 표준에 따라, 많은 표준 IC나 주문형 반도체가 설계 제작되고 있다.

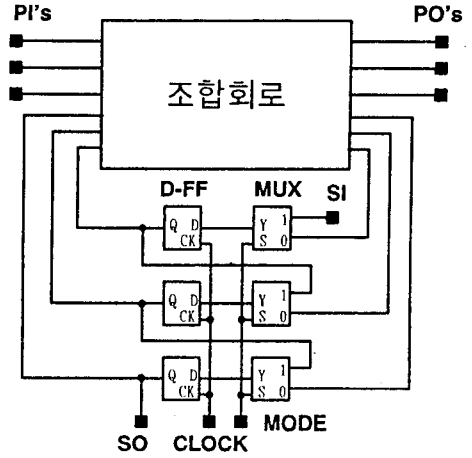
본 논문에서는 스캔 설계 기법이라는 공통된 주제를 가지고, 완전 스캔, 부분 스캔, 경계스캔 기술을 살펴보고 기술을 적용시키는 바람직한 방법을 모색해 보기로 한다.

II. 칩 수준의 스캔 설계

스캔 설계 기법이 나오게 된 동기는 순차회로에 대한 시험 패턴 생성의 어려움 때문이다. 조합회로에 대해서는 시험 패턴 자동 생성 알고리즘 혹은 프로그램이 개발되었고 그 성능 또한 우수하여 거의 100%의 결함에 대하여 시험 패턴을 생성한다. 그러나, 순차회로에 대해서는 알고리즘이 여전히 연구의 대상이며, 상업 프로그램이 개발되어 판매되고는 있으나, 시험 패턴이 생성되는 결함 시험지수(FC : fault coverage)가 매우 낮고, 그 시험 패턴을 생성하는데 너무 많은 시간이 걸린다. 따라서, 충분한 시험을 위한 설계기법(DFT : design for testability)의 하나로써 스캔 설계는 여전히 필요하다. 스캔 설계를 적용하는 경우, 충분한 시험을 어렵게 하는 요인이 무엇인가에 따라 해결 방법이 다를 수밖에 없다. 따라서, 순차회로의 시험 패턴 생성이 왜 어려운 것인가 하는 의문에서 어떤 기법이 필요한 것인지를 찾게 된다. 스캔 설계 기법은 순차회로의 시험 패턴 생성이 어려운 것은 회로 내부의 상태(state)를 제어/탐지하기 어렵기 때문이며, 플립플롭을 재 설계하여 이를 해결하려 한 것이다.

1. 완전 스캔

완전 스캔(full scan) 기법에서는 시험 대상 회로 내부의 모든 플립플롭을 재 설계한다. 그래서 완전 스캔이다. 시험 대상 회로는 두 가지 모드로 동작한다. 정상 동작 모드에서는 모든 플립플롭들은 각각 떨어져서 정상 동작한다. 반면 시험 동작 모드에서는 플립플롭들은 모두 쉬프트 레지스터의 형태로 묶인다. 이 쉬프트 레지스터를 통하여 시험 패턴을 인가하고 인가된 시험 패턴에 대한 회로의 반응을 관찰한다. 그림 1에 완전 스캔을 적용한 회로 구조를 보였다. 완전 스캔 기법은 scan-path^[1], isolated scan^[2], LSSD^[3] 등의 여러 가지 기법이 소개되었으나, 이 기법들의 기본적인 개념은 같다. 그림 1은 가장 기본적인 scan-path의 개



〈그림 1〉 완전스캔으로 설계된 순차회로

념을 보이고 있다. 정상 동작 모드는 MODE 입력에 논리값 0이 인가되었을 경우의 회로 구조이다. 이 경우 조합회로의 출력은 플립플롭의 입력에 인가되어, 조합회로 C와 D-FF 들로 이루어진 일반적인 동기 순차회로의 모습을 가진다. 이 회로가 시험하고자 하는 대상회로(CUT : Circuit Under Test)이다. 반면, MODE입력에 논리값 1이 인가되면 조합회로의 출력과 플립플롭 입력과의 연결은 끊어지고, 플립플롭끼리 연결되는 쉬프트 레지스터를 형성한다. 이를 스캔 사슬(scan chain)이라고 부르기도 한다. 이 스캔 사슬을 통하여 조합회로 부분의 시험을 위한 시험 패턴이 인가되고, 조합회로의 출력을 읽어내기도 한다. 이 구조를 이용한 시험 순서는 다음과 같다.

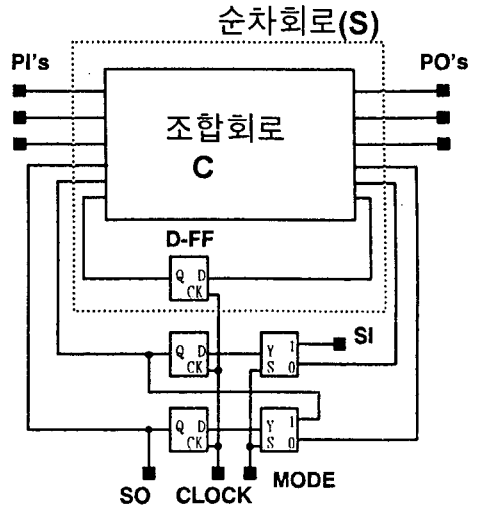
- (1) MODE 입력에 1을 인가하여 스캔 사슬을 형성한다.
- (2) 플립플롭 자체를 시험하기 위한 패턴을 SI (Scan In)에 인가하면서 CLOCK을 인가한다. 동시에 SO(Scan Out)에서 나오는 값을 검사하여 플립플롭의 고장 여부를 판단한다.
- (3) SI를 통하여 조합회로 부분을 시험하기 위한 시험 패턴을 스캔 사슬에 입력한다. 조합회로의 지연 시간 후에 조합회로의 반응이 MUX의 입력에 도달한다.

- (4) MODE를 0으로 바꾸고 CLOCK 하나를 인가한다. 이때, 플립플롭의 출력에 조합회로의 반응이 들어간다.
- (5) MODE를 다시 1로 바꾸고 CLOCK을 인가하면서 SO를 통하여 플립플롭에 저장된 조합회로의 반응을 읽어낸다.
- (6) 위 과정의 (3), (4), (5)단계를 준비된 모든 시험 패턴에 대하여 반복한다.

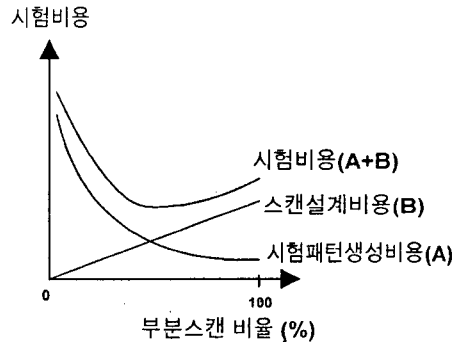
완전 스캔에서는 회로 입력과, 회로 출력, 클락(CLOCK)으로 이루어진 핀 이외에도 스캔 입력(SI), 스캔 출력(SO) 및 MODE로 이루어진 3개의 핀이 더 필요하다. 이 3개의 핀은 순전히 시험을 위하여 추가된 핀이다. 이외에도 멀티플렉서(MUX) 부분의 회로가 추가되어 실리콘 면적을 차지하며, 추가된 네트의 라우팅을 위한 면적도 필요하다. 또한 회로 및 라우팅의 추가로 인하여 회로의 시간 지연을 발생시킨다. 이러한 오버헤드들이 시험 비용을 낮추기 위하여 치려야 하는 대가이다. 이 중에서도 면적 오버헤드를 줄이기 위한 노력이 많이 이루어졌다. 이는 CUT의 구조, 크기 및 래치, 스캔 사슬의 구현 방법 등에 따라 큰 차이를 보이지만, VLSI 수준의 2중 래치 구조에서는 5% 이하의 면적 오버헤드를 보인다.

2. 부분 스캔

이미 언급한 바와 같이, 완전 스캔의 경우 시험 비용을 경감하기 위한 오버헤드는 필수적이다. 따라서, 이 오버헤드를 줄이기 위한 많은 노력이 이루어졌다. 한가지 방향이 스캔 사슬에 들어가는 플립플롭의 숫자를 줄이려는 시도이다. 이를 부분 스캔이라 한다. 이를 그림 2에 도시하였다. 플립플롭의 일부는 스캔 사슬에 들어가 있고, 다른 일부는 조합회로와 함께 남아서 순차회로를 구성하는 구조이다. 즉, 스캔 사슬에 들어가는 플립플롭을 제외한 시험 대상회로는 순차 회로가 된다(그림 2의 S로 표시된 점선으로 둘러싸인 부분). 따라서, 스캔 기법을 적용하여도 순차회로에 대하여 시험 패턴을 생성하여야 하므로 시험 패턴 생성 비용은 완전 스캔에 비하여 증가한다. 반면 스캔의 오버헤드는 감소하므로 새로운 설계에 따른 비용 감소가 예



(그림 2) 부분스캔으로 설계된 순차회로



(그림 3) 부분스캔 설계시의 시험 비용

상된다. 디지털 회로의 시험 비용은 시험 패턴 생성 비용, 시험 패턴을 테스터에 넣어 시험하는 비용, 스캔 설계로 인한 오버헤드 비용 등으로 구성된다. 완전 스캔에서는 실용되는 VLSI 칩들에 대한 시험 패턴 생성 비용이 스캔 설계 없이는 지나치게 크기 때문에 스캔 설계가 정당화된다. 그러나, 스캔 설계의 비용은 작을 수록 좋으므로 이 비용을 낮추려는 시도가 존재한다^[4]. 문제는 플립플롭의 일부분만을 스캔 사슬에 사용할 경우, 완전 스캔에 비하여 시험 패턴 생성 비용이 증가한다는 점이다. 따라서, 부분 스캔으로 인하여 감소되는 스캔 설계 비용이 시험 패턴 생성비용의 증가보다 작다면 의미 없는 기법이라 할 것이다^[4, 5]. 이 관

계의 개념을 그림 3의 그래프에 도시하였다.

그림 3의 그래프에서 가로 축은 스캔 비율(회로 내의 모든 플립플롭에 대한 스캔 사슬에 포함되는 플립플롭의 비율)이고, 세로 축은 시험 비용이다. 따라서 0%는 스캔을 쓰지 않은 경우이고, 100%는 완전 스캔의 경우이다. 시험 패턴 생성 비용(A)은 스캔 비율이 높아질수록 떨어진다. 반면, 스캔 설계에 따른 오버헤드 비용(B)은 스캔 비율이 높아질 수록 올라간다. 따라서 총비용(A+B)은 부분 스캔의 적절한 비율에서 결정된다. 적절한 스캔 비율은 두 개의 곡선 자체가 회로 구조, 자동 시험 패턴 생성기(ATPG)의 성능, 스캔 회로의 설계 방식 등에 따라 달라지므로 일률적으로 말하기 어렵다. 따라서, 부분 스캔의 적용은 매우 신중할 수밖에 없다. 그러나, 최근 순차회로에 대한 시험 패턴 생성 기법의 발전이 이루어지고 있어서 부분 스캔을 적용할 수 있는 환경은 더욱 개선되고 있다고 보여진다.

이와 같은 비용 구조를 고려함에 있어서 또 하나 고려해야 할 점이 있다. 그것은 부분 스캔에 있어서는 완전 스캔에서 사용한 회로 구조를 사용할 수 없다는 점이다. 이른바, 스캔 사슬에 들어가지 않는 플립플롭의 상태 보존 문제(non-scan element state retention problem)이다. 완전 스캔의 회로 구조에서 플립플롭의 일부분을 스캔 사슬에서 단순히 제외할 경우, 제외된 플립플롭들은 시험 패턴을 스캔 입력할 때와 반응을 스캔 출력할 때 주어지는 클락에 의하여 상태가 바뀌게 된다. 그림 2를 다시 검토해 보면 이 문제는 분명히 드러난다. 그림 2와 같은 스캔 회로 구조에서는 시스템 클락과 시험 클락이 같다. 즉, 회로의 S부분의 플립플롭에 대한 클락(시스템 클락)과 스캔 사슬을 통하여 시험 패턴을 인가할 때의 클락(시험 클락)이 같다. 따라서, 플립플롭의 일부가 스캔 사슬에 들어가지 않으면 그림 2의 S로 표시된 부분(시험 패턴을 생성시켜야 하는 대상 회로)이 순차 회로가 되고, 그 순차회로의 플립플롭에도 같은 클락을 사용하면 스캔 사슬에 시험 패턴을 입력할 때, S부분(순차회로)에 있는 플립플롭 값이 변화하여 S부분의 출력이 시험 패턴을 생성할 때 얻은 값과

는 다른 값을 보이므로 시험이 불가능하다.

이 문제를 해결하는 방법은 여러 가지가 있을 수 있다^[5]. 첫째, 시스템 클락과 시험 클락을 분리하는 것이다. 즉, 스캔 사슬에 들어가지 않은 플립플롭(NSFF : Non-Scan Flipflops; 그림 2의 S에 들어 있는 플립플롭)에 들어가는 클락(시스템 클락)과 스캔 사슬에 들어가는 플립플롭(SFF; Scan Flipflops)에 들어가는 클락(시험 클락)을 분리하는 것이다. 그러나, 이 경우 시험을 위한 핀이 하나 더 필요하고, 클락 선의 라우팅이 차지하는 면적이 넓어져서 스캔 비율을 줄인 이점을 저하시키며, 극단적인 경우(스캔 비율이 높은 경우) 부분 스캔의 설계 오버헤드가 완전 스캔보다도 높을 수도 있다. LSSD의 경우 시스템 클락과 시험 클락이 분리되어 있어서 보다 적절하다고 할 수 있지만 scan-path보다 오버헤드는 높은 방식이다. 둘째, 스캔 사슬에 들어가지 않는 플립플롭에 래치 하나를 부가하여 상태(state)를 유지하도록 해 주는 것이다. 즉, NSFF의 출력 측에 래치 하나를 부가하여 NSFF의 상태가 바뀌어도 상관없도록 한다. 이 방식 역시 부분 스캔의 이점을 저하시킨다. 셋째는 하나의 클락을 사용하되 그 클락이 스캔 입/출력시에는 NSFF의 클락 선에 들어가지 않도록 게이팅하는 방법이 있다. 이 방법 역시 NSFF의 클락 선에 부가 회로가 들어가고, 또한 MODE선이 NSFF마다 배급되어야 하므로 부분 스캔의 이점을 감소시킨다. 넷째, 완전 스캔과 같은 회로 구조를 사용하되 그림 3의 S부분에 대한 모든 시험 패턴을 생성할 때마다, 플립플롭(NSFF)의 상태를 모르는 것으로 가정(Unknown state)하고 시험 패턴을 생성하는 것이다. 이는 부분 스캔에 따른 설계 오버헤드의 증가는 없지만, 시험 패턴 생성 비용을 증가시키고, 시험 패턴의 숫자를 증가시킨다. 즉, 현재 거론되는 모든 해결책들은 그림 3에서 제시된 교차되는 두개의 곡선 A, B의 곡률을 부분 스캔의 효능을 감소시키는 방향으로 변화시킨다.

부분 스캔 기법에 있어서 검토해야 할 가장 중요한 과제는 어떤 플립플롭들을 선택하여 스캔 사슬에 넣어야 할 것인가 하는 점이다. 이 과제는 자동

시험 패턴 생성기의 능력과 직결되어 있다. 즉, 순차 회로에 대한 시험 패턴 생성이 어려운 이유, 말을 바꾸면 시험 패턴 자동 생성기가 왜 순차 회로에 대해서는 낮은 결합 시험 지수(fault coverage)를 나타내는가 하는 문제에 따라 다른 접근이 이루어 질 수밖에 없다. 물론, 그 이유는 회로의 피드백 때문이라는 것은 명백하다. 따라서, 피드백으로 형성되는 사이클(cycle)에 대하여 여러 가지 접근이 이루어졌다. 예를 들면, 시험 척도(testability measure)를 측정하면서 사이클 내의 플립플롭의 숫자(sequential depth)를 정해진 숫자 이하로 만드는 방법^[4, 6], 혹은 어떤 플립플롭을 스캔 사슬에 넣으면 가장 높은 시험지수의 개선이 가능한지를 검토하는 기법^[7]이 거론되었다. 즉, 이 기법은 사이클 내의 플립플롭의 갯수가 시험 패턴 생성을 어렵게 한다고 본 것이다.

사이클 내의 플립플롭의 숫자 제한에 따른 효과와 자동 시험 패턴 생성의 문제가 검토된 사례가 많이 있다. 회로내의 모든 사이클을 끊어 내거나^[8, 9], 자기 궤환 루프(self-loop)를 제외한 모든 사이클을 끊어 내거나^[10, 11, 12, 13, 14, 15], 위에 언급한 바와 같이 사이클 내의 플립플롭을 정해진 숫자 이하로 줄이는 방법들이다. 이 중에서도 자기 궤환 루프를 제외한 모든 사이클이 끊어지도록 스캔 사슬을 형성하는 방법이 스캔 플립플롭 비율이 적으면서도 비교적 높은 결합 시험 지수를 보이기 때문에 많은 연구가 있었다. 스캔 사슬에 들어가는 플립플롭의 개수는 적을수록 스캔 설계에 따른 오버헤드가 적으므로, 최소 숫자의 플립플롭을 스캔 사슬에 넣어서 자기 궤환 루프를 제외한 모든 사이클을 없애는 문제가 많이 연구되었다^[13, 14, 15]. 이 문제를 MFVS(minimum feedback vertex set)문제라고 하는데 이 문제에 대해서 가장 좋은 결과를 보고한 것은^[15]이다.

한편으로는 시험하려고 하는 회로의 기능(function)은 그대로 유지하면서도 플립플롭의 위치를 옮김으로써 회로를 재 설계하여 스캔 사슬에 들어가야 하는 플립플롭의 숫자를 줄이려는 시도도 있다^[16, 17]. 이러한 시도는 자기 궤환 루프를 제외한 모든 사이클을 없애기 위한 플립플롭의 숫자를 더

욱 줄이는 데 성공하고 있다. 따라서, 기능을 유지하므로 적용하면 이득이 있을 것이 틀림없다. 그러나, 재 설계된 회로의 게이트 수가 늘어나는 것이 보통이므로 회로 면적에 대한 검토가 필요하고, 설계가 변경되었으므로 변경된 회로의 회로 지연 시간이 늘어난 것은 아닌지 검토할 필요가 있다. 또한 무엇보다도, 이러한 기법을 적용하였을 때, 결합 시험 지수를 크게 감소시키는 것은 아닌지 검토가 필요하다고 하겠다. 자기 궤환 루프를 제외한 모든 사이클을 없애기만 하면 같은 결합 시험 지수를 보인다고 할 수 없기 때문이다.

이러한 모든 기법들은 자기 궤환 루프는 회로 시험도(testability)에 큰 영향이 없으며, 자기 궤환 루프가 아닌 사이클이 자기 궤환 루프보다 결합 시험지수에 나쁜 영향을 준다는 생각에서 비롯된 것이다. 이러한 관점은 일반적으로 맞는 것이라고 생각되지만, 반드시 그런 것은 아닌 것으로 생각된다. ^[13, 18]의 실험 결과에서 알 수 있듯이 자기 궤환 루프를 제외한 모든 사이클을 끊어낸 회로에 대한 시험 패턴 발생(ATPG) 과정에서의 결합 시험지수는 크기가 큰 일부 회로에 대해서는 매우 낮기 때문이다. 이는 자기 궤환 루프의 일부는 결합 시험지수에 큰 영향을 주고 있음을 말한다. ^[13, 18]등에서는 ISCAS89 회로에서 크기가 큰 회로의 대부분에 대한 실험 결과가 누락되어 있는데 그러한 기법에서는 자기 궤환 루프의 일부가 미치는 영향에 대한 고려가 없기 때문에 나쁜 결합 시험지수를 보였을 것으로 추정된다. 따라서, 사이클 내의 플립플롭의 숫자라는 기준 이외에 순차 회로 시험의 어려움이 생기는 원인을 감안한 기준들이 함께 적용되어야 더욱 적절한 부분 스캔이 가능할 것으로 생각된다.

III. 보드 수준의 스캔 설계

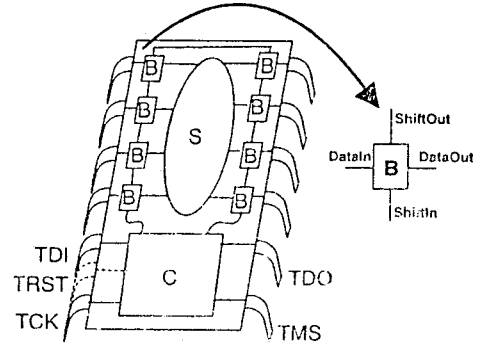
이제까지 살펴본 기법들은 칩 수준에서 시험 비용을 낮게 하기 위한 스캔 설계에 관한 것이었다. 이러한 기법의 근본 개념은 회로내의 플립플롭들

을 쉬프트 레지스터로 묶어서, 핀을 통하여 접근할 수 9없는 회로의 내부 노드를 제어/관찰하는 것이다. 이러한 기본 개념을 보드 수준의 시험을 위한 설계에서도 적용할 수 있다. 보드의 시험은 보드에 실장된 칩의 시험과 칩과 칩의 연결에 대한 시험을 모두 포함한다. 이러한 시험 목적으로 널리 쓰이는 시험 방법이 보드의 에지 콘넥터를 통한 기능 시험과 인서트 테스트를 이용한 시험이었다. 최근 보드에 실장되는 칩의 밀도가 커지고, 무엇보다도 표면 실장 기술이 널리 사용되기 시작함에 따라 이러한 시험 방법들만으로는 시험이 불가능하게 되었으며, 따라서 칩 내부에 보드 시험을 위한 회로를 추가하여 보드 시험을 돕는 기법이 연구되었다. 이러한 기법을 경계 주사(boundary scan)라 부른다. 보드에 실장되는 칩은 다양한 제조사가 있게 마련이므로 표준의 필요성이 자연스럽게 부각되었으며, 1990년 IEEE 표준으로 제정되었다.

1. IEEE Std 1149.1

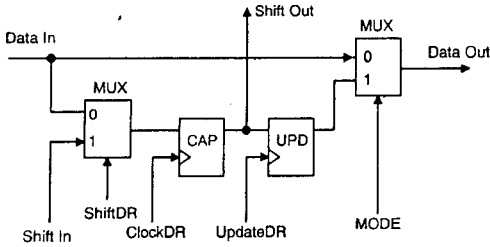
JTAG(Joint Test Action Group)의 모임으로부터 출발한 디지털 보드 시험을 위한 경계주사 기법에 관한 표준안은 1990년 IEEE의 표준으로 제정(IEEE Std 1149.1)^[19]된 이래, 칩 수준의 스캔 기법과의 연계를 위한 표준(IEEE Std 1149.2, Extended Serial Subset)^[21], 모듈 및 시스템 수준의 시험을 위한 표준(IEEE Std 1149.5, Standard Backplane Module Test and Maintenance Bus Protocol)^[22]등이 속속 제안/제정되었으며 IEEE Std 1149.1도 보완^[20]을 거쳤다. 이 논문에서는 비교적 작은 칩 및 보드^[23], 마이크로프로세서^[24], 인공위성 시스템^[25]에의 적용 등 수많은 성공 사례가 보고되고 있는 IEEE 1149.1, 즉 JTAG의 경계 주사 기법에 대해 기술한다.

경계 주사를 이용한 보드 시험은 보드 위에 실장되는 칩에 부가 회로를 넣기 때문에 가능하다. 부가 회로는 칩의 핀마다 하나씩 주어지는 경계 주사 셀(boundary scan cell)과 이 경계 주사 셀을 제어하는 컨트롤러로 구성된다. 그림 4에 이 구조를 보였다. 그림에 보인 블록 S는 이 칩의 기능 자체를 담당하는 회로이다. 즉, 경계 주사를 사용하지



(그림 4) Boundary Scan IC

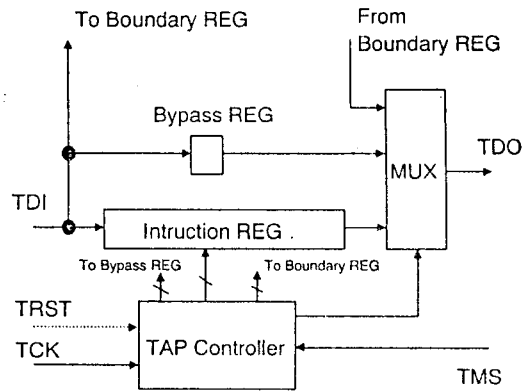
않을 경우 칩에는 이 부분만 남게 된다. 그림 4에 보인 블록 B와 C가 경계 주사를 위하여 추가되는 회로이다. 이 부분에서 B로 표시된 부분은 블록 S와 관련된 모든 핀에 하나씩 추가되는 경계 주사 셀(boundary scan cell)이며, 블록 C는 경계 주사 셀의 동작을 제어하기 위한 일종의 컨트롤러 회로이다. 경계 주사 셀은 정상 동작 때에는 시스템 논리회로(블록 S)와 핀을 직접 연결시켜서 정상 동작이 가능하도록 한다. 시험을 수행할 때에는 셀들이 플립플롭을 근간으로 하는 스캔 사슬을 형성한다. 이 스캔 사슬을 경계 레지스터(boundary register)라 부른다. 그림 4의 오른쪽에 표시된 ShiftIn과 ShiftOut이 이웃한 셀과 맞물려서 경계 레지스터를 형성한다. 이 스캔 사슬에 들어가거나 스캔 사슬로부터 나오는 논리 값들은 그림 4의 TDI(Test Data In)로 표시된 핀을 통하여 입력되며, TDO(Test Data Out)로 표시된 핀으로부터 출력된다. 칩에는 경계 주사를 목적으로 4개의 시험용 핀을 부가한다. 이 시험용 핀들은 TDI, TDO, TCK(Test Clock), TMS(Test Mode Select)이다. 여기서, TCK와 TMS는 경계 주사 기법을 이용하여 수행하는 여러 가지 종류의 시험을 선택하고 제어하기 위하여 사용된다. 또 하나의 핀 TRST(Test Reset)는 경계 주사를 위하여 사용하는 C의 회로 부분을 초기화시키기 위한 시험용 입력이다. 이 기능은 TCK와 TMS의 신호 조합으로 가능하기 때문에 선택 사양이다. 따라서, 그림에서는 점선으로 표시하였다.



(그림 5) 경계 주사 셀

그림 5에 경계 주사 셀의 예를 보았다. 즉, 그림 4에 B로 표시된 1개의 블럭의 개념을 자세히 보인 것이다. DataIn과 DataOut은 칩의 핀과 시스템 논리회로를 연결하는 부분이다. DataIn이 핀에 연결될지 DataOut이 핀에 연결될지는 핀이 입력 핀인가 출력 핀인가에 따라 결정된다. 또한 ShiftIn과 ShiftOut은 이웃한 경계 주사 셀과 사슬 형태로 연결되어 경계 레지스터를 형성한다. 그림 5의 DataOut이 연결된 MUX는 MODE의 제어에 따라 칩을 정상 동작시킬 때에는 DataIn과 DataOut을 직접 연결시킨다. 따라서 MUX의 시간지연을 제외하고는 시스템 논리회로에 영향을 주지 않는다. MODE의 제어에 따라 시험 모드에 들어갔을 때에는 두개의 직결된 플립플롭의 출력이 TDO에 연결된다. 두개의 플립플롭 중에서 CAP으로 이름지어진 플립플롭은 DataIn으로부터 데이터를 받거나(capture), 사슬로 연결되었을 때 데이터를 이동(shift)시킨다. ShiftIn과 ShiftOut이 이 플립플롭의 입력과 출력에 연결되어 있음에 주목할 필요가 있다. UPD로 명령된 플립플롭(혹은 래치)은 스캔 사슬을 통하여 데이터가 입력 혹은 출력될 때 변화되는 데이터가 DataOut에 영향을 주는 것을 막고 컨트롤러(그림 4의 C 부분)의 제어에 따라 일시에 DataOut의 값을 변화(update)시키기 위한 것이다. 즉, 이 경계 주사 셀은 capture, shift, update의 3가지 동작을 하도록 제어됨을 알 수 있다. 이 동작들은 그림 5에 주어진 shiftDR, clockDR, updateDR의 3개 신호의 조합에 따라 제어되고, 이 신호들은 그림 4의 C로 표시된 컨트롤러에서 공급한다.

그림 6에 경계 주사를 위한 컨트롤러의 대강을



(그림 6) 경계 주사를 위한 컨트롤러

보였다. 컨트롤러는 통과 레지스터(bypass register), 명령어 레지스터(instruction register), TAP (Test Access Port) controller 등의 논리회로로 구성된다. 통과 레지스터는 플립플롭 하나로 이루어진다. 보드 위에 여러 개의 칩들이 실장되고 그 칩들의 TDI, TDO핀을 통하여 모든 경계 레지스터가 스캔 사슬로 연결되므로 스캔 사슬의 길이가 지나치게 길어질 수 있다. 따라서, 시험에 관련되지 않는 칩의 경우 경계 레지스터 대신에 통과 레지스터를 통하여 데이터를 통과시켜서 스캔 사슬을 짧게 만들어 시험 패턴의 입력과 시험 반응의 출력에 걸리는 시간을 단축시킨다.

명령어 레지스터는 경계 주사에서 가능한 여러 가지 시험 모드를 지정하기 위한 레지스터이다. 예를 들면, 앞서 설명한 바와 같이 데이터를 통과시킨다든지(BYPASS 명령), 시험 반응을 잡아내고 동시에 시험 패턴을 경계 레지스터에 넣는다든지(SAMPLE/PRELOAD 명령), 보드 위에서 칩끼리의 연결을 시험(EXTEST 명령)한다든지 등의 여러 가지 명령어가 표준으로 지정되어 있으며, 여기 설명한 3개는 표준에서 지정한 반드시 있어야 하는 시험 모드이다.

TAP controller는 앞서 설명한 capture, shift, update등의 동작을 제어하기 위한 제어기이다. 이는 입력 하나(TMS)와 16개의 상태(state)를 갖는 유한 상태 오토마타(finite state automata)의 구조를 갖고 있다. 각 동작은 경계 주사의 데이터

레지스터(경계 레지스터, 통과 레지스터 등)에 대한 동작과 명령어 레지스터에 대한 동작으로 대별할 수 있으며, 이 동작들이 오토마타의 각 상태를 나타낸다. 그 외의 중요한 상태로는 초기화 상태(test logic reset state)가 있다. TAP controller가 이 상태가 되면 경계주사를 위한 부가회로가 초기 상태가 된다. TAP controller는 어떤 상태에서도 TMS에 논리값 1을 주고 TCK에 5개의 클락을 주면 초기화 상태로 들어가도록 설계되어 있으며, TRST 핀이 있는 경우 TRST에 논리값 0을 인가했을 때에도 초기 상태가 된다.

경계 주사를 이용한 보드 시험은 명령어 레지스터에 의하여 지정된 시험 모드에 따라 서로 다른 시험 순서(알고리즘)를 갖는다. 따라서, 시험은 명령어 레지스터에 명령어를 입력시키고 데이터 레지스터에 시험 패턴을 입력시킨 후 반응을 출력시키는 순서로 이루어진다. 따라서 구체적인 시험 순서는 명령어 레지스터의 값과 TAP controller의 상태를 제어함으로써 정해진다. 이 값들을 해독(decoding)한 제어 신호가 각종 레지스터 및 멀티플렉서에 공급되어 시험을 수행한다. 그림 7에 칩의 외부 시험을 위한 예를 표시하였다. 그림 7은 U1과 U2 사이의 연결에서 일어날 수 있는 단선이나 단락을 시험할 경우의 예를 표시한 것이다. U1과 U2사이의 4선의 연결에서 U1측이 출력, U2측이 입력이라면, U1의 경계 레지스터에 시험 패턴을 넣고 U2의 경계 레지스터에서 반응을 읽어내어 시험할 수 있다. 이 구조에서 각 칩의 TDI와

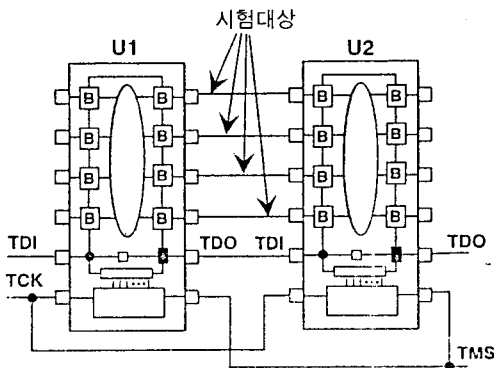
TDO는 사슬로 연결되어 있고, TCK와 TMS는 병렬 연결되어 있다.

2. BSDL – Boundary Scan Description Language

경계 주사는 보드에 실장되는 칩에 부가 회로를 넣어서 보드 시험을 할 수 있도록 하는 기법이다. 그런데 보드에 실장되는 칩의 제조자는 일반적으로 여러 곳이 되는 것이 보통이다. 따라서, 표준이 필요한 것이다. 그런데 표준에서는 명령어의 2진 코드, 레지스터의 길이 등 많은 부분을 자유롭게 설계할 수 있도록 하고 있다. 이는 최대의 유연성을 부여하기 위한 것이다. 그러나, 이러한 유연함으로 인하여, 설계 칩의 구현에 따른 기록(documentation)은 필수적인 것이다. 칩의 경계 주사를 어떻게 구현했는지에 대한 기록이 없다면 보드를 설계하고 시험하는 사람은 칩에 구현된 경계 주사 기능을 사용할 수 없을 것이다. 따라서 IEEE Std 1149.1에서도 기록을 의무로 하고 있다. 표준에는 어떤 사항을 기록해야 하는가에 대해서는 규정하고 있으나 구체적으로 어떤 방법으로 기록해야 하는지는 규정하고 있지 않다. 그러나, 이에 대해서는 산업계에서 받아들이고 있고 널리 사용되는 방법이 있는데 이것이 BSDL(Boundary Scan Description Language)^[26]이다.

BSDL은 VHDL의 일부분을 근간으로 하고 있다. BSDL이 VHDL을 뼈대로 채택한 근본적인 이유는 VHDL이 유일한 IEEE 표준인 하드웨어 기술언어이기 때문이다. 그러나, 모든 설계자들이 VHDL을 사용하는 것은 아니므로 몇 가지 사항들을 고려하여 설계되었다. 첫째, 사용자들이 BSDL 화일을 작성해야 하므로 사용자에게 편리해야 한다는 점, 둘째, 가능한 VHDL의 작은 부분만을 채택하여 VHDL 환경을 채택하고 있지 않은 CAD 시스템에서도 독립적으로 사용할 수 있어야 한다는 점, 동시에 이미 VHDL 환경을 구축하고 있는 사용자는 기존 도구를 사용할 수 있어야 한다는 점이다.

BSDL은 entity, package, package body를 근간으로 하여 구성되어 있으며, 경계주사 부가회로



(그림 7) 경계주사를 이용한 외부시험

의 근간인 TAP controller와 경계 레지스터의 기술을 중심으로 하여 설계되어 있다. 자세한 언어의 내용과 yacc 소스 및 예제는 [26]을 참고하기 바란다.

IV. 결 론

디지털 IC 및 보드의 시험을 위한 칩 및 보드 수준의 여러 가지 스캔 설계 기법에 대하여 기술하였다. 칩 및 보드의 시험을 위한 스캔 설계는 부가 비용을 발생시킨다. 즉, 부가되어 들어가는 회로가 있어야 하므로 실리콘 비용과 설계 비용이 필요하고, 경우에 따라서는 시스템 로직의 성능을 떨어뜨릴 수도 있다. 이러한 비용은 이미 인용한 사례들에서 보듯, 시험 비용의 대폭적인 감소에 의하여 보상되어 총 비용이 절감되므로 정당화된다.

칩 수준의 설계에 있어 완전 스캔은 이미 익은 기술이라 할 수 있다. 그러나 부분 스캔은 아직도 실체를 밝힐 점이 남은 것으로 생각된다. 이 문제는 순차회로에 대한 시험 패턴 생성 문제와도 밀접하게 연관되어 있으며, 시험 패턴의 생성을 어렵게 하는 요인에 대한 성찰의 결과에 따라, 부분 스캔 기법의 발전도 오리라 기대된다.

보드 수준의 스캔 설계는 몇 가지 문제점[27]에도 불구하고 유용함은 입증된 기술이다. 표준이 확정된 이후의 지난 5년간, 수십 편의 적용 및 성공 사례가 주요 학술 회의를 통하여 발표된 것이 이를 말해 준다. 뿐만 아니라, 표면 실장 기술에 따른 보드 내의 높은 칩 밀도로 인하여 경계 스캔은 필수 불가결한 기술이다. 이러한 보드 레벨의 시험 기술은 현재로서는 디지털 보드에 대해서만 적용이 확대되고 있으나, 장래에는 아날로그 회로에 대한 시험을 규정한 IEEE Std 1149.4 및 모듈 및 시스템 레벨의 시험 표준을 규정한 IEEE std 1149.5와 함께 적용되는 추세로 발전될 것으로 기대된다.

참 고 문 헌

- [1] S. Funatsu, N. Wakatsuki, and A. Yamada, "Designing Digital Circuits with Easily Testable Consideration," Proc. of Test Conf., pp. 98-102, September, 1975.
- [2] J.H. Stewart, "Application of Scan/Set for Error Detection and Diagnostics," Digest of Papers 1978 Semiconductor Test Conf., pp. 152-158, 1978.
- [3] E.B. Eichelberger and T.W. Williams, "A Logic Design Structure for LSI Testing," Proc. of 14th Design Automation Conf., pp. 462-468, June 1977.
- [4] E. Trischler, "Testability Analysis and Incomplete Scan Path," Proc. of Int'l Conf. on Computer Aided Design, pp. 38-39, Oct. 1983.
- [5] P. Varma and T. Gheewala, "The Economics of Scan-Path Design for Testability," *Journal of Electronic Testing*, vol.5, No.2, pp. 179-193, 1994.
- [6] K.S. Kim and C.R. Kime, "Partial Scan by Use of Empirical Testability," Proc. of Int'l Conf. on Computer Aided Design, pp. 314-317, 1990.
- [7] P.S. Parikh and M. Abramovici, "A Cost-Based Approach to Partial Scan," Proc. of 30th Design Automation Conf., pp. 225-259, 1993.
- [8] R. Gupta, R. Gupta, and M. A. Breuer, "The BALLAST Methodology for Structured Partial Scan Design," *IEEE Trans. on Computers*, vol. C-39, No. 4, pp. 538-544, April 1990.
- [9] H.B. Min and W.A. Rogers, "A Test Methodology for Finite State Machines Using Partial Scan Design," *Journal of*

- Electronic Testing*, vol.3, No.2, pp. 127-137, 1992.
- [10] V.D. Agrawal, K.-T. Cheng, D.D. Johnson, and T. Lin, "A Complete Solution to the Partial Scan Problem," Proc. of Int'l Test Conf., pp. 44-51, 1987.
- [11] K.- T. Cheng and V. D. Agrawal, "An Economical Scan Design for Sequential Logic Test Generation," Proc. of 19th Symposium on Fault Tolerant Computing, pp. 28-35, June 1989.
- [12] K.- T. Cheng and V. D. Agrawal, "A Partial Scan Method for Sequential Circuits with Feedback," *IEEE Trans. on Computers*, vol. C-39, No. 4, pp. 544-548, April 1990.
- [13] D.H. Lee and S.M. Reddy, "On Determining Scan Flip-Flops in Partial Scan," Proc. of Int'l Conf. on Computer Aided Design, pp. 322-325, 1990.
- [14] S. Park and S.B. Akers, "A Graph Theoretic Approach to Partial Scan Design by K-Cycle Elimination," Proc. of Int'l Test Conf., 1992.
- [15] S.T. Chakradhar, A. Balakrishnan, and V. D. Agrawal, "An Exact Algorithm for Selecting Partial Scan Flip-Flops," Proc. of 31st Design Automation Conf., pp. 81-86, 1994.
- [16] S.T. Chakradhar and S. Dey, "Resynthesis and Retiming for Optimum Partial Scan," Proc. of 31st Design Automation Conference, pp. 87-93, 1994.
- [17] P. Pan and C.L. Liu, "Partial Scan with Pre-selected Scan Signals," Proc. of 32nd Design Automation Conf., pp. 189-194, 1995.
- [18] V. Cjickermane and J.H. Patel, "An optimization Based Approach to the Partial Scan Design Problem," Proc. of Int'l Test Conf., pp. 377-386, 1990.
- [19] Test Technology Standards Committee, "IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE Computer Society Press, 1990.
- [20] Test Technology Standards Committee, "IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE Computer Society Press, 1993.
- [21] B. Dervisoglu, "IEEE P1149.2 Description and Status Report," *IEEE Design and Test of Computers*, pp. 79-81, September 1992.
- [22] P. McHugh, "IEEE P.1149.5 Module Test and Maintenance Bus," *IEEE Design and Test of Computers*, pp. 62-64, December 1992.
- [23] B. Caldwell and T. Langford, "Is IEEE 1149.1 Boundary Scan Cost Effective : A Simple Case Study," Proc. of Int'l Test Conf., pp. 106-109, 1992.
- [24] D.D. Josephson, D.J. Dixon, and B.J. Arnold, "Test Features of the HP PA7100LC Processor," Proc. of Int'l Test Conf., pp. 764-772, 1993.
- [25] C. Champlin, "IRIDIUM Satellite : A Large System Application of Design for Testability," Proc. of Int'l Test Conf., pp. 392-398, 1993.
- [26] K.P. Parker and S. Oresjo, "A Language for Describing Boundary Scan Devices," *Journal of Electronic Testing*, vol.2, pp. 43-75, 1991.
- [27] M.V. Tegethoff and K.P. Parker, "IEEE Std 1149.1 : Where Are We? Where From Here?" *IEEE Design and Test of Computers*, pp. 53-59, Summer 1995.

저 자 소 개



閔 炯 福

1958年 2月 22日生

1980年 2月 서울대학교 공과대학 전자공학과 공학사

1982年 2月 한국과학기술원 전기 및 전자공학과 공학석사

1990年 12月 The University of Texas at Austin

전기 및 컴퓨터공학과 공학박사

1991年 3月~1985年 4月 금성통신(주) 연구소 주임연구원

1985年 8月~1986年 7月 미국 Columbia 대학교 연구원

1991年 3月~현재 성균관대학교 조교수, 부교수

주관심분야 : VLSI Testing, CAD 시스템