

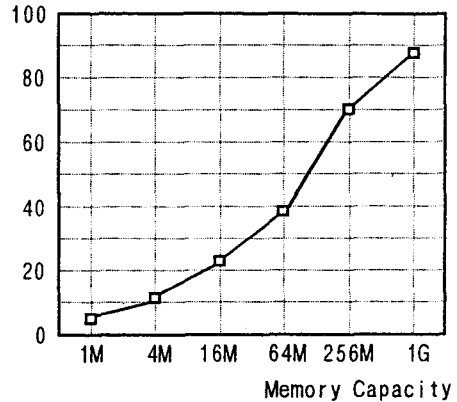
차세대 반도체 메모리의 테스트 기술

李和俊, 蘇秉世
三星電子(株) 메모리본부 테스트기술

I. 서 론

지난 10여년 동안 메모리 분야는 엄청난 속도로 발전해 왔으며, 이제 1Gbit DRAM 시대의 문을 두드리고 있음은 우리 모두에게 주지의 사실이다. 이러한 발전의 배경에는 두 가지 중요한 이유가 있었다고 본다. 그 하나는 디지털 회로 및 컴퓨터의 지속적인 발달로 메모리에 대한 수요가 급증하였다는 것이다. 실제로 1980년대에의 세계 메모리 시장은 매년 23%의 성장을 계속하여 현재는 수십억달러에 달하는 시장을 형성하고 있으며 앞으로 더욱 커질 전망이다^[1]. 다른 또 하나의 중요한 이유는 반도체 제조 기술의 지속적인 발달을 들 수 있다. 반도체 제조 기술의 발달은 더욱 작고 복잡한 회로의 구현을 가능하게 하여, 단위 면적당 메모리 cell 수를 증가시켜(64K DRAM에서 64M DRAM까지 세대마다 평균 약 60%이상으로 cell의 크기가 축소되었다^[2]) 메모리의 집적도는 계속적으로 증가되고 있다.

Test Cost Ratio(%)



〈그림 1〉 전체 제조원가에 대한 테스트 비용의 예상 비율

그러나, 이러한 메모리 칩의 평면적 수직적 축소는 복잡하고 정밀한 제조 공정을 요구하게 되고, 이러한 공정을 통하여 완성된 메모리는 제품의 신뢰도 및 품질 보장을 위하여 점점 더 복잡 정교하고 긴 시간을 요하는 테스트가 필요하게 되었다.

메모리의 테스트 시간이 cell의 갯수에 비례한다는 산술적 계산에 의하면 테스트 시간은 세대당 4배씩 길어지게 된다. 반면에 메모리 제조 공정에 소요되는 비용은 상대적으로 작게 증가하고 있으므로, 향후 전체 제조원가에 있어 테스트가 차지하는 비중은 점차 늘어날 전망이다. 그림 1은 테스트 비용이 세대당 2배로 증가한다는 가정 아래 DRAM의 경우에 Inoue등이 계산한 전체 제조 비용중 테스트 비용의 예상 비율을 보여주고 있다^[2]. 위 그림에서 64M 이상의 메모리에서는 테스트가 전체 생산비용의 40% 이상을 차지하게 되어 반도체 메모리에 있어서 테스트는 반도체의 가격 경쟁력을 결정하는 중요한 기술이 될 것으로 판단된다. 그러므로 새로운 방법의 메모리 테스트가 절실히 요구되고 있으며, 테스트 기술은 향후 반도체 메모리 발전에 있어 중요한 역할을 할 것이다. 본 논문에서는 메모리 테스트에 관한 전반적인 요소들에 대하여 알아보고, 실적용 중인 메모리 테스트들에 대하여 설명함으로써, 통상적으로 알려진 테스트와 실적용 되는 테스트와의 차이점을 설명하고자 한다.

본 논문은 다음과 같이 구성되어 있다. 제2절은 메모리의 종류와 기본 개념 및 종류별 메모리의 동작 원리를 설명하고 있다. 제3절에서는 메모리의 defect 및 failure mechanism에 대하여 알아보고, 통상적으로 이용되는 functional fault model에 대하여 기술하고 있다. 제4절에서는 functional fault model에 근거한 테스트 방법에 대하여, 제5절에서는 실적용 되고 있는 테스트 방법을 설명하였다. 제6절과 제7절은 메모리를 위한 DFT와 차세대 메모리 테스트의 방향에 대하여 논하고, 마지막으로 결론을 제8절에 기술하였다.

II. 메모리의 구조 및 동작

일반적으로 메모리라 함은 magnetic disk 등을 포함하는 광의의 의미로 해석될 수 있으나, 본 논문에서는 반도체 메모리에 한정하여 기술한다. 이

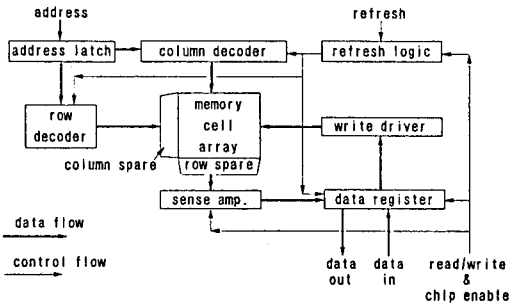
절에서는 메모리의 기본 구조 및 각 종류의 메모리의 동작 원리를 설명하였다.

1. 메모리의 종류 및 기본 구조

반도체 메모리는 전원을 내렸을 경우 기록된 정보를 유지할 수 있는가의 여부에 따라 휘발성 메모리와 비휘발성 메모리로 구분할 수 있다. 휘발성 메모리는 전원 공급이 중단되었을 경우 이전에 기록된 정보를 잃는 메모리를 말한다. 휘발성 메모리는 다시 내부 cell 구조에 따라 DRAM(Dynamic RAM)과 SRAM(Static RAM)으로 분류하는데, SRAM은 전원이 공급되는 한 저장된 정보를 무한정 보유하는데 반해, DRAM의 경우 저장된 정보를 유실하지 않기 위하여는 주기적으로 cell 정보를 다시 기록하여 주는 refresh를 하여야 한다. 비휘발성 메모리는 Mask ROM, PROM(Programmable ROM)이 있으며, PROM중에는 EPROM(Erasable PROM), EEPROM(Electrically Erasable PROM) 및 FLASH 메모리 등이 있다.

이러한 메모리 이외에도 여러 종류의 특수 용도에 맞게 제작되는 메모리들이 있다. Pseudo SRAM은 내부에서는 DRAM cell이 존재하나 refresh 회로를 내장하여 외부에서는 SRAM과 같이 동작하는 메모리이다. Cache DRAM(CDRAM)은 상대적으로 속도가 느린 DRAM과 작으나 빠른 SRAM cache를 함께 제공하여 평균 read time을 줄일 수 있는 메모리이며, Video DRAM은 영상 기기의 특수 목적에 이용하기 위하여 보통의 DRAM 동작 외에 고속 sequential access 모드를 제공한다. 또한 반도체 메모리는 통상적으로 비동기 신호에 의하여 동작하나 최근에는 디지털 시스템의 동작 주파수가 증가함에 따라 data throughput을 늘리기 위해 여러 가지 새로운 메모리가 출현하게 되었다. 이들 중에서 synchronous 메모리는 주기적인 외부 클럭에 동기 되어 동작하는 메모리를 말하며, fast page mode, EDO(Extended Data Out) mode 등이 대표적으로 새롭게 도입된 기능들이다.

일반적으로 각 메모리는 물리적으로 서로 다른 구조를 갖고 있으나 논리적으로는 거의 동일한 구



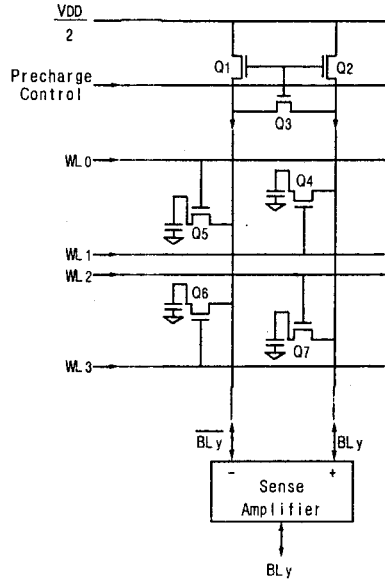
(그림 2) 메모리의 기본 구조

조를 갖고 있다. DRAM을 예로 하여 메모리의 기본 구조 및 동작에 대하여 설명하기로 한다. 논리적으로 1Mx4의 메모리도 내부적으로는 여러 개의 정방향 형태의 블록으로 나뉘어져 구성되어 있는데, 기능적으로는 각 블록은 동일하게 동작한다. 그림 2는 한 개의 블록의 일반적인 구성을 보여주고 있다. DRAM에서는 흔히 패키지의 density를 높이기 위해 address multiplexing이 이용되는데, row address strobe(RAS)와 column address strobe(CAS)의 두 신호의 falling edge에서 address가 mux되어 입력된다. High order bit의 어드레스는 row decoder에 입력되어 한 개의 wordline을 선택한다. 이때 선택된 wordline에 연결된 모든 cell이 액티브되는데, 이 중 하나를 low order bit의 어드레스가 column decoder에 입력되어, 한 개의 cell만이 선택되도록 동작한다. 선택된 cell의 data는 센스앰프에 의하여 detect되거나 (read), write driver에 의하여 외부의 data가 입력(write) 된다. Byte-wide 메모리의 경우는 개념적으로 위의 설명에서 한 개의 cell이 여러 개의 subcell로 구성되었다고 생각하면 된다^[3].

2. DRAM

DRAM의 cell들이 precharge 회로 및 센스앰프와 연결된 모양을 그림 3에 나타내었다. 그림 3에서는 cell들이 각 bitline을 교차하면서 wordline에 연결되어, 선택된 wordline에 의하여 액티브된 cell이 bitline과 bitline-bar 중의 하나만 연결됨을 알 수 있다. 커패시터 C가 충전(방전)된 상태를

논리 1(0)로 코딩하는 경우를 가정하고, wordline WL1과 bitline BL1의 교차 지점에 있는 트랜지스터 Q4와 커패시터 C에 의하여 형성된 cell을 예로 DRAM의 동작을 설명하기로 한다.



(그림 3) DRAM의 기본 동작 원리

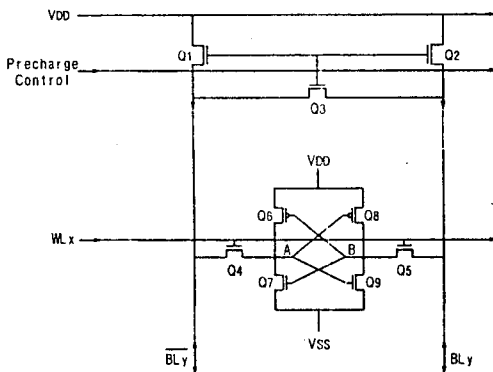
Idle 상태에서는 모든 wordline이 low상태를 유지하며, storage 노드는 비록 작은 양(1fA)의 leakage 전류가 흐르지만 전기적으로 isolated된다. 각 cell에 대한 read 동작은 다음과 같다. 먼저 BLy-bar와 BLy가 VDD/2로 precharge된다. WL1이 high로 액티브되면 Q4가 turn-on되어 커패시터 C가 BLy에 연결된다. 따라서 커패시터 C와 bitline 커패시터 사이에 charge sharing에 일어나 BLy의 전압이 C의 충전 상태에 따라 pull-up 또는 down 된다. 반면에 BLy-bar는 전위의 변동이 없으므로 BLy과 BLy-bar 사이에 약간(보통 100mV 정도)의 전위차가 발생되어 differential 센스앰프가 이 전위차를 detect한다. 센스앰프는 또한 검출된 전위차를 증폭하여 커패시터 C의 전위 level을 종전과 같은 상태로 회복시키는 역할도 한다. Write 동작은 read 동작과 유사하나, 센스앰프를 shut-off 시키고 상대적으로 큰 write driver에 의하여 외부 data를 커패시터 C에 over-

write하는 것이 다르다. 어떤 DRAM은 read-modify-write 동작을 지원하는데, 이는 cell에 있는 data를 읽음과 동시에 외부로부터의 새로운 data를 쓰는 기능을 말한다.

DRAM은 기록된 data를 유지하기 위해서는 반드시 주기적으로 refresh를 해야 되는데 보통의 DRAM은 RAS-only-refresh(ROR)와 CAS-before-RAS(CBR)의 두 가지 refresh 모드를 지원한다. ROR 모드에서는 외부에서 제공된 row 어드레스에 해당하는 wordline의 cell들이 refresh되며, CBR 모드에서는 일정 시간이 경과하면 칩 내부의 refresh 회로가 자동으로 turn-on되어 cell refresh가 이루어진다.

3. SRAM

통상적인 SRAM cell에 대한 회로를 그림 4에 나타내었다. 일반적으로 SRAM의 각 cell은 한 개의 flip-flop으로 구성된다. 그림 4에서 node A, B가 각각 H, L이면 data 1로 해석되고, 그 반대의 경우를 data 0으로 해석한다. SRAM은 DRAM과는 달리 속도 증대와 noise immunity를 높이기 위해 한 개의 cell이 bitline 및 bitline-bar에 모두 연결되어 있다. Read 및 write 동작은 DRAM과 매우 유사하다. Read시에는 precharge에 의하여 BLY와 BLY-bar가 VDD로 precharge된 후, WLx을 high로하여 Q4와 Q5가 액티브되면 cell data가 BLY와 BLY-bar 사이에 약간의 전위차를 발생시켜서 센스앰프로 data를 읽게 되는데, 대부



〈그림 4〉 SRAM의 기본 동작 원리

분의 SRAM들은 약 100mV 정도의 전위차만 발생하여도 센스앰프가 동작하도록 하여 access time을 최소화한다.

III. Physical Defect and Fault Modeling

반도체 디바이스는 photo step, mask alignment, etching, ion implantation, oxidation, metal sputtering, polysilicon growth, cleaning 등의 복잡한 제조 공정을 거쳐 만들어지며, 결론적으로 얻어지는 디바이스는 거의 확실하게 어떤 종류의 defect을 갖게 된다. 이러한 defect의 원인을 보면 면지에 의한 mask image의 변형, mask misalignment, mask 불량, over- 또는 under-etching 등으로서 거의 모든 공정이 defect의 원인을 제공한다. 디바이스에 존재하는 defect들은 대부분 이상 현상을 유발하여 오동작을 일으키게 되는데 이를 failure라 부른다. 메모리의 defect은 이웃하는 cell간의 short, wordline 또는 bitline bridge, wordline 또는 bitline open, weak isolation, gate oxide short 등의 다양한 형태로 나타난다. [4]에서는 cell 주위에서 발생할 수 있는 대표적인 열 가지의 defect들에 대하여 정의하고 이를 분석하는 테스트들을 설명하고 있으며, van de Goor는 physical defect와 failure mode에 대하여 정리한 결과를 [5]에서 도표로 설명하였다.

디바이스에 존재하는 defect 또는 physical fault는 테스트에서 흔히 하나의 logical fault로 모델링된다. Fault modeling은 여러 개의 defect을 한 개의 fault로서 설명할 수 있어 테스트 문제를 쉽게 할 수 있다. 대표적인 fault model로는 stuck-at fault로 알려진 logic fault model이나 메모리의 fault model로는 적합하지 않은 것으로 알려져 있다. Functional fault는 개념적으로 정상적인 메모리의 function을 변화시키는 fault를 지칭한다. 널리 알려진 메모리의 functional fault로는 Thatte와 Abraham이 제시한 모델이 있다 [6]. 이들에 의하면, 비록 physical defect이 메모리 전체에 ran-

dom하게 발생하여도 다음 세 가지 fault, 즉 1) stuck-at fault, 2) transition fault, 3) idempotent coupling fault들의 cell 관련 fault만으로 모두 설명될 수 있다고 주장한다. 그러나 이러한 functional fault model은 detail한 physical defect들의 영향을 제대로 반영하지 못하고, 고집적 메모리에서 발생하는 soft-error들을 잘 설명할 수 없다는 점이 그 한계이다.

최근에는 Inductive Fault Analysis(IFA)라는 기법이 메모리 fault modeling에 이용되고 있다. IFA에서는 physical defect을 conductor나 insulator 물질에 대하여 원하는 물질이 없어지거나 이 물질이 첨가되는 것으로 modeling하고, defect의 크기, 모양, 발생 빈도들을 변화시키며, 수작업이나 computer simulation으로 메모리의 동작 상태를 조사하여 fault model을 제시한다^[7, 8]. Dekker 등은 SRAM에 대하여^[9], Oberle 등은 DRAM에 대하여^[10] 각각 메모리 fault model을 제시하였다.

IV. Functional Test 알고리즘

전통적으로 메모리 제품의 개발 초기에는 가능한 많은 다양한 테스트들을 적용하여 제품의 이상 현상들을 관찰하게 되며, 제품이 성숙해 감에 따라

점차 중복되거나 발생 빈도가 아주 낮은 불량률 위 한 테스트들은 적용하지 않는 절차를 밟는다. 따라서 새로운 메모리가 등장할 때마다 새로운 메모리의 특성에 따라 여러 가지 새로운 테스트 방법이 엔지니어들에 의하여 ad hoc적인 방법으로 개발되곤 하였다. 이렇게 개발된 전통적인 테스트들로는 zero-one, checker board, sliding diagonal, working one's and zero's, GALPAT 등 여러 가지가 알려져 있다. 그러나 이러한 전통적인 테스트들의 effectiveness에 대하여는 많은 의문이 제기되어 왔다. 또한 working one's and zero's나 GALPAT 같은 테스트는, nbit 메모리를 가정할 경우, $O(n^2)$ 알고리즘으로 고집적 메모리에 적용하기에는 너무 많은 시간이 소요된다. 따라서 지금까지 논문으로 발표된 일반적인 functional test들은 앞 절에서 설명된 functional fault들을 효과적으로 detect하는데 주목적이 있었으며, 대표적인 예로 march test라는 불리는 일련의 테스트를 들 수 있다^[5].

*Marching element*는 increasing(0번지에서 n-1번지로) 또는 decreasing(n-1번지에서 0번지로) 순서로 각 cell에 대하여 한 번씩 read 또는 write 하는 것을 말한다. March test들은 march element들의 유한한 집합으로 정의될 수 있다. 표 1은 몇 가지 march test 알고리즘들을 보여주고

〈표 1〉 March Test 알고리즘

Name	Algorithm	Detectable Faults
MATS	$\uparrow(w0)$; $\uparrow(r, w1)$; $\downarrow(r)$	SAF, some AF
MATS+	$\uparrow(w0)$; $\uparrow(r, w1)$; $\downarrow(r, w0, r)$	SAF, AF
MATS++	$\uparrow(w0)$; $\uparrow(r, w1, r)$; $\downarrow(r, w0, r)$	SAF, TF, AF
March C	$\uparrow(r, w0)$; $\uparrow(r, w0)$; $\uparrow(r)$; $\downarrow(r, w1)$; $\downarrow(r, w0)$; $\downarrow(r)$	SAF, TF, AF, some CF
March A	$\uparrow(r, w1, w0, w1)$; $\uparrow(r, w0, w1)$; $\downarrow(r, w1, w0)$; $\downarrow(r, w1, w0)$;	SAF, AF, linked CF
March B	$\uparrow(r, w1, w0, r, w1)$; $\uparrow(r, w0, w1)$; $\downarrow(r, w0, w1, w0)$; $\downarrow(r, w1, w0)$;	SAF, AF, linked CF, linked TF

있다. Address decoding fault나 I/O관련된 fault 들은 cell 관련 fault로 mapping되므로, march test들은 다음 네 가지의 cell 관련 fault 즉, stuck-at-fault(SF), transition fault(TF), coupling fault (CF), neighborhood pattern sensitivity fault(NPSF)들의 functional fault를 detect하는 정도에 따라 그 복잡도가 정해진다^[5].

전술한 바와 같이 march test들은 functional fault model을 기본으로 하여 유도되었다. 원론적으로는 주어진 메모리의 fault model이 완벽하다면 메모리에 대한 optimal한 테스트를 정의할 수 있다^[11]. 그러나 실제적으로 fault model에서부터 효과적인 test를 이끌어 내는 데에는 다음과 같은 문제점이 있다. 첫째 정확한 fault model을 정의하기가 매우 어려우며, 가능하다 하여도 실용적인 fault model이 되기 어렵다. 둘째는 각 모델은 각각의 메모리의 성질에 따라 달라질 수 있다. 셋째로는 이러한 모델을 바탕으로 개발된 테스트가 실용적인 테스트가 된다는 보장이 없다. 이러한 한계를 극복하기 위하여, 앞에서 설명한 IFA 등에 의한 새로운 fault model이 개발되고 있다.

V. Practical Teste

앞 절에서 설명된 march test를 포함한 전통적인 메모리 테스트들은 현재 대량 생산되고 있는 고집적 메모리에 적용할 경우 모든 불량을 스크린한다고 보기는 어렵다. 그 이유로는 메모리 불량들이 contact-not-open이나 두 개의 line간의 short과 같은 hard fail이 아니라, weak isolation, subthreshold leakage, micro-bridge 등에 의한 soft fail이기 때문이다. 이 절에서는 상기된 전통적인 메모리 테스트 방법을 변형하거나 고집적 메모리를 위하여 고안된 테스트들 중에서 몇 가지 테스트에 대하여 설명하기로 한다.

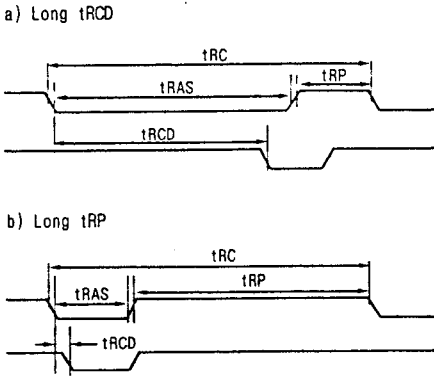
1. Row Fast, Column Fast 및 Long Cycle 테스트

March test에서는 functional model에 근거한 것이므로, increasing 순서와 decreasing 순서가 정확히 역순서라면, physical한 cell들의 access 순서는 중요하지 않다. 그러나 march test를 적용할 경우 실제 메모리는 cell의 access 순서에 따라 다른 결과를 보여줄 수 있으며, 이러한 요소는 메모리 테스트를 어렵게 하는 주요한 이유가 되고 있다. 더욱이 메모리를 테스트에서 read/write 동작 시키기 위하여는 supply voltage 및 signal의 timing이 정확하게 정의되어야 한다. 따라서 실제 industry에서 적용되고 있는 각 테스트들은 voltage, timing, data pattern 및 address sequence의 네 가지 조건의 조합으로서만이 설명 가능하다. 이 절에서는 실제적으로 industry에서 적용되고 있는 테스트인 Row fast test, Column fast test 및 Long cycle test의 세 가지 테스트를 예로 들어 설명하기로 한다.

Row fast test는 march의 순서가 wordline에 따라 정의된다. 즉, 첫 번째 wordline에 연결되어 있는 모든 cell에 대하여 march한 후 다음 wordline으로 진행한다. 반면에 Column fast march는 bitline에 따라 march 순서가 정의된다. Long cycle test는 data access의 시간 간격이 10usec 이상으로 매우 길다는 점에서 앞의 두 테스트와 구분된다. 10N march를 가정할 경우 이 세 가지 테스트는 functional level에서는 모두 March C로 설명된다. 그러나 Row fast test와 Column fast test는 DRAM에 적용할 경우에는 refresh 관점에서 살펴보면 전혀 다른 의미를 갖고 있음을 알 수 있다. Row fast test는 wordline을 따라 진행하므로 당연히 bitline을 따라 진행되는 Column fast test보다 worse한 refresh 특성을 갖게 된다. 그러나 Column fast test의 경우는 data pattern에 따라 센스앰프에 imbalance를 유발시키는데 더 효과적으로 사용될 수 있다.

Row fast test나 Column fast test시에는 통상적으로 short cycle의 timing이 적용되나, access 시간을 길게 하는 long cycle timing을 적용하였을 경우에는 메모리는 또 다른 경향을 보일 수 있다. 그림 5의 a)에서 보인 tRCD가 긴 timing을 적용

하는 Long cycle test는 long tRCD 만큼 오랫동안 센스앰프를 계속적으로 동작시키게 되어 bitline 센싱과 관련된 불량들이 검출된다. 그러나 Long cycle test의 경우에도 적용되는 timing 모양에 따라 검출되는 불량 유형이 다르게 나타난다. 예를 들면 그림 5의 b)와 같은 long tRP timing을 적용하면 precharge 시간이 길어지게 되고 이에 따른 불량을 검출하게 되는 것이다.



(그림 5) Long Cycle 테스트의 Timing Diagram

또한 서로 다른 VDD값은 서로 다른 불량 검출을 가속화할 수 있다. 예를 들어 Long tRCD test를 Row fast로 적용할 경우 한 개의 wordline이 장시간 액티브되는데, 이 경우 wordline에 존재하는 bridge형태의 defect을 검출할 수 있다. 만약 bridge가 wordline 사이에 존재한다면 이웃하는 wordline이 activation되는 불량을 검출하게 되는데, 이 경우 높은 VDD 전압을 인가하면 불량 검출을 가속화할 수 있다. 그러나 bridge가 wordline과 Ground사이에 존재한다면 wordline의 전위가 너무 낮게 되어 원하는 cell을 activation할 수가 없는 현상을 검출하게 되며, 이 경우에는 낮은 VDD 전압을 인가하는 것이 효과적이다.

또한 Long cycle test가 가장 powerful하므로 Row fast test 및 Column fast test를 대신할 수 있을 것 같아 보이지만, Long cycle test는 긴 시간이 요구되고, Short cycle test의 경우에는 메모리 내부에서의 high activity로 인하여 많은 내부 전류가 흐르게 되고 signal-to-noise ratio가 악화

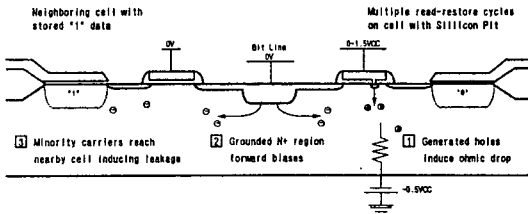
되므로 Long cycle test와는 전혀 다른 의미를 갖게 된다. 따라서 앞에서 설명한 세 가지의 테스트는 검출하는 physical defect가 서로 다르며, 독립적으로 존재하는 의미를 갖게 된다. 이와 같이 실제적으로 적용되고 있는 테스트들은 각 메모리의 특성에 따라 나타나는 각각의 불량 유형에 따라 optimize 또는 customize되어 있으며, defect orient되어 있음을 알 수 있다.

2. 디스터브 테스트

지금까지 설명한 테스트들은 각 cell에 대한 read/write 동작에 근거한 것이나, 이러한 테스트들이 고집적 메모리에서 흔히 발생하는 soft error를 충분히 screen하지 못한다는 것은 잘 알려져 있다. 이들 soft error중의 하나로 다음과 같은 디스터브 error를 들 수 있다. 디스터브 error는 각각의 메모리 cell들이 모두 기능적으로 정상 동작하는 경우에 발생하므로 전통적인 functional test가 디스터브 error의 원인이 되는 defect을 검출하기에는 적합하지 않다는 것을 쉽게 이해할 수 있다. 디스터브 error는 정상적으로 동작하는 cell들에 대하여 같은 어드레스의 data를 반복적으로 read할 경우, 주위 cell들의 data pattern에 따라 원인을 제공하는 cell이 아니라 주위에 있는 cell들의 정보가 반전되는 현상을 말한다. 디스터브 테스트의 알고리즘을 설명하면 다음과 같다.

- * 1. 전체 cell array에 '1'을 기록한다.
 - * 2. 전체 cell array의 data를 확인하다.
 - * 3. 디스터브 word line에 연결된 모든 cell에 '0'을 기록한다.
 - * 4. 디스터브 word line에 대하여 n회 '0'을 읽는다.
 - * 5. 모든 word line에 대하여 refresh한다.
 - * 6. 디스터브 word line과 연결된 모든 cell에 '1'을 기록한다.
 - * 7. 디스터브 word line에 이웃하는 word line에 대하여 '1'을 읽어 확인한다.
 - * 8. 3-7을 반복한다.
 - * 9. 전체 cell array에서 '1'을 읽어 확인한다.
- 디스터브 테스트의 특징 중의 하나는 같은 word

line을 반복적으로 access하는데 있다. 통상적으로 20000회 이상 계속적으로 같은 word line을 디스터브 하게 되며, 모든 cell이 정상적으로 동작됨을 가정하였으므로, 최초의 error는 step 7에서 발견 되게 된다.



〈그림 6〉 디스터브 테스트의 Failure Mechanism

디스터브 테스트의 failure mechanism을 간단히 설명하면^[12], 1) gate oxide에 particle로 인한 silicon pit이 발생하면 transistor는 정상 동작하나, silicon pit 부분에서의 high electric field에 의한 electron impact ionization 현상이 발생하여 hole과 electron이 발생한다. 이때 발생한 hole들은 substrate쪽으로 이동하며 substrate에서 ohmic drop을 발생시킨다. 2) 이렇게 부분적으로 높아진 substrate의 전압은 결국 0V로 접지된 bitline을 forward bias되게 하여 minority carrier인 electron이 bitline에서 substrate 쪽으로 투입된다. 3) 이 electron들이 전파되어 옆에 있는 data "1"을 갖고 있는 cell의 hole과 결합하게 되어 cell leakage current 형태로 전류가 흐르게 되며, 이 작은 전류의 누적 현상이 data의 반전으로 나타나게 된다.

VI. 메모리를 위한 Design for Testability

일반적으로 메모리는 높은 controllability와 observability를 갖기 때문에 메모리를 위한 DFT는 주로 I/O와 관련된 bottleneck을 해소하는데 기여하고 있다. 가장 상상하기 쉬운 방법으로는, 메모리는 반복적 구조를 갖고 있으며 여러 개의 block으로 나뉘어져 있다는 근원적인 parallelism

을 이용하여 여러 개의 cell을 동시에 테스트할 수 있는 특별한 테스트 모드(Multi Bit Test, MBT)를 제공하는 것이다^[13]. 실제로 JEDEC Standard 21-C^[14]는 이러한 테스트 모드에 대하여 정의하고 있다. 메모리가 MBT 모드로 동작하는 경우에는 sub-array가 논리적으로 재구성되어, write 동작 시에는 각 sub-array에 해당하는 여러 개의 cell에 같은 data를 동시에 기록하고, read 동작 시에는 여러 개의 cell data를 비교하여 비교 결과를 출력하게 되어 있다. MBT를 이용할 경우, 메모리의 내부 구조 및 설계에 따라서 4, 8, 16 또는 그 이상의 비율로 테스트 시간을 단축하는 것이 가능하다.

MBT와 유사하나 그 목적이 다른 스페셜 테스트 모드가 있다. 최근 메모리가 byte-wide됨에 따라 I/O 핀 수가 급증하게 되었다. 이러한 다핀화 경향은 여러 개의 메모리 칩을 동시에 테스트(Parallel Test)하여 양산성을 향상시키는데 장애 요소로 작용하게 된다. Parallel test시 동시에 테스트되는 디바이스의 수는 테스트의 drive 및 I/O channel 수에 의하여 결정되므로, 다핀화된 메모리의 경우 I/O의 수에 따라 parallel 수가 제한을 받게 되는 것이다. 이러한 경우에는 여러 개의 I/O 핀을 한 개의 I/O핀에 merge하여 사용하는데, 이러한 테스트 모드를 Merged DQ(MDQ)라 부른다.

Logic회로에서 널리 이용되는, BIST(Built-in Self-test) 경우에는 범용 메모리보다는 logic 회로의 일부로 존재하는 embedded 메모리의 경우에 주로 사용된다^[15]. BIST를 사용하는 경우에 embedded 메모리의 테스트는 logic 회로를 이용하여 메모리를 access하는 어려움을 없애 주지만, data path에 부가적인 mux가 필요하게 되어 메모리 access time을 길게 하고 칩 size를 크게 한다는 단점이 있다. 최근에는 BISR(Built-in Self-repair)라는 개념을 도입하여, BIST에서 발견된 불량 cell을 spare cell로 대체하는 메모리도 보이고 있다^[16].

VII. 차세대 메모리 테스트의 방향

고집적 다관화 되고 있는 차세대 메모리들은 고속으로 동작하는 특성을 갖고 있다. 예를 들면 RAMBUS 메모리는 400MHz 이상에서 동작되도록 설계되었으며, 최근에 발표된 sync. SRAM들의 access times은 5-6nsec 정도의 고속으로 동작한다. 이러한 고속 디바이스들을 위한 high speed test는 테스트 알고리즘뿐 아니라 테스트 장비에 이르기까지 새로운 혁신을 요구하고 있다. 또다른 차세대 메모리 테스트 분야중의 하나는 FLASH 메모리에 대한 테스트이다. FLASH 메모리는 그 cell 구조의 특성상 앞서 기술한 전통적인 테스트 방법으로는 근본적으로 테스트 시간이 길어지게 되어, 향후 고집적 FLASH 디바이스의 경제적이고도 효과적인 테스트 방법이 시급하게 요구되고 있다.

테스트의 목적 중의 하나는 디바이스의 신뢰성을 보장하는데 있다. 디바이스의 신뢰성을 높이기 위해 현재 가장 많이 이용되는 방법은 디바이스의 번인이다. 전통적인 번인은 칩이 패키지가 된 상태에서 이루어지고 있으나, 최근의 고집적 메모리의 번인에는 적당하지 않다. 그 이유로는 집적도의 증가에 따른 번인 시간의 증가, 다관화에 따른 번인 보이드 텐시티의 감소 및 최근 여러 가지 application에 적용되는 KGD(Known Good Die)의 신뢰성을 보장할 수 없다는 것을 들 수 있다. 최근에는 이러한 패키지가 번인의 단점을 보완하고 생산성을 높일 수 있는 웨이퍼 번인(Wafer Burn-in) 기술이 적용되기 시작하였다. 웨이퍼 번인은 메모리 칩을 웨이퍼 상태에서 번인 하는 기술로서, 1) 번인 시간의 단축, 2) 수율 향상, 3) 생산 공정의 단순화, 4) KGD의 양산, 5) wordline 사이의 bridge fail 스크린 등의 장점을 갖고 있다^[17].

1Gbit DRAM의 경우에 10^9 개의 cell들에 대하여 각 cell들을 일일이 테스트하는 방법은 설득력을 잃고 있다. 이러한 한계를 극복하기 위하여 차세대 메모리의 테스트는 cell 단위의 테스트보다는 메모리 전체 혹은 블록 단위로 테스트하는 방법이

강구되어야 할 것으로 생각된다. 이러한 새로운 테스트 방법의 예로는 IDDQ 테스트를 들 수 있다. IDDQ 테스트는 메모리 경우에 메모리가 갖고 있는 고유의 성질 때문에 적용이 어려운 것으로 알려져 왔다. 그러나 최근 메모리에의 IDDQ 테스트 적용을 위한 여러 가지 새로운 아이디어 및 실험 결과들이 제시되고 있다^[18]. IDDQ 테스트는 종래의 테스트 방법으로는 detect하기 어려운 gate oxide의 pinhole, micro-bridge 등을 효과적으로 detect할 뿐 아니라^[19, 20], cell 단위의 테스트가 아닌 블록 단위의 테스트 방법을 제시하기 때문에 더욱 차세대 메모리 테스트에 적합하다고 여겨진다.

VIII. 결 론

지금까지 메모리의 종류, 기본 개념, 동작 원리, defect 및 fault model 등의 메모리 테스트에 관한 전반적인 요소들에 대하여 알아보고, 실제적으로 고집적 메모리에 적용되고 있는 테스트를 통상적으로 알려진 테스트와 함께 설명함으로써, 통상적인 테스트와 차세대 메모리를 위한 실제적 테스트의 차이점을 비교하였다. 또한 메모리를 위한 DFT와 차세대 메모리를 위한 테스트의 방향도 논하여 보았다.

새로운 failure mechanism은 새로운 fault model과 테스트 알고리즘을 요구한다. 차세대 메모리는 테스트 엔지니어에게 끊임없이 새로운 도전을 제시하고 있으며, 차세대 메모리의 테스트는 철저한 failure mechanism의 이해를 바탕으로 한 새로운 fault model과 이를 통한 혁신적인 테스트의 개발을 요구하고 있다.

참 고 문 헌

- [1] B. Prince, *Semiconductor Memories*, John Wiley & Sons, 1991.

- [2] M. Inoue, T. Yamada, and A. Fujiwara, "A New Testing Acceleration Chip for Low-Cost Memory Test," *IEEE Design and Test of Computers*, pp. 15-19, Mar., 1993.
- [3] B. Cockburn, "Tutorial on Semiconductor Memory Testing," *JETTA*, vol. 5, pp. 321-336, 1994.
- [4] S. Oh, et. al., "Automatic Failure Analysis System For High Density DRAM", *ITC*, pp. 526-530, 1994.
- [5] A. van de Goor, *Testing Semiconductor memories : Theory and Practice*, John Wiley & Sons, U.K. 1991.
- [6] S. Thatte and J. Abraham, "Testing of Semiconductor Random Access Memories," *Digest of Papers 7th Int. Conf. Fault-Tolerant Computing*, pp. 81-87, Jun., 1977.
- [7] J. Shen, W. Maly, and F. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits," *IEEE Design & Test of Computers*, vol. 2, pp. 13-26, Dec., 1985.
- [8] J. Khare and W. Maly, "Inductive Contamination Analysis(ICA) with SRAM Application," *ITC*, pp. 552-560, Oct., 1995.
- [9] R. Dekker, F. Beenker, and L. Thijssen, "A Realistic Fault Model and Test Algorithms for Static Random Access Memories," *IEEE Trans. CAD*, vol. 9, pp. 567-572, Jun., 1990.
- [10] H. Oberle, M. Maue, and P. Muhmenthaler, "Enhanced Fault Modeling for DRAM Test and Analysis," *Digest 1991 IEEE VLSI Test Symp.*, pp. 149-154, Apr., 1991.
- [11] L. Shen and B. Cockburn, "An Optimal March Test for Locating Faults in DRAMs," *Record of the 1993 IEEE Int. Workshop on Memory Testing*, Aug, 1993.
- [12] E. Black, et. al., "A Study of a Dynamic Memory Cell Disturbance Mechanism," *Proceedings of The 19th International Symposium for Testing and Failure Analysis*, 1993.
- [13] Y. Nishimura, et. al., "A Redundancy Test-Time Reduction Technique in 1-Mbit DRAM with a Multibit Test Mode," *IEEE J. of Solid-State Circuits*, vol. 24, Feb., 1989.
- [14] EIA JEDEC Standard 21-C, "Configurations for Solid State Memories," *American Electronic Industries Assoc.*, 1990.
- [15] K. Saluja and K. Kinoshita, "Test Pattern Generation for API Faults in RAM," *IEE Trans. Comp.*, vol. C-34, pp. 284-287, Mar., 1985.
- [16] T. Chen and G. Sunada, "A Self-Testing and Self-Repairing Structure for Ultra-Large Capacity memories," *ITC*, pp. 623-631, 1992.
- [17] B. So, et. al., "An Effective Wafer Burn-in Method for DRAMs," *The 4th International Conference on VLSI and CAD*, pp. 279-282, 1995.
- [18] M. Sashdev, "Reducing the CMOS RAM Test Complexity with IDDQ and Voltage Testing," *JETTA* vol. 6, pp. 191-202, 1995.
- [19] C. Hawkins and J. Soden, "Reliability and Electrical Properties of Gate Oxide Shorts in CMOS ICs," *ITC*, pp. 443-451, 1986.
- [20] J. Soden, C. Hawkins, R. Gulati, and W. Mao, "IDDQ Testing : A Review," *JETTA* vol. 3, pp. 291-303, 1992.

저 자 소 개



李 和 俊

1949年 3月 29日生

1973年 2月 서울공대 전자과 졸 BS.

1979年 12月 Univ. of Texas, Austin MSEE

1984年 3月 Olrio stat Univ. Ph.O. EE

1984年 3月~1990年 1月 AT & T Bell Labs.

주관심분야 : Test



蘇 秉 世

1962年 9月 17日生

1994年 12月 University of Wisconsin-Medison

Electrical and Computer Engineering(Ph.D.)

1986年 2月 서울대학교 전자공학과(M.S.)

1984年 2月 서울대학교 전자공학과(B.S.)

1986年~1988年 한국전기통신공사

주관심분야 : Test