

# 대용량 메모리 제품 TEST 기술동향

金 泰 信, 裴 基 鍾  
現代電子産業(株) 品質保證室

## I. 서 론

반도체 메모리제품은 미세가공기술의 발전에 따라 집적도가 급격히 향상되고 있고, DYNAMIC RAM(DRAM)은 매 2~3년 주기로 메모리 용량이 4배씩 증가되어 현재 16M 양산시대를 맞고 있으며, 금세기 말까지 1 GIGA 시제품이 개발될 것으로 예측되고 있다.(그림1)

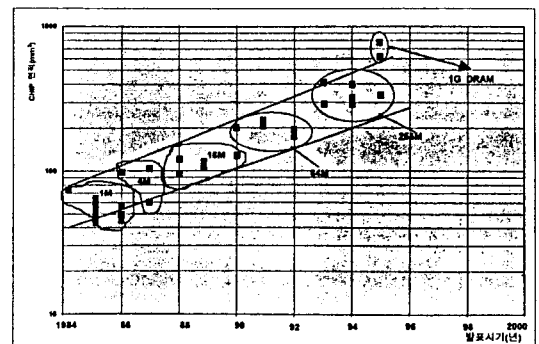
특히, 메모리용량의 증가뿐만 아니라 복수의 I/O DATA PORT를 갖는 다BIT제품, 초고속의 특수 기능이 첨가된 다기능제품 더 나아가 TSOP, QFP등 다양한 패키지의 제품화가 진행되고 있다.

이러한 변화는 CPU의 발전, SYSTEM기기의 소형화 및 메모리제품의 실장환경 변화 등이 주원인이며, 이러한 경향은 향후에 보다 가속화될 것으로 예상하고 있다.

메모리 용량이 증가함에 따라 TEST시간이 길어지고, 특수기능제품은 고정밀도 TEST장치의 요구로 인해 TEST비용의 상승을 초래하고 있으며 전체 메모리제품 제조원가에서 TEST비용이 점차 큰 비중을 차지하게 되었다.

이와 같은 상황에서 메모리제품의 TEST공정은 기존기술만으로는 제품생산성 향상에 한계가 있어, 각 반도체 메이커들은 새로운 TEST기술 개발에 전념하고 있다.

본고에서는 대용량메모리 TEST기술의 중요성과 TEST효율 향상을 위한 개발동향에 대하여 기술하고자 한다.



〈그림 1〉 반도체 메모리제품(DRAM)의 개발추이

## II. 메모리 TEST 공정개요 및 문제점

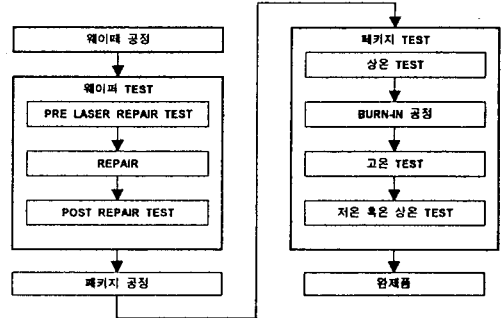
### 1. 메모리 TEST 공정 및 불량검출기능

TEST공정이란 설계 혹은 제조공정에서 발생한 불량을 전기적 성능검사를 통하여 검출하는 공정이다. TEST공정은 웨이퍼 제조공정후 행하는 웨이퍼 TEST와 조립공정후 행하는 패키지 TEST로 구분된다.

웨이퍼 TEST는 웨이퍼 제조공정에서 발생한 불량량의 확인 및 설계특성에 요구되는 기본적 기능을 확인하는 것이 주목적이다. 고장셀을 REPAIR하기 위하여 REPAIR전후로 TEST를 실시하기도 한다. 패키지 TEST는 BURN-IN공정 전후로 분류된다. BURN-IN전 TEST는 주로 패키지 공정중에 발생된 불량을 선별하고, BURN-IN후 고온 TEST는 BURN-IN공정 중에 열화된 불량을 선별하는 것과 함께 SPEED 및 소모전류등에 따른 제품을 구분(BINING)한다. 또한 출하제품의 온도 특성을 보증하기 위하여 상온 혹은 저온 TEST공정이 추가될 수도 있다.

이들 개개의 TEST공정 및 조건은 반도체 MAK-

ER들의 필요에 따라 적절히 운영하고 있다. 그림 2.1은 일반적인 TEST공정도를 나타내고 있다.



(그림 2.1) TEST공정도

전기적 성능검사는 TEST장치의 전류측정기능을 사용하는 DC TEST와 TIMING 및 PATTERN기능을 사용하는 AC TEST로 분류된다. DC TEST는 입출력 PIN의 단락, 누설전류 또는 각종 기능조건에서의 소모전류를 측정하며, AC TEST는 기본적 기능시험이외에도, 전압특성, TIMING특성 및 PATTERN SENSITIVITY등을 측정하는데 그림 2.2에서 상세하게 설명하고 있다.

분 류	항 목	내 용
DC TEST	입출력PIN OPEN/SHORT TEST	단선, SHORT불량의 검출
	입출력PIN LEAK 전류검사	확산층이상, GATE파괴등의 검출
	전원전류(동작시, STANDBY시)	DC전류, 평균전류
AC TEST	기능검사	READ/WRITE 기능
	TIMING MARGIN	ACCESS시간, 각종BIT OFF/HOLD시간
	입출력 전압LEVEL MARGIN	입출력 신호LEVEL보증
	전원동작MARGIN의 PATTERN의존성	각종PATTERN의 동작전원 범위의 검출
	온도MARGIN	동작온도범위의 보증
	최대정격검사, DATA보존성	최대정격의 보증, DATA보지시간의 보증

(그림 2.2) DRAM의 TEST항목

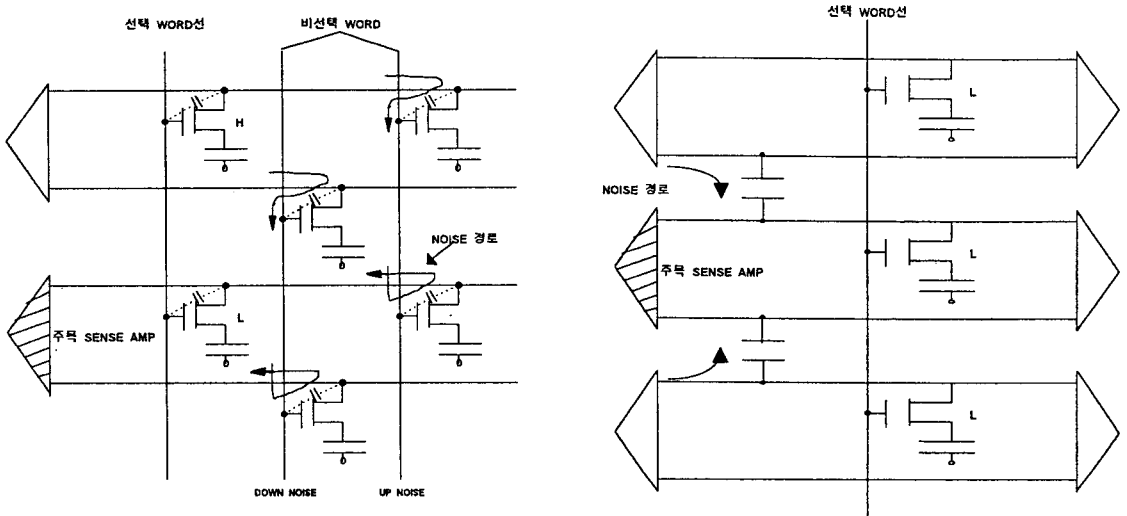
메모리제품은 메모리셀 배열, 어드레스 디코더, 어드레스, 데이터 레지스터, 그리고 쓰기/읽기 로직으로 구성되어 있다. 다양한 고장들이 메모리 구

성요소 중에서 발생할 수 있으며, 온도 및 전압의 의존성이 없고 재현성이 높은 불량량의 경우는 웨이퍼 제조공정에서 발생하는 회로의 PATTERN불량,

미세한 PARTICLE등에 기인한 불량이다. 이러한 불량은 비교적 간단한 TEST항목으로도 검출이 용이하다. 그러나 제조공정의 미세화 및 다층구조에 의한 기생용량의 간섭영향이 심화되어 NOISE에 민감한 PATTERN SENSITIVITY불량이 증가된다. 이러한 PATTERN SENSITIVITY는 메모리 불량검출뿐만 아니라 TEST시간 증가의 중요요인이다. 그림 2.3은 인접 BIT LINE 및 다층구조에

기인하는 NOISE의 발생경로를 나타내고 있다.

이러한 PATTERN SENSITIVITY불량은 메모리셀의 DATA의 조합, BIT LINE과 WORD LINE의 ACCESS되는 순서등에 의해서도 동작 MARGIN이 변한다. 이러한 불량을 효과적으로 검출하기 위해서는 MEMORY ARRAY의 물리적인 배치를 고려한 복잡한 테스트알고리즘을 필요로 한다.



a. 인접BIT선간 영향에 의한 NOISE경로

b. 다층구조에 기인한 WORD LINE경유 NOISE

〈그림 2.3〉 메모리셀내의 기생용량에 의한 NOISE경로

TEST PATTERN		TEST소요시간
N 계	MSCAN“1”/“0”	$4N * T_c$
	CHECKER BOARD	$4N * T_c$
	MARCHING	$6N * T_c$
$N^{1.5}$ 계	GALLOPING	$(6N^2 + 6N) * T_c$
	PINGPONG	$(4N^2 + 6N) * T_c$
	WORKING	$(2N^2 + 6N) * T_c$
$N^{2.0}$ 계	COLUMN GALLOPING	$(2N^{3/2} + 6N) * T_c$
	SLIDING DIAGONAL	$(N^{3/2} + 6N + \text{SQUARE ROOT } N) * T_c$
	BUTTERFLY	$(4N^{3/2} - N) * T_c$

〈그림 2.4〉 일반적인 TEST PATTERN과 TEST시간

다양한 불량MODE를 검출하기 위한 PATTERN은 TEST실행에 필요한 메모리셀의 수 “N”에 대응하여 N계, N1.5계, N2계로 분류된다. 그림 2.4는 일반적인 TEST PATTERN의 종류 및 실행에 소요되는 TEST시간을 나타내며 “N”계의 증가에 따라 TEST시간도 급속히 증가하게 된다.

**2. 대용량 메모리 TEST의 문제점**

전술한 바와 같이 최근 수년간의 메모리 발전동향은 대용량화, 고속화 및 패키지의 다양화로 급격히 변화하고 있다. 이로 인하여 대용량 메모리 TEST의 가장 큰 문제점은 TEST비용의 증가다.

첫째로 메모리용량 증대에 비례하는 TEST시간 증가이다. 일반적으로 N계(N은 메모리셀을 의미) TEST일 경우 메모리용량에 비례하여 TEST시간도 증가한다.

또한 프로세스자체가 미세화 됨에 따라 셀간의 누설전류, 기생용량에 의한 간섭효과가 심화되어 PATTERN SENSITIVITY문제가 출하품질을 저하시키는 주요 원인이 되고 있다.

이러한 PATTERN SENSITIVITY불량을 검출하기 위해서는 복잡한 테스트 알고리즘을 사용하여 반복 TEST를 하여야 하는데 이러한 경우는 TEST시간이 지수함수적으로 증가하게 된다.

즉, 메모리셀을 ACCESS하는 횟수가 증가할수록 불량검출확률은 높아지지만 TEST비용도 큰 폭으로 상승하는 것을 의미한다.

그림 2.5는 256KDRAM의 “N”계 TEST PATTERN시간을 1로 한 경우 메모리 용량증대에 따른 TEST PATTERN 실행시간의 추이를 나타내고 있다.

MEMORY용량	256K	1M	4M	16M	64M
N계 PATTERN	1	4	16	64	256
N <sup>1.5</sup> 계 PATTERN	512	4K	32K	256K	2M
N <sup>2</sup> 계 PATTERN	256K	4M	64M	1G	16G

(그림 2.5) 메모리 용량에 따른 TEST시간비교

둘째로 제품의 다기능 및 고속화에 따라 보다 향상된 TIMING분해능을 가진 TEST장치가 요구되어 TEST장치의 가격상승요인이 되고 있다.

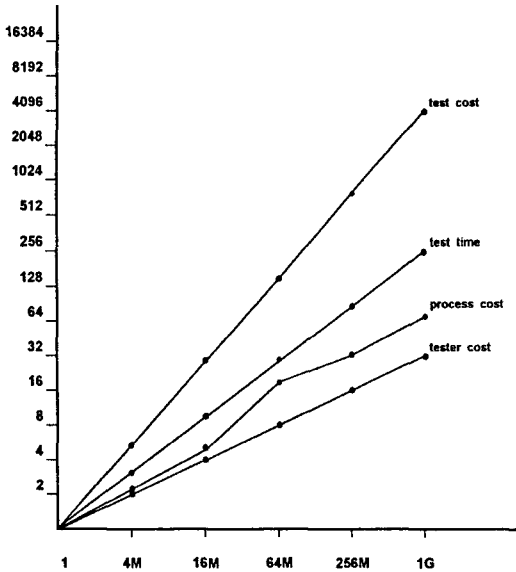
고속화의 경우 고속 SRAM뿐만 아니라 SDRAM(SYNCHRONOUS DRAM)에서 100MHZ대의 제품이 생산되고 있다. 현재 대량생산에 사용되고 있는 60MHZ 주파수대의 TEST장치 가격은 약 100만불을 상회하고 100MHZ경우 이의 두배에 이를 것이다. 또다른 문제점으로는 TSOP, QFP등과 같은 패키지의 다양화에 대응하는 TEST장치 즉, 제품 HANDLING장치의 문제이다. 패키지형태가 THROUGH HOLE TYPE에서 SURFACE MOUNT TYPE으로 변화됨에 따라 PIN간 간격이 미세화(FINE PITCH)되어 보다 정밀한 접촉이 이루어질 수 있는 제품 HAN-

DLING장치가 요구된다. TSOP용의 HANDLING장치 가격은 SOP/SOJ형태의 패키지에 비하여 거의 두배에 이른다. 다양한 패키지를 TEST해야하는 경우 HANDLER장치는 UNIT부를 교환함으로써 복수패키지에 적용되도록 고안되어 있으나 1회의 품종교환에는 약 30분이 소요되며 교환빈도의 증대는 생산성저하의 요인이 된다.

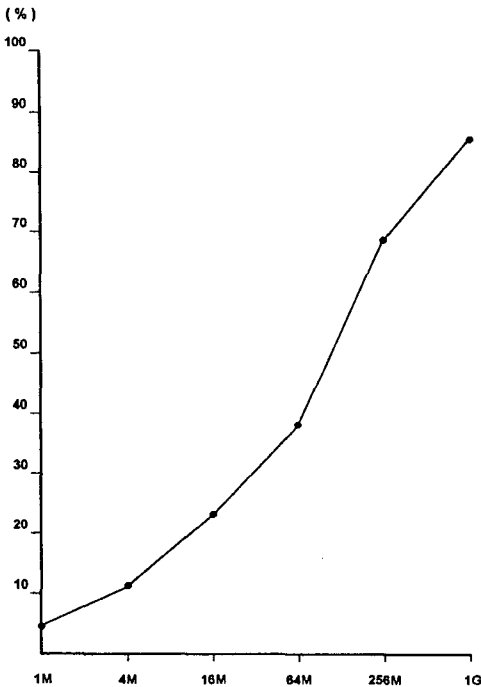
결국 메모리제품의 발전에 따라 TEST비용도 급격한 상승하게 되는데, 16M의 경우 TEST비용은 총제조비용의 약 20%를 차지하나 64M의 경우 40%가 될 만큼 심각한 문제가 될 것이다.

TEST시간 연장에 의한 생산비용압박은 PATTERN SENSITIVITY등 복잡한 불량을 시험하는 시간을 단축하게 되는데, 이러한 경우 불충분한 TEST로 출하품질을 떨어뜨리는 요인이 된다. 장비

비용의 증가도 전체 TEST비용의 주요요인이 된다.  
 그러므로 기존 TEST방식의 연장선에서는



<그림 2.6> DRAM의 COST STRUCTURE



<그림 2.7> DRAM제조비용중 TEST비용추이

TEST비용을 낮추는데에는 한계가 있으므로 반도체 MAKER들은 품질수준을 유지하면서도 TEST비용을 낮출 수 있는 새로운 TEST기술개발에 전념하지 않으면 안되는 상황이다.

### III. 대용량 메모리의 TEST 기술개발 동향

#### 1. 현재의 TEST기술

TEST효율 향상을 위하여 다음과 같은 방법들이 사용되고 있다.

첫째 TEST장치의 관점에서 복수개의 제품을 동시에 TEST하는 병렬방식이다. 고가인 메모리 TEST장치에 비하여 제품 HANDLING장치 (HANDLER)는 비교적 저가이다.

이방식은 1개의 TESTER에 2대의 HANDLER를 접속하는 것이 일반적이며, DEVICE의 운송형태로 분류하면 자증낙하방식과 수평반송방식이 있다.

자증낙하방식은 구조가 간단하고 저가격이나 다양한 패키지에 대응할 수 있는 범용성은 수평방식보다 떨어진다. 현재 자증낙하방식이 주류이나 패키지의 다양화 등으로 인해 금후에는 수평반송방식이 보다 요구될 것이다.

종래에는 4 I/O, 8 I/O제품을 대상으로한 HANDLER가 주류였으나, 현재는 16 I/O기준으로 HANDLER당 32개 제품이 동시측정 가능한 장치가 개발되어 사용되고 있다.

머지않아 64개 혹은 128개의 동시측정이 가능한 장치가 개발될 것으로 예상되나 무한정 갯수를 증가시키는데는 복잡한 기술적 어려움이 발생한다.

동시측정갯수가 늘어남에 따라 SIGNAL LINE이 증가하여 DEVICE와 PIN ELECTRONICS간의 전송로문제, 다수 I/O 제품측정시 SWITCHING NOISE문제, 고속화에 따른 TIMING정밀도 등의 문제가 발생하므로 이러한 문제해결이 동시측정갯수 증가의 관건이 된다.

또한 TEST HEAD의 과도한 발열에 의한 측정오차가 발생할 수 있으므로 이에 대한 대책이 필요

MAKER		ADVAN	ANDO전기	TERADYNE
TESTER		T5365	AL-9441	J994
TOTAL구성 PIN수(1 HEAD)	DRIVER수	960	960	640
	I/O수	576	576	144
PARALLEL별 TEST 가능한 DEVICE의 PIN구성 I/O + DRIVER	32 PARALLEL	18 + 30	18 + 30	4 + 20
	16 PARALLEL	36 + 60	36 + 60	9 + 40
	8 PARALLEL	72 + 120	72 + 120	18 + 40
	4 PARALLEL	144 + 240	144 + 240	36 + 40
	2 PARALLEL	288 + 480	288 + 480	72 + 40
	1 PARALLEL	-	-	144 + 40
I/O PIN수별 PARALLEL수 (2 HEAD)	X1 - X18	64	64	64/32/16
	X19 - X36	32	32	8
	X37 - X72	16	32	4
	X73 - X144	8	8	2
	X145 - X288	4	4	-

〈그림 3.1〉 TEST장치 성능비교표

하다. 그림 3.1은 최근 개발되어 상용화되고 있는 TEST장치의 동시측정성능을 제시하고 있다.

둘째 그림 3.2에서와 같은 메모리 내부에 내장 (BUILT-IN)된 DATA 비교일치검출회로를 사용한 TEST MODE방식이다.

TEST MODE상태에서 시험한 결과를 하나의 I/O DATA PORT로 출력하여 다BIT를 1 BIT제품으로 측정하므로써 TEST장치의 병렬측정수를 1 BIT제품으로 유지하는 것이 가능하다. 4MDRAM이후부터는 JEDEC을 통하여 TEST MODE가 표준화되어 왔다. 아울러 메모리셀을 각각 TEST하는 것이 아니라 집단화하여 TEST (MULTI BIT)함으로써 시간단축이 가능하다.

그러나 본 방식만으로는 모든 TEST항목을 확인하는 것은 불가능하고 전 I/O DATA PORT를 독립시킨 상태에서 개별 메모리셀을 측정할 필요가 있다. 이러한 이유로 TEST MODE의 도입은 TEST MODE로 측정할 수 있는 TEST항목 (TEST 시간)이 전체의 TEST항목에 대하여 접하는 비율이 큰경우에 효과적이다.

셋째 TEST BURN-IN을 사용한 방식이다.

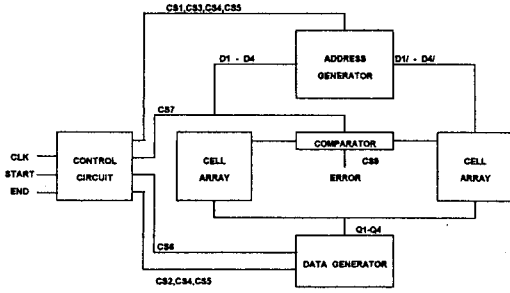
이는 최근 16M DRAM을 대상으로 주로 도입되고 있으며 TEST비용을 줄이면서 동시에 품질수준을 향상시킬 수 있는 효과적인 방법으로 실용화되고 있다.

TEST BURN-IN이란 종래의 BURN-IN장치에 TEST기능을 부가한 것으로 BURN-IN의 신뢰성 향상, CHIP의 다층구조에 따라 증가된 회복성 (INTERMITTENT)불량의 분석, BURN-IN TIME의 최적화 평가등을 목적으로 개발되어 왔다.

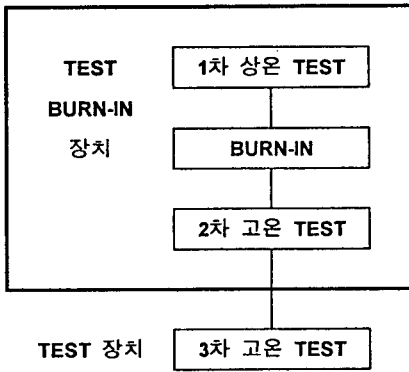
그러나 현재는 상대적인 저가격 및 TEST기능 향상으로 인하여 TEST장치의 하나로 고려하게 되었다.

TEST BURN-IN의 기능의 향상에 따라 고주파를 필요로 하는 항목들을 제외한 LOOSE TEST항목을 측정할 수 있고, BURN-IN공정중에 대량의 제품을 일괄 TEST할 수 있으므로 TEST효율을 크게 향상시킬 수 있다.

아울러 고가의 TEST장치에는 고정밀도를 요하는 TEST항목만을 적용함으로써 TEST장치의 구입대수를 줄여 TEST 비용을 감소할 수 있다.



〈그림 3.2〉 TEST MODE가 내장된 제품의 구성도



〈그림 3.3〉 TEST BURN-IN공정도

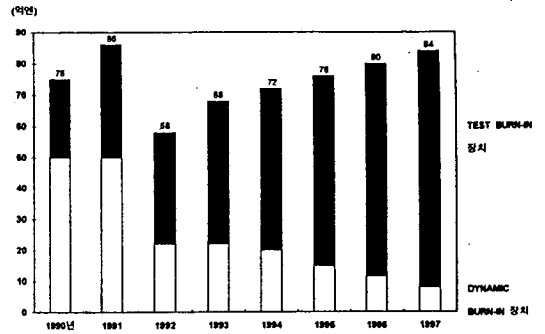
그림 3.3은 TEST BURN-IN공정도를 나타내고 있다.

BURN-IN전 1차 상온 TEST는 조립공정과정에서 발생된 불량률 제거하고 BURN-IN 후 2차 고온TEST에서는 BURN-IN공정에서 열화된 불량 제거 및 LOOSE TEST를 실시한다.

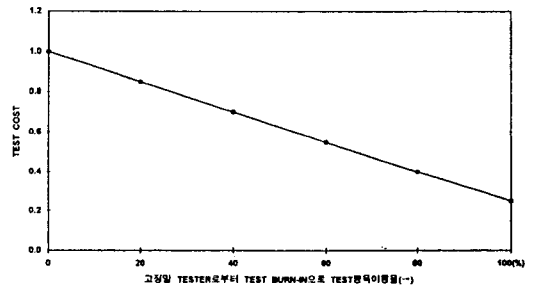
특히, 전체 TEST항목중 장시간이 소요되는 LONG CYCLE TEST를 포함하는 LOOSE TEST를 TEST BURN-IN공정중에서 수행함으로써 BURN-IN 이후의 TEST공정에서 TEST시간을 크게 단축할 수 있다. 3차 TEST는 고정밀도를 갖춘 TEST장치를 사용하여 ACCESS TIME, 소비전류등에 따라 제품 구분(BINING)을 실시한다.

또한 TEST BURN-IN은 BURN-IN 전후의 TEST공정을 BURN-IN 장치내에서 실시함으로써 제품의 이동을 최소화 할 수 있으며, 작업공정수를 단순화 할 수 있는 효과도 있다.

그림 3.4는 TEST BURN-IN장치의 증가추세를 나타내며, 그림 3.5는 TEST BURN-IN장치도입에 따른 TEST비용 절감효과를 나타내고 있다.



〈그림 3.4〉 다이내믹 B/I과 TEST B/I장치 시장추이



〈그림 3.5〉 TEST B/I적용시 TEST비용 절감효과

## 2. 향후 TEST기술 전망

향후 TEST기술의 전망은 다음과 같이 크게 4가지 방향으로 요약할 수 있다.

첫째 TEST장치는 고속 및 다기능 제품을 정밀하게 검증할 수 있는 TESTER 및 PROBER / HANDLER 개발을 위한 지속적인 기술개발이 필요하다.

둘째 높은 TEST 비용문제를 해결하며 불량존재를 허용하지 않는 기술의 개발이다.

a. BIST : BIST(BUILT-IN-SELF-TEST) 방법은 CHIP내에 TEST회로를 내장하여 메모리를 TEST하는 방법이다. TEST의 시작과 결과를 받는 것은 외부의 TEST장치로서 이때 사용하는 장

비는 간단하고 고가의 PIN ELECTRONICS가 필요없게 되어 TEST장치의 가격이 저렴하게 된다. 그러나 CHIP내부에 TEST회로를 내장하여야 하기 때문에 CHIP COST가 상승하는 문제점이 있다.

**b. TESTABILITY CHIP :** TESTABILITY CHIP방법은 BIST방법에 메모리내에 있는 TEST회로를 내장한 전담 CHIP을 구성하는 것으로 이 CHIP에서는 필요한 모든 TEST PATTERN과 TIMING신호를 발생시키며 메모리의 모든 TEST신호를 구동하고 그 결과를 검증한다. TEST의 시작과 TEST결과만을 외부의 TEST장비에서 구동하므로 TEST장치는 비교적 간단한 개인용 컴퓨터의 사용도 가능하다.

TESTABILITY CHIP의 구성은 그림 3.6에서 보는바와 같이 크게 세부분으로 구성되어 있는데 첫째로 COMPUTER INTERFACE부분인 UP/DOWN LINK BUFFER AND CONTROL CIRCUIT과 둘째로 TEST를 담당하는 TEST PATTERN GENERATOR, STATUS MONITOR AND TIMING CONTROL CIRCUIT, VERIFICATION CIRCUIT, 그리고 마지막으로 메모리 CHIP과 연결되는 CONFIGURATION AND SEQUENCING CIRCUIT으로 구성되어 있다.

TESTABILITY CHIP은 메모리의 종류 및 FAILURE MODE에 따라 다양한 방법의 TEST가 필요하다. 그러므로 다양한 TEST PATTERN,

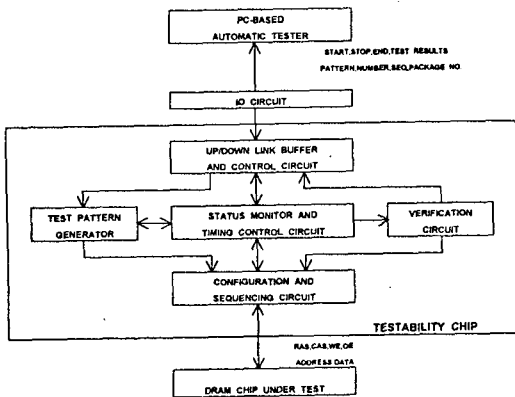
TIMING SIGNAL, MEMORY CONFIGURATION의 PROGRAM ITEM들이 PROGRAMMABLE CHIP내에 구성된다.

**c. TESTABILITY CHIP+RANDOM TEST MODE :** TESTABILITY CHIP을 사용하는 메모리의 TEST는 기존의 TEST장치를 사용하는 과정과 TESTABILITY CHIP을 사용하는 2단계 과정으로 분리되어 있다. 따라서 고가의 정밀 TEST장치를 필요로 하는 PARAMETRIC TEST는 기존의 TEST장치에서 실행하면서 아울러 여기서 수행하였던 기능TEST는 TEST시간의 단축을 위하여 최소화하고, 긴시간이 요구되는 기능TEST를 TESTABILITY CHIP이 탑재된 저가의 TEST SYSTEM에서 수행할 수 있다.

TESTABILITY CHIP+RANDOM TEST MODE는 WAFER TEST시에 RANDOM TEST MODE를 적용하는 것으로서, CHIP내의 고장부위를 통계처리하여 가장 고장발생빈도가 높은 셀들을 선택하여 TEST함으로써 TEST시간은 비교적 길지 않으나 고장탐지율은 상당히 높일 수 있다. 단 RANDOM TEST에의해 염려되는 품질저하를 방지하기 위하여 TESTABILITY CHIP을 이용한 TEST공정에서 고장 MODE를 충분히 감안한 TEST PATTERN을 적용하면 된다. TESTABILITY CHIP TEST는 패키지상태에서 행하며 TESTABILITY CHIP에 내장된 고급 TEST PATTERN을 사용하여 충분한 TEST품질을 유지할 수 있다.

셋째 FAULT가 있는 메모리에 대한 TEST기술의 응용이다.

지금까지 기술한 TEST의 기본개념은 불량률의 존재를 최소화하는 것이었다. 그러나 FAULT가 있는 메모리일지라도 대략 어느 정도의 고장범위내의 RANDOM분포를 갖는다면 그 응용 분야에 따라 사용이 가능하다. FAULT가 있는 메모리를 대상으로 셀ARRAY내에서의 FAULT DISTANCE 및 MINIMUM FAULT DISTANCE를 측정하여 기준이내의 FAULT CELL분포를 갖는 메모리를 검출하는 방법으로 음성, 화상 메모리에 응용 가능하다.



〈그림 3.6〉 TESTABILITY CHIP의 BLOCK DIAGRAM



넷째 기타 다음과 같은 TEST기술들이 응용될 것이다.

a. MULTI-LEVEL MEMORY FAILURE MODEL : 한개의 메모리셀내에 여러 VOLTAGE LEVEL이나 LOGIC STATUS를 저장하는 MULT-LEVEL MEMORY를 TEST하는데 응용된다. MULTI-LEVEL MEMORY FAILURE는 다음 4가지로 MODELING할 수 있다. 첫째로 저장된 VOLTAGE LEVEL이 상승하여 한단계 이상 상승하는 LEVEL UP FAULT가 있다. 둘째, 첫째와는 반대의 LEVEL DOWN FAULT로서 전압강하로 인하여 한단계 낮은 LEVEL이하의 DATA를 갖는 FAULT이다. 셋째, 셀의 내용이 이미 고정되어있어 다른 LEVEL을 WRITE하여도 실패하는 STOCK-AT FAULT이다. 넷째는 주변에 WRITE된 PATTERN에 따라 저장된 전압 LEVEL이 변하는 FAULT이다.

b. WAFER SCALE MEMORY TESTABILITY : 한장의 WAFER전체를 MEMORY UNIT로 사용함으로써, PACKAGING COST와 SYSTEM의 PHYSICAL VOLUME을 줄이고자 하는 시도가 진행되고 있다. WAFER SCALE MEMORY 구성에 있어서 중요한 것은, 기존의 BUILT-IN TEST회로를 사용한 INTERNAL ON-WAFER TEST회로와 RESTRUCTURING MECHANISM이다. 또한 WAFER SCALE MEMORY는 MEMORY를 MANAGEABLE한 MODULE로 분할하여 설계하는 것이 보통이며, LASER TRIMMING등을 사용하여 FAULTY MODULE을 효과적으로 배제시킬 수 있다. 따라서 WAFER SCALE MEMORY TEST는 FAILURE와 함께 FAILURE발생 MODULE까지 인식하는 것이 필요하다.

#### IV. 맺음말

대용량 메모리 발전에 따라 TEST비용이 급격히 증가하고 있다. TEST장치 가격은 세대가 바뀔 때

마다 계속적으로 증가하기 때문에 TEST비용이 증가하는 주요요인이다. 지금까지는 동시에 다수 제품을 병렬 TEST하는 개념이 도입되어 HANDLER가 개발되어 활용되고 있다.

TEST BURN-IN도 TEST비용을 줄일 수 있는 효과적인 방법이다.

제품의 관점에서는 TESTER의 병렬성을 CHIP 내부로 옮김으로서 TEST효율을 향상하는 TEST MODE방법이 사용되고 있다.

그러나 기존의 기술로는 TEST비용을 억제하는데 한계가 있다. TEST효율을 보다 향상하기 위해 TEST장치의 지속적인 개발, BIST 및 TESTABILITY CHIP등 TEST 기술개발이 핵심 과제이다. 아울러 TEST장치 치공구의 표준화, TEST공정 최적화 및 자동화도 병행되어 진행되어야 할 것이다.

#### 참 고 문 헌

- [1] MOCHIZUKI YOHISUKE, "1 GIGA DRAM 등장" *NIKKEI MICRODEVICES*, P31, 1995.3.
- [2] 유영갑, 설병수, 장현수, 김동균, 이창구, "TESTABILITY STUDY ON HIGH DENSITY MEMORIES" 최종연구보고서, 충북대학교 정보통신산업연구소 논문집, 한국전자통신연구소, 1993
- [3] 황인석, "반도체 공학(하)", 현대전자 반도체 제1연구소, pp187-191, 1995
- [4] TSUJIMOTO AKIRA, "DRAM TEST 기술" *SEMICONDUCTOR WORLD*, pp150-154, 1995.8.
- [5] SATO TSUNEHIRO, "대용량 메모리의 고속TESTING 기술", *SEMICONDUCTOR WORLD* 1991.8.
- [6] MIYAMOTO KAZUTOSHI, "MONITOR BURN-IN 기술", *SEMICONDUCTOR WORLD*, 1991.8.

- [7] 이수정, "BURN-IN TESTER", 월간반도체 2, pp25-31, 1995.2
- [8] 조상복, 여정모외5명, "A STUDY ON BUILT-IN SELF TEST METHOD FOR HIGH DENSITY MEMORY" 최종연구보고서, 울산대학교, 한국전자통신연구소, 1993
- [9] WATABE HIROSHI, "대용량 메모리의 TEST 기술 동향", SEMICONDUCTOR WORLD, 1990.6.
- [10] KOBAYASHI HARUKI, "HANDLER의 형상과 동향", SEMICONDUCTOR WORLD, 1990.6.
- [11] 전병실, 이창기의외5명, "THE DEVELOPMENT OF PARALLEL TEST ALGORITHM FOR THE FAST TEST" 최종연구보고서, 전북대학교, 한국전자통신연구소., 1993
- [12] ABE YUICHI, "TEST기술을 유지하는 TECHNOLOGY" SEMICONDUCTOR WORLD, 1995.1.
- [13] SEBATA TAKASHI, "DRAM TESTING 기술" SEMICONDUCTOR WORLD, 1992. 8.
- [14] LINDA CHAO, DAREN DANCE, SEMATECH, TOM DIFLORIA, "GET A HANDLE ON YOUR COST OF TEST", TEST & MEASUREMENT WORLD, pp45-46, 1995.4.

---

 저자 소개


金 泰 信

1946年 2月 10日生

1971年 2月 한양대학교 공과대학 화학공학과 졸업

1975年 2月 고려대학교 경영대학원 생산관리 전공(졸업)

1970年 月~1980年 月 모토로라 코리아(주)

1980年 月~1984年 月 한국전자 통신 연구소

1984年 月~현재 현대전자(주) 품질보증실 실장

주관심분야: 반도체 품질 및 신뢰성 향상



裴 基 鉉

1958年 11月 16日生

1985年 2月 경북대학교 공과대학전자공학과 졸업

1985年 1月~현재

현대전자(주)품질보증실 근무

주관심분야 : 반도체 (메모리 제품) 품질 향상