

VLSI Chip Test 기술

특집 편집기



한 탁 돈

(연세대학교)

VLSI 회로기술의 발달로 인해 집적도가 증가되면서 검사는 점점 더 어려워지고 이에 소모되는 비용도 점점 커지고 있으며 더 신뢰할 수 있는 칩을 제작하기 위한 요구도 증가되고 있습니다. 또한 칩의 전체 개발 시간을 줄여야만 하며 따라서 효율적인 검사의 중요성이 더욱 강조되고 있습니다. 현재 검사에 소요되는 여러 오버헤드를 줄이기 위해 설계 초기 단계부터 검사를 고려하고자 하는 노력이 증가되고 있어서 설계와 검사가 점점 하나로 병합되는 추세로 되어가고 있습니다. 또 검사 시 지존의 고착고장 이외의 delay 등 다른 고장들을 고려하여 좀 더 높은 신뢰도를 갖도록 하는 노력이 진행되고 있습니다.

이번 12월 호에서는 이에 초점을 맞추어 VLSI Chip Test 특집을 꾸몄습니다. 본 특집의 내용을 간단히 살펴보면 먼저 전반적인 test의 기술과 동향 등을 소개하였습니다. 이어서 효과적인 memory test와 이를 위한 memory BIST 기법에 대해 소개하였습니다. 다음으로 DFT 기법을 전반적으로 검토하고자 BIST 기술과 SCAN 및 Boundary SCAN 기술을 소개하였습니다. 이어서 테스트의 기본 기술인 ATPG, fault simulation에 대해 알아보고 마지막으로 IDDQ test 기술등 8편으로 산업계와 학계의 필자를 고루 모시어 다각적인 측면에서 검사기술에 대한 내용을 소개하였습니다.

아무쪼록 본 특집이 VLSI Chip Test 기술을 이해하고 접근할 수 있는 기회가 되기를 바랍니다. 특히 바쁘신 가운데도 글을 써주신 저자 여러분께 진심으로 감사를 드립니다.