특 집

반도체설계교육센터 (IDEC)의 사업계획

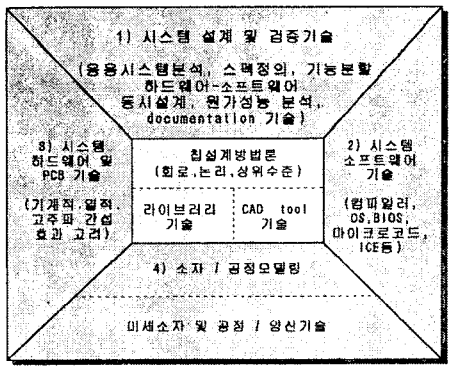
慶 宗 旻

韓國科學技術院 電氣 및 電子工學科

I. 설립배경 및 사업목표

오늘날 비메모리 설계기술은 통신, 컴퓨터, 가전, 자동차 산업 등 거의 모든 산업분야에서 핵심적으로 요구되는 고부가가치의 중요한 기반기술이다. 그러나 현재 국내 반도체 산업구조는 메모리 소자 중심으로 되어있고, 회로설계, CAD, library 그리고 시스템 설계 등 비메모리 반도체 개발시 요구되는 종합적인 설계기술은 매우 취약한 실정이다. 더구나 비메모리 반도체 산업은 오랜 시간 꾸준히 양성된 인력이 확보되어야 하는 노하우 중심의 산업으로, 학제적 능력을 갖춘 고급의 설계인력 양성이 요구된다. 다가오는 21세기에 한국의 반도체 산업과 시스템 산업이 경쟁력을 갖추기 위해서는 독자적인 반도체회로 설계능력을 갖추어야 하며, 지금이 바로 그 인력양성을 시작할 때이다. 반도체 칩의 설계는 회로설계뿐만 아니라 〈그림 1〉과 같이 여러 분야와의 연계를 필요로 하므로, 폭넓은 분야간의 교류와 학제적 능력의 보유자를 육성하는 것이 요구된다.

정부에서도 반도체 설계기술의 중요성을 인식하고 산업기술기반구축 정책을 수립하여, 한국의 향후 반도체산업을 이끌어 갈 반도체 설계인력 양성 및 반도체 기술의 저변확대와 대학과 기업사이의 연결고리 역할을 할 수 있는 반도체설계교육센터 (IDEC : Integrated Circuit Design Education Center)가 통상산업부와 반도체 3사의 지원을 받



〈그림 1〉 반도체칩 관련 주변기술

아 한국과학기술원 내에 설립되었다.

이 사업의 주제인 반도체 설계교육의 궁극적인 목표는 "질 높은 설계인력의 양성"이다. 국내 대학의 전자공학 및 관련분야 전공학생의 수는 상당한 규모이지만, 세계시장에서 일류기업과 겨루어야 하는 우리 기업의 기술을 이끌어 나가기에는 배출되는 졸업생과 이들을 배양하는 교육의 질이 심히 낙후된 상태이다. 이러한 궁극적인 목적을 달성하기 위한 IDEC의 구체적인 사업목표는 다음과 같다.

1) CAD tool 및 컴퓨터 장비지원 : 칩설계에 필요한 기본적인 워크스테이션/PC와 CAD tool을 구입, 배포, 지원한다.
2) 반도체 설계교육 및 CAD tool 사용훈련 : CAD tool의 사용법 훈련과 설계기술관련 강좌가 IDEC을 통하여 효율적으로 이루어지도록 한다.
3) 칩제작 Interface : 반도체 회사의 제작시설을 통하여, 각 대학의 설계 idea가 구현될 수 있도록 설계규칙 및 제작공정 parameter 제공, screening 및 MPC editing, 제작 및 패키지 interface 역할을 담당한다.
4) 정보, 자료, 의견 교류의 forum : 대학의 Working group간, 기업과 대학간의 정보, 자료 교환은 물론 인력 상호교류, 연구연계 등의 역할을 한다.
5) 중소기업지원 : 전자부품종합기술연구소를 통하여 중소기업의 칩제작 및 설계환경구축을 지원한다.

II. IDEC의 사업

본 센터의 구체적 사업내용은 반도체 관련 대학 및 중소기업의 반도체 설계교육 및 연구환경을 구축/지원하고, 반도체 설계교육 프로그램의 개발과 수행을 담당하며 MPC(Multi-Project Chip) 설계 및 제작, 정보 및 자료의 교류와 지원을 포함한다.

1. MPC 선정 및 평가

MPC 사업은 크게 나누어 스케쥴링, 선정 및 할당 그리고 기술지원의 세 가지 분야로 나눌 수 있다. 각 분야의 현황과 계획은 다음과 같다.

현재 계획은 국내의 반도체 3사(삼성전자, LG반도체, 현대전자)로부터 지원을 받아 대학 또는 중소기업에서 설계된 칩 데이터를 취합하여 각 사별로 매년 2회씩, 전체 6회의 run을 매 2개월마다 서비스할 예정이다. 한 회의 run은 설계계획서 접수 마감일을 기점으로 하여 다음과 같은 일정으로 추진할 계획이다.

3개월 전 : 설계공모안내
0일 : 설계계획서 접수마감
15일 후 : MPC 사업참여 설계팀 1차 선정 및 통보
3개월 후 : 설계 layout DB 취합완료
3.5개월 후 : MPC 사업참여 설계팀 최종선정
6개월 후 : IC 제작 완료
8개월 후 : IC test 결과 발표회 및 평가

센터에서는 국내 반도체회사와 협의하여 매 run 투입에 할당되는 전체 MPC 가용면적을 정하고 각 대학이나 중소기업에서 제출한 설계응모 자료에 근거하여 patch를 할당한다. 면적이 매우 작은 chip들은 die 하나에 두 개 이상을 합쳐 넣을 수 있는 가능성을, 그리고 기능과 구조상 patch 사이즈보다 큰 chip은 분할하여 제작할 수 있는 가능성을 기술적으로 검토하여 한정된 자원으로 여러 경우의 요구에 부응할 수 있도록 한다.

MPC 사업이 성공적이려면 참신한 아이디어가 담긴 chip을 설계, 제작되어야 하고, 이를 위하여 IDEC은 세계적인 시장추세 및 기술추이 등에 관한 자료 및 정보를 배포하고, 세미나 등을 통하여 이러한 동향을 널리 알릴 계획이다. 공모된 과제로부터의 선정작업이 객관성을 갖기 위하여 다음의 세 가지 관점에 적절한 비중을 두어 평가할 예정이다. 첫째, 설계, 제작하려는 칩에서 사용될 알고리즘, 아키텍춰, 회로설계기법 등에서 독창적인 아이디어가 얼마만큼 있는가 둘째, 칩이 성공적으로 제작되었을 경우 시장과 시스템설계에 미치는 파급효과를 보고 셋째, 칩의 설계, 제작과정으로부터

오는 교육적인 효과를 고려한다.

칩 제작과정이 원활히 진행되기 위해서는 여러 가지 기술적인 지원이 필요하며, 이를 살펴보면 다음과 같다. 설계가 어떠한 제조기술을 필요로 하는가에 따라 CMOS 공정 또는 bipolar 공정, BiCMOS 공정 등으로 구분하고 해당되는 technology 정보를 Spice parameter 혹은 layout tool에서 사용하는 technology file 형태로 제공한다. 또한 설계종류가 digital회로인지, analog회로인지, 혹은 혼합회로인지에 따라 제공하여야 할 정보들이 크게 달라질 수 있다. 이와 더불어 칩을 layout하는데 필요한 각종 design rule과 최종 칩의 pin 수 제한 및 적절한 packaging type의 제공 및 선정 등의 안내가 필요하다. 설계종류, 기술 등에 따라 적절한 설계방법과 CAD tool 그리고 library 등에 관한 추천 또는 정보를 제공할 예정이다.

2. Hardware 지원

H/W와 CAD S/W는 사업기간 중 매년 평가에 의해 각 대학에 배정, 대여되며, 반도체 설계에 가장 필수적인 장비인 컴퓨터시스템을 참여 대학에 제공하고, 칩의 제작 및 성능분석 등에 필요한 고가의 장비를 센터 공통장비로 소장하여 참여 대학 또는 중소기업들이 공유함으로써 국가적인 차원에서 자원의 효율적인 활용을 꾀한다.

제1차년도의 예산 중 H/W분야는 우선 워크스테이션과 PC를 기증 또는 대폭 할인구매하여 각 대학에 배정하였는 바 현재 상황은 아래 〈표 1, 2, 3〉과 같다.

〈표 1〉 IC설계교육환경 대학별 지원 내역

Working Group	WS지원	WS현물 추가지원	PC지원	CAD만 지원	Working Group	WS지원	WS현물 추가지원	PC지원	CAD만 지원
강 릉 대	1		6		강 원 대	2		3	
건 국 대	2		2		경 북 대	3	1	5	
경 상 대	2	1	3		경 희 대	2		3	
고 려 대				○	공 주 대	1		6	
광 운 대	4	1	5		국 민 대	2	1	3	
금 오 공 대	2		3		단 국 대	2		2	
동 국 대	1		6		부 산 공 대	1		6	
부 산 대	4	1	5		서 강 대	2	1	2	
서 경 대	2	1	3		서 울 대				○
서울시립대	2		2		성 균 관 대	2		2	
숭 실 대	2	1	3		아 주 대	3	1	3	
안 양 대	1		6		연세대(전자)				○
울 산 대	2		3		연세대(컴퓨터)				○
영 남 대	2	1	3		인 천 대	2		3	
원 광 대	2	1	3		전북대(전기)	2		2	
전 남 대	2		2		전북대(전자)	2	1	3	
제 주 대	2		3		중 앙 대	2	1	3	
청 주 대	2	1	3		충 남 대	3	1	4	
충 북 대	3	1	3		포 항 공 대	2	1	3	
한양대(서울)				○	KAIST분원				○
한양대(안산)	3	1	3		—	—	—	—	—

〈표 2〉 지원 Workstation의 규격

항목 \ 기종	HP	Axil
Model명	HP 715/100XC	Axil 320-7.1
Clock 수	100MHz	75MHz
Main memory	64MB	64MB
H D D	2GB	2GB
F D D	3.5″ 1.4MB	3.5″ 1.4MB
OS	HP-UX Verson 9.0	SOLARIS 1.X

〈표 3〉 1차년도 Workstation(WS) 및 PC 지원내역

구 분	WS 지원	PC 지원	WS 추가 지원*	비 고
참여대학	74	120	18	*WS추가지원분은 반도체 3사로부터 현물제공에 의해 충당할 예정이다.
센 터	36	30	12	
계	110	150	30	

3. CAD tool 및 장비의 구매,배포 및 지원 및 교육

반도체 설계에 가장 필수적인 장비인 컴퓨터시스템과 그 위에서 돌아가는 CAD tool을 구매, 배포 및 지원하는 업무는 본 센터의 가시적인 역할 중 가장 중요한 업무중 하나라고 볼 수 있다. 그러나 본 센터의 궁극적인 목표가 질 중심의 반도체 설계 기술 인력 육성인 바 PC 혹은 워크스테이션이나 CAD 소프트웨어 등의 구매 및 배포로 지원업무가 끝나는 것이라기 보다는 library와 CAD tool의 유지보수 및 컨설팅과 이를 위한 전담 전문인력 양성에도 힘을 쏟을 것이다.

CAD tool의 구매는 상당한 전문성을 요하는 작업이고 정기적인 upgrade와 유지보수가 뒤따라야 하므로 전담 연구원과 연구 보조원이 할당되어 꾸준한 지원이 되어야 업무가 연속적으로 수행될 수 있다. 또한 정부 지원금으로 컴퓨터 등의 하드웨어 장비와 CAD tool 등의 소프트웨어의 구매는 꼭 필요한 만큼만 하여 꼭 필요한 곳에 배포함을 원칙으로 하여 구매 및 배포 이후 이의 활용에 의해 최대의 연구, 교육효과가 나오도록 문제점과 해결방식을 항상 공개하고 공유하여 전체 생산성이 극대화될 수 있도록 하되 각 대학 특성에 맞추어 본 센터의 설립 취지에 맞는 용도로 쓰일 수 있도록 한다.

이러한 지원과정을 살펴보면 크게 세 가지로 나눌 수 있다. 첫째 구매 및 기증을 위한 대외 협상, 둘째 구매 기증된 하드웨어·소프트웨어의 배포, 셋째 유지보수를 위한 지원이다. 구매 또는 기증된 소프트웨어 및 하드웨어의 자원은 참여 대학 및 지역센터의 업적과 업무계획에 의거한 필요성 등을 고려하여 공정하고 투명한 원칙을 세워 할당, 배포한다. 이 장비들은 일정기간마다 현황을 파악하여 시장 trend를 예측하고 호환성을 고려하여 upgrade하고, CAD tool 및 library들에 대한 사용법과 유지보수 업무는 계속적으로 수행하여 활용 노하우를 상호 교환할 수 있도록 교류를 적극 장려할 뿐 아니라 공식적인 창구를 마련해 놓는다.

본 센터의 1차년도 CAD tool 및 소프트웨어의 대학지원은 위와 같은 목표와 취지 아래 지난 7월 전국 각 대학에 설문조사를 실시하여 49개 대학 51개 working group이 설문에 응한 결과, 본 센터 위원회의 심사를 거쳐 최종적으로 41개의 working group이(이중 35개 working group은 H/W와 S/W를, 6개 working group은 S/W만 지원) 선정되었다. 각 대학에 지원내역을 통보하였으며, 기존 보유 장비와 지원될 장비의 환경에

맞는 소프트웨어의 지원을 위하여 수요 조사중에 있다. IC 설계 교육환경의 대학 지원 일정은 아래와 같다.

9월 30일 : 대학별 S/W 지원 수요 조사 완료
10월 10일 : 지원 내역 확정
10월 20일 : 설치 방법 및 IDEC 사업 토의(본 센터 및 지원대학과 전체회의)
10월 30일 : H/W 및 S/W 공급업체와의 계약 완료
11월 15일 : 설치 완료

위와 같이 본 센터에서는 상용 Tool Vendor로부터 공급되는 CAE/CAD software와 연구소나 대학에서 개발된 Public Domain Software를 모두 지원하게 되고, 이러한 Tool을 사용하기 위한 단기간의 집중교육을 주관하게 된다. 상용 Tool을 이용하기를 원하는 각 참여대학과 중소기업을 위하여 센터에서는 CAE/CAD 소프트웨어를 공동구매 하여, CAE/CAD Vendor로 하여금 센터에 정기적으로 Tool 이용법에 대한 강의를 요청하여, 각종 Tool 사용법을 익히게 한다. Public Domain Tool을 이용하고자 하는 참여 대학이나 연구원에 대하여는 참여 대학의 교수나 연구원을 초청하여 Tool 교육을 담당하게 한다. 이러한 설계환경교육에는 Vendor로 부터의 강사 이외에, 그 환경을 많이 사용해 본 교수, 연구원을 강사진에 포함시킴으로써 단순한 사용방법 뿐만 아니라 사용상의 유의사항 및 장단점 등 실제적인 문제점을 파악할 수 있도록 할 것이다. 이 교육일정은 설치가 완료된 11월부터 진행될 예정이며, 세부 안내는 강좌개설 1개월 전에 브로셔나 인터넷 등을 통하여 공고할 계획이다.

4. 교육세미나 및 교육자료 제작

본 센터에서 수행하게되는 교육은 크게 기초설계교육을 하는 정규교육 프로그램, 공동장비 H/W의 사용법을 가르치는 H/W교육 프로그램, 그리고 Textbook 및 교육자료를 제작하는 교육용 자료제작 프로그램이 있다. 이와 같은 교육 프로그램은 모든 대학과 기업의 참여 속에 이루어지며, 센터는 하나의 서비스기구로서의 역할을 담당하게 된다.

여기서 센터는 참여대학의 학생, 중소기업의 연구원으로서 구성된 설계 연수 지망생들을 모집하여 참여대학의 교수, S/W 및 H/W 공급자, 중소기업의 연구원 등으로 이루어진 강사를 초빙하여 센터에서 교육 프로그램을 수행하게 된다. 센터는 이와 같은 교육프로그램 수행과 동시에 각종 설계와 관련된 강의와 실험 프로그램을 개발하며 여기에 필요한 강의 교재와 실험기재 및 S/W를 준비하게 된다. 각각의 교육업무를 자세히 기술하면 다음과 같다.

1) 정규교육 프로그램

정규교육 프로그램의 목적은 일반 참여 대학의 설계교육 지원 및 보강과 설계관련 교과운영 모형 제시, 중소기업 연구원의 설계능력 향상 및 재교육에 있다. 일반적인 설계지식을 가르치는 기초 설계교육 프로그램에서는 디지탈, 아날로그 기본회로 및 VLSI 설계교육과 각종 시스템 구성에 필요한 Subsystem 및 응용회로 설계에 대한 교육을 수행하게 된다. 고급설계교육 프로그램은 새로운 공정, 소자, 시스템 추세 및 설계방법론, 특정 응용분야에서의 설계, 각종 System에 사용되는 디지탈 및 아날로그 IC 설계의 성공사례와 제작과정을 연구검토하는 Case Study 중심의 교육을 수행하며, 이로부터 상업적으로 요구되는 IC 설계에 필요한 노하우를 습득하게 한다. 이를 위하여 센터는 각 대학의 우수한 설계전공 교수와 각 기업의 경험이 많은 설계원으로 이루어진 강사팀을 구성하여 강의의 질을 높이는 동시에 보다 실제적인 강의가 되도록 노력하게 된다. 이러한 강의의 주선과 원활한 수행을 위해 각종 실험 교재 및 장비, S/W를 준비하고 강의록을 편집하여 Textbook을 작성하게 된다.

1차년도에 계획된 공개강좌의 제목, 강좌, 내용, 개설시기는 〈표 4〉와 같다. 평균 매월 1회 이상의 강좌를 실시할 계획이며, 기초설계교육은 대학의 방학기간에 맞추어 개설하고, H/W, S/W교육과 더불어 매학기 반복함으로써 수강의 폭을 넓히도록 한다. 모든 강좌는 각 대학의 우수한 설계전공 교수 뿐만 아니라 해당분야에 설계경험이 많은 기업 연구소의 연구원으로 강사진을 구성하여 강의

〈표 4〉 1차년도 교육 프로그램(추후 변경가능)

기 간	강 의 제 목	강 좌 내 용	비고(Units)
95.8.21~23	아날로그 및 혼성모드 IC설계	아날로그 IC설계 기본이론과 주요 building block 해석과 설계	기초(0.5)
95.8.24~25	통신 및 신호처리 ASIC 설계	통신모델 신호처리, CDMA용 modem ASIC 설계	고급(0.5)
95. 10	설계환경교육	Tool 설치방법 및 사용법	환경(2.0)
	설계환경교육	Tool 설치방법 및 사용법	환경(2.0)
	시스템 수준 설계 방법론	MCM, BLS, emulation	고급(0.5)
95. 11	저전력/고속 IC설계기술 (95. 11. 22~24)	공정, 소자, 회로, 시스템, 수준에서의 대응방안과 연구동향	고급(0.5)
95. 12	디지탈 신호처리 알고리즘의 VLSI 구현	DSP 알고리즘의 구현방법과 과정	고급(0.5)
96. 1	CMOS IC설계 기초실무	단위회로 및 시스템의 full-custom layout에 필요한 실무적 사항	고급(1.0)
	아날로그 시스템 설계	주요 building block 해석과 설계	기초(1.0)
	자유과제 설계실습	수강자 자유선택, 설계지도	고급(4.0)
96. 2	FPGA를 이용한 시스템 prototyping	VHDL, FPGA, prototyping	기초(1.0)
	디지탈 VLSI 시스템 설계	반주문형 설계과정, subsystem설계, simple μP 설계, 검증	기초(1.0)
96. 3	설계환경교육	사용방법	환경(2.0)
96. 4	설계환경교육	사용방법	환경(2.0)
96. 5	Design for Testability	Testing Methods, DFT일반, Boundary-scan, CAD tools for DFT	고급(1.0)
96. 6	ASIC 설계 사례연구	μP, CDMA, MPEG, ATM chip, modem	고급(1.0)
96. 7	CMOS IC설계 기초실무	단위회로 및 시스템의 full-custom layout에 필요한 실무적 사항	기초(1.0)
	아날로그 subsystem 설계	주요 building block 해석과 설계	기초(1.0)
	자유과제 설계 실습	수강자 자유선택, 설계지도	고급(4.0)
96. 8	FPGA를 이용한 시스템 prototyping	VHDL, FPGA, prototyping	기초(1.0)
	디지탈 VLSI시스템 설계	반주문형 설계과정, subsystem설계, simple μP 설계, 검증	기초(1.0)

의 질을 높임과 동시에 구체적인 설계예와 관련 CAD tool의 사용예를 보여주고 강의와 더불어 실험, 실습을 병행함으로써 수강생의 설계능력 향상에 직접적인 도움이 되도록 할 것이다. 본 교육프로그램의 구성과 내용은 대학 설계교육의 활성화, 정상화 정도 등 국내 제반상황 변화에 따라 지속적으로 개편, 조정될 것이며, 이를 위해 참여대학 및 기업체의 적극적인 의견개진이 필수적이다.

2) 하드웨어 교육 프로그램

센터에 설치될 공동이용을 위한 여러 장비(Workstation 포함)의 사용법에 대하여 H/W 장비 판매회사의 강사를 정기적으로 초빙하여 교육을 수행한다.

3) 세미나 프로그램

VLSI설계 또는 CAD에 관한 세미나를 일주일에 한번 정도 개최하여, 각종 새로운 설계기술이나 CAD Tool, Algorithm에 관한 정보를 접할 수 있는 기회를 제공한다. 이 세미나는 Video Tape로 촬영하여 보관한 후 목록을 작성하여, 추후 요구하는 대학이나 중소기업에 대한 세미나의 연사는 각 기업의 경험 많은 설계 기술자, 설계기술의 동향을 잘 아는 Marketing Manager, 대학의 교수 및 연구종사자 등으로 하여 세미나의 질을 높인다.

4) 교육자료 제작 프로그램

이 프로그램은 전문학교, 대학교(학부, 대학원), 중소기업, 대기업 등에서 사용할 수 있는 IC설계에 관련된 교재개발을 목표로 한다. 여기서는 교과서, 전문전공서적과 실험 및 실습교재, CAD tool의 사용법 및 응용노트, 교육 video 등을 발간할 계획이다. 교재개발 방법으로는 IDEC에서 수행하는 공개강좌 내용을 중심으로 보완, 첨가하는 방법과 많은 사람의 의견 수렴을 거쳐 국내 IC설계분야에 필요한 내용을 종합, 정리하는 두 가지 방법이 있다.

현 시점에서 교재개발과 관련하여 결정하여야 할 기본사항은 교재의 내용과 집필자의 선정이다. 이는 IDEC뿐만 아니라 국내의 모든 관련 교수들과 연구원들의 적극적인 참여가 필요하며 IDEC은 교재개발에 관한 좋은 의견을 적극 수렴하고자 한다. 현재 IDEC에서 고려하고 있는 교재개발에 관한 내용들은 다음과 같다.

(1) 교과서 및 실습 교재 : 전문학교, 대학교, 대학원 등의 수준에서 IC설계에 관련된 기본사항을 종합한 내용으로 이론과 실습이 병행되는 것이 바람직하다.

(2) 전문전공 서적 : 특정 주제에 대한 전문내용을 수록하며, 향후 일련의 연작물로 계획하고 있다(예 : PLL 설계 등).

(3) CAD tool 사용법과 응용노트 : 복잡한 CAD tool들의 효과적인 사용을 위하여 CAD tool 사용법의 요약, 실습예제, 문제점, 개선방안 등을 내용으로 한다.

(4) 교육 Video 개발 : 시청각을 통한 교육 기자재 개발로 쉽게 접할 수 없는 IC설계 환경, 강좌 등을 그 내용으로 한다(예 : 반도체 제작공정 등).

5. 지원 대학에 대한 평가 및 지원 기준

지원 대학에 대한 평가로는 설계관련 연구업적과 설계교육 업적 두 가지를 꼽을 수 있다. 설계관련 연구업적 중 가장 중요한 것은 MPC 참여 업적을 들 수 있다. MPC 참여업적은 발표회를 통하여 얻은 결과에 기초하여 평가할 예정이다. 또한 설계 및 설계방법론, CAD tool 개발 등에 관련된 논문, 특허, 프로그램 등의 발표 건수 및 그 내용들도 중요한 평가기준이 될 것이다.

설계교육 업적평가로는 지원대학의 설계교육팀의 구성과 그 팀이 얼마나 유용한 설계관련 교육프로그램을 개발하였는가를 평가한다. 설계관련 교과목 개설과 강의내용을 조사하고 관련분야를 전공한 졸업생수와 이들의 취업결과에 대한 자료를 토대로 평가하는데 숫자도 중요하나, 더욱 중요한 것은 질적인 면에서 교육을 어떻게 받았는지와 기업체로부터의 평가도 중요한 요소가 될 것이다.

1차년도의 지원기준에서는 위에서 설명한 평가기준 중에서 MPC 부문의 업적평가가 불가능하여 이를 제외한 대신 과거 수년간의 칩설계 분야에서의 연구, 개발 활동과 향후의 가능성 및 의지 등을 고려하였다.

6. 사업추진일정(95. 11~99. 10 : 4년간)

1. 반도체설계교육센터의 1단계사업기간은 현재 95. 11~99. 10의 4년간으로 예정되어 있으며, 1단계 사업의 성공적인 수행을 전제로 주로 관련기업의 지원에 의하여 99년 11월 이후의 제2단계 사업이 진행될 수 있도록 노력한다.

2. 참여대학은 매년 평가에 의해 지원규모가 정해지되, 총 working group의 수는 50이 넘지 않

도록 할 예정이다.

3. 사업은 MPC, 지원대학 및 지역센터의 평가와 같이 정기적으로 수행하는 항목과 교육 및 칩제작 interface 등 계속 수행하는 항목으로 이루어진다.

4. Foundry interface 업무의 수행과 아울러 library cell을 여러 참여 대학에서 설계하여 배포할 수 있도록 유도한다.

5. CAD 환경 구축은 기존 CAD tool의 평가, 구입, 배포와 자체적인 CAD tool의 개발로 구성된다.

6. 주요사업 수행 횟수

1) MPC : 연 6회로 시작

2) 워크샵 : 연 2회

3) 정규교육프로그램 : 방학기간 중에 집중 추진

III. IDEC 사업의 기대효과

IDEC사업을 통하여 얻어지는 파급효과는 여러 가지이나, 이를 크게 생각하면 다음과 같다. 즉, 국내 산업체에 대하여는 시스템 산업의 경쟁력 강화와 반도체 산업의 안정화를 도울 수 있다는 것이며, 연구교육기관에 대하여는 연관된 기술분야간 협동/분업 방식을 확산시키며 중소/대기업, 여러 연구/교육기관간의 연계를 촉진시키는 것이다. 이를 요약하면 다음과 같다.

1. 시스템 산업의 경쟁력 강화

통신, 가전, 컴퓨터, 멀티미디어, 자동차산업 등 시스템 산업의 핵심 알고리즘의 ASIC 구현 및 시스템 'Design-in'을 통하여 부품확보와 성능 면에서 우리 산업의 세계시장 경쟁력 확보에 큰 역할을 담당한다.

2. 반도체 산업의 포트폴리오

범용 DSP, 마이크로프로세서 칩과 여러 전자시스템 응용분야에서 다양한 ASIC 칩의 국내 독자설계 및 생산을 통하여 수조원이 투자된 반도체 산업의 DRAM시장에의 과다 의존도를 줄이고, 사업의 안정성과 투자의 효용극대화를 이루는데 크게 공헌한다.

3. 다른 기술분야간 협력 체제 및 분위기 구축

센터 참여자 및 관련 연구자들은 하드웨어와 소프트웨어, 시스템과 회로/소자, 설계기술과 CAD tool간의 상승효과를 통하여 경쟁력 있는 Total System의 개발방법론을 터득하고, 축적된 협동/분업방식, Scheduling 방식이 우리나라 대학, 회사, 연구소에 확산되어 대학에서는 산학협동 분위기 고양과 학계적 공동연구 및 교육효과를 회사에서는 고부가가치 제품 생산 경쟁력을 드높이는데 크게 공헌한다.

4. 다른 기관과의 교량역할

중소기업의 제품 idea와 대기업의 반도체 제조능력간의 교량역할, 국내 여러 대학, 연구센터(ERC 등)와 국립, 회사 연구소간의 이론/응용분야의 교량역할, 선진국의 시스템 설계능력과 국내 산업능력간의 창구역할을 통한 유무형의 기투자된 국내 Resource와 Infrastructure를 활성화시킨다.

IV. 결 론

IDEC은 국가차원의 산업기술기반구축사업의 첫 케이스로 출범하게 되었다. 첫해의 예산은 20억원의 통산부 지원금과 그에 상당하는 규모의 반도체 3사의 현물 및 현금지원으로 구성되며, 반도체 설계분야의 고급인력을 양성하는데 쓰이게 된다. IDEC의 지원내용은 워크스테이션, PC, CAD tool, 외에도 교육 및 tool 사용훈련 프로그램, 교재 및 Video제작, MPC 제작관련 서비스, Workshop, 자료 및 정보제공, 인력교류지원 등을 포함한다.

효율적인 운영을 위하여 각 대학에 지원되는 하드웨어 및 CAD tool들은 IDEC 사업기간 중에는 대여형태로 각 대학의 Working group에서 사용되며, 사업이 종료되는 시점에서 각 대학에의 귀속여

부를 결정하도록 되어있다. 실제 효율성을 중시하여 지원대상을 과보다는 Working group으로 하며, 칩설계 인력 및 설계된 칩의 수준과 숫자 등을 가장 중요한 평가기준으로 삼으며, 매년 평가결과에 따라 새로운 자원을 포함하여 모든 자원의 분배를 시행한다.

저 자 소 개

慶 宗 旻

1953年 6月 21日生
1975年 2月 서울대학교 전자공학과
1977年 2月 한국과학기술원 전기 및 전자공학과 석사
1981年 2月 한국과학기술원 전기 및 전자공학과 박사

1981年 4月～1983年 1月 미국 Bell 연구소(Murrary Hill) Post Doc.
1985年 1月～1985年 2月 일본 동경대학교 객원교수
1989年 2月～1989年 11月 독일 칼스루헤대학(훔볼트재단) 객원교수
1983年 2月～현재 한국과학기술원 전기 및 전자공학과 교수

주관심 분야 : 마이크로프로세서 설계, CAD 알고리즘, VLSI 회로 및 시스템 설계, 컴퓨터 그래픽스