

고속 SRAM 개발 동향

卞 賢 根, 朴 熙 哲

三星電子(株) 半導體部門 메모리事業部

丁 哲 珉, 林 亨 圭

三星電子(株) 半導體部門 메모리事業部

I. 서 론

고속 SRAM(Static Random Access Memory)은 system의 cache용으로 주로 사용되며, CPU (Central Processing Unit)에 가장 밀착된 Memory로 system의 고성능화에 따라 CPU와 DRAM (Dynamic Random Access Memory)간의 speed 차가 커지면서 cache의 필요성이 강해지고 채용범위가 넓어지고 있다.^[1]

또한 CPU의 clock 주파수의 상승에 따라 요구되는 속도가 점점 빨라지면서 고속 SRAM도 성능향상을 위해 표준제품인 Asynchronous SRAM으로 전환되고 있으며, 현재 3.3V화가 선행된 CPU의 저전원전압화에 따라 5V에서 3.3V로 변환이 진행되고 있다.

본 논문에서는 고속 SRAM의 시장, 개발동향 및 요소기술에 관하여 소개 하고자 한다.

II. 제품 개발 동향

1. 시장 동향

고속 SRAM의 주요 응용처별 동향은 super/mini computer의 main memory는 SRAM에서 DRAM으로 변환되는 추세에 있으나 개인용 computer(PC)에서의 본격적인 cache 채용 및 Telecom, LAN의 buffer memory 시장의 꾸준한 증가는 고속 SRAM 시장 규모를 증대시킬 전망이다. 표 1은 SRAM의 세계시장 규모를 보여주고 있으며, 고속 SRAM 분야에서 연평균 30% 이상의 고성장이 기대된다.

Cache SRAM 시장과 직접적인 관련이 있는 MPU(Micro Processor Unit) 시장의 경우 intel 계열의 x86 시장이 전체 market share의 80% 이상을 유지하면서 연평균 35% 이상의 고성장이 예상된다.^[2] 미 intel사의 MPU 생산량은 세대마다 약 2배가 증가되어 왔으며 Pentium의 경우 94~95년에 걸쳐 급상승하여 96~97년에는 전세대

(표 1) SRAM 세계 시장 규모

(M\$)

	'93	'94	'95	'96	CAGR
W-W시장	3365	3997	4750	4916	13.7%
SLOW	2357	2560	2795	2710	4.9%
FAST	1008	1438	1995	2206	30.6%

(SOURCE : Dataquest May, 1994)

의 i486과 생산량이 역전될 것으로 보인다.^[3] Cache SRAM의 주성장 기반인 Pentium의 수량 증대는 고속 SRAM 시장 증대의 견인차 역할을 할 것으로 예상되며 중요 응용 제품인 Low-End 제품의 경우 256K KAST SRAM 및 저가격의 Synchronous SRAM이 필요하고 High-End 제품의 경우 고성능의 Synchronous SRAM이 필요하다.^[4]

RICS(Reduced Instruction set Computer) MPU의 경우는 크게 4개의 진영으로 나누어진다.^[5]

SUN Microsystem을 중심으로한 SPARC, HP와 Hitachi가 중심인 PA-RISC 진영, MIPS을 중심으로 NEC, Toshiba 등의 반도체 maker가 속해 있는 R 진영, IBM, Apple, Motorola의 Power 진영으로 대별되며, Digital의 경우 독자 Alpha chip 개발과 함께 MIPS의 R 계열에도 참여하고 있다.

각각의 MPU에 따라 요구되는 고속 SRAM이 조금씩 다르나 100MHz급 이하의 현 system에서는 10~20ns의 표준 Asynchronous SRAM이 주로 상용되고 있으며 CPU의 clock 주파수 상승에 따라 100~220MHz의 Synchronous SRAM이 요구되는 추세이다. 따라서, High End용의 WS 및 Server 등의 제품뿐만 아니라 Low End용의 저가격 PC에서도 cache SRAM이 Synchronous SRAM으로 변환되어 가고 있는 추세임을 알 수 있다.

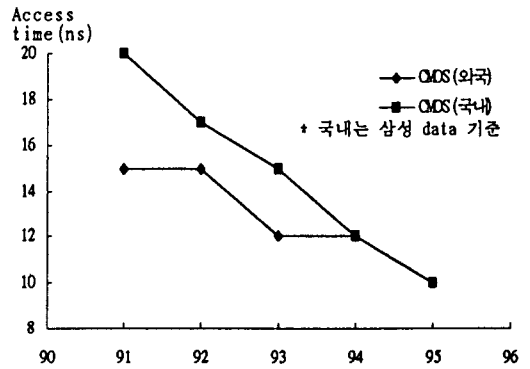
한편 PC의 경우 Pentium의 제2세대인 P54C와 차세대 Power PC의 MPU는 3.3V로 저전압화가 이루어졌으며,^[6] ^[7] RISC 역시 차세대의 Synchronous SRAM에서는 3.3V 제품화가 필수적이다. 저전압 동작의 주요 이점은 휴대용 system의 연장된 battery 수명, Package 신뢰성 개선 및 소형 handheld기기의 fan을 비롯한 고가의 온도조절 장치를 없앨 수 있다는 등의 장점^[8]이 있으나, 성능 감소가 우려되므로 저전압화에 따른 고속화 기술이 필요하게 된다.

향후 PC 대응을 위한 cache SRAM의 경우 저가격, 저전압, 고속화에 따른 설계 및 공정 기술이 이루어져야 하며 RISC cache SRAM은 MPU의 저전압화 추세에 따른 저전압 동작 상태에서의 speed 향상 기술, 고속화에 따른 new interface 회로 기술 개발 및 PLL 등의 설계 기술이 필요하게 된다.

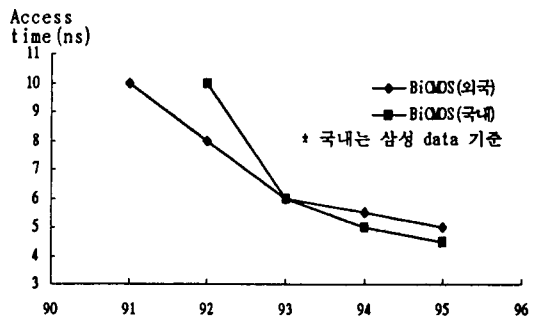
2. 고속 SRAM 개발 동향

1983년부터 본격적으로 참여하기 시작한 한국의 MEMORY 사업은 SRAM의 경우 80년대에는 SLOW SRAM에 의해 개발이 주되었으나, 90년대 들어 고속 SRAM 개발이 본격화되어 1991년 제품 출하가 시작되었다.

삼성의 경우 1991년 CMOS의 20ns 제품인 256K PAST SRAM을 시작으로 속도 경쟁력에 의한 고속 SRAM의 본격적인 시장 진입을 위해 1993년 6ns의 256K BiCMOS SRAM이 개발되었으며 Synchro-



(b) CMOS SRAM SPEED 동향



(a) BiCMOS SRAM SPEED 동향

(그림 1) 연도별 고속 SRAM SPEED 동향

(표 2) MPU 동향 및 요구되는 FAST SRAM

업 체	MPU	동작 주파수	동작 전압	CACHE SRAM
intel	Pentium	66MHz	5V/3.3V	Low End : 256K FAST 1M Sync. High End : 1M Sync.
Motorola	601/603	50MHz	5V/3.3V	Low End : 256K FAST 1M Sync. High End : 1M Sync.
SUN	SPARC ULTRA SPARC	<70MHz >166MHz	5V 3.3V	1M Sync. 1M Sync.
HP	PA-RISC	100MHz 200MHz	5V 3.3V	256K/1M BICMOS 1M Sync.
DEC	R4000 R10000 Alpha	<75MHz >200MHz >200MHz 300MHz	5V 3.3V 5V 3.3V	1M FAST/4M FAST Sync. SRAM 256K/1M BICMOS Sync. SRAM

nous SRAM에서 개발을 선도하기 위해 1993년 Synchronous SRAM 개발이 이루어졌다.

그림 1은 CMOS와 BiCMOS 제품의 speed trend를 보여주고 있다. 그림 1(b)의 BiCMOS 제품의 경우 1993년에 미국, 일본 업체와 같이 6ns 제품이 개발되었으며 1994년 이후 Synchronous SRAM의 경쟁력 강화로 speed 측면에서 앞서 나가기 시작했다.

표 2는 MPU 및 cache SRAM 동향을 보여주고 있으며 PC의 mother board 산업이 강한 대만 업체의 경우 저가격의 cache SRAM 시장인 256K FAST SRAM의 사업화가 활발하며 일본 업체의 경우 MIPS 계열인 R4000을 생산하는 NEC, Toshiba의 경우 Game, OA, Multimedia로 전개^[9]을 위한 cache SRAM으로서 1M/4M FAST SRAM 개발에 적극적이며 HP와 WS 및 Server용 PA-RISC를 공동개발한 Hitachi의 경우 초고속 1M Synchronous SRAM 개발에 참여하고 있다. 미주업체를 대표하는 Motorola의 경우 PC의 cache SRAM 및 RISC 개발에 적극적으로 대응하고 있다.

III. 설계 및 고정 기술

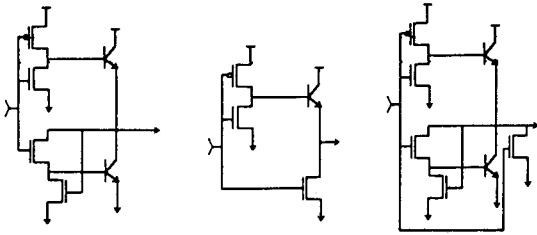
1. BICMOS TECHNOLOGY

1) 저전원전압 동작에서의 고속화 기술

High density와 High speed ULSI를 위한 주요 기술로써 BICMOS 기술이 보편화되어 있으며 일반적으로 동일 power 소모에서 speed는 BICMOS가 2배정도 빠른 것으로 인식되고 있다.^[10]

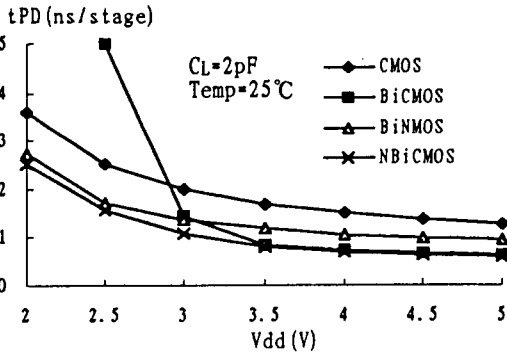
최근 저전압화 되고 있는 system의 추세에 따라 저전압 동작에서의 고속 speed가 요구되고 있으나, 저전압하에서는 BICMOS의 성능이 3V 근처에서 갑자기 저하됨이 보고 되었다.^[11] 따라서 3V 이하의 전압에서 고속의 BICMOS 성능을 유지할 수 있는 Logic gate인 BINMOS gate가 발표되었으며^[11] 일반적으로 3.3V 초고속 SRAM에서 BINMOS gate를 기본으로 사용하고 있다.

그림 2의 (a), (b)의 현재까지 일반적으로 사용되고 있는 기본적인 BINMOS의 inverter 회로를 보여주고 있다. BINMOS의 inverter의 경우 pull-down 동작시 driver의 NMOS에 의해 speed가 최우하므로 3V 이상에서의 speed의 conventional BICMOS inverter보다 느리다. 따라서 conventional BICMOS inverter의 driver(그림 2의

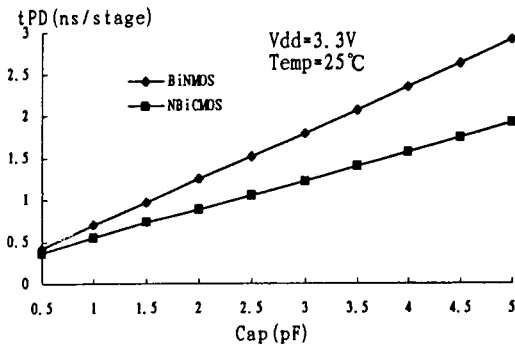


(a) (b) (c)

<그림 2> (a)BICMOS (b)BINMOS (c)NBICMOS



<그림 3> 전압 변화에 따른 SPEED(tPD) DELAY



<그림 4> CAPACITANCE 변화에 따른 SPEED (tPD) DELAY

C)를 제안하였다.

그림 3은 전압에 따른 speed 특성을 보여주고 있으며 NBICMOS inverter가 전전압 영역에서 CMOS, BICMOS, BINMOS inverter보다 고속성이 우수함을 알 수 있다.

그림 4는 Loadign Capacitance에 따른 speed delay로 Loading Capacitance가 증가할 수록 NBICMOS가 BINMOS보다 우수한 speed 특성을 보여준다.

2) Diffused BICMOS 공정 기술

최근 저가격 및 고성능화를 추구하는 cache SRAM을 위해 CMOS 공정보다 고속특성이 우수하고 BICMOS보다 간단한 신공정의 필요성이 대두되고 있다.

CMOS 공정은 제품의 고속화가 어렵다는 단점은 있으나 고집적이 용이하고 공정 COST가 저렴하여 Low cost의 대량 생산에 적합하며, BICMOS 공정은 공정이 복잡하고 cost는 높지만 제품의 고속화가 유리해 고부가 가치의 소량 제품에 적합하다. 이와 같은 각 공정의 고유한 장점으로 SRAM에서 각기 다른 제품군을 형성하고 있으나 고속제품들의 저 COST화를 위한 공정개발의 일환으로 BICMOS 공정의 단순화에 대한 연구가 진행되고 있다.^{[12], [13]}

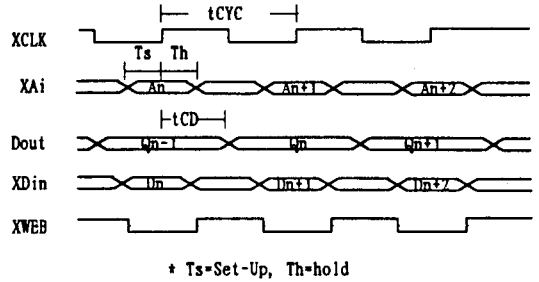
본고는 이러한 연구의 한 방법으로 BICMOS 공정 중 특히 Bipolar Transistor 제조공정을 단순화 하면서 CMOS 공정대비 속도 우위를 확보할 수 있는 triple-diffused(3D) BICMOS 공정^[12]에 대해서 간략하게 소개하고자 한다.

표 3은 SRAM에서 사용되고 있는 CMOS와 BICMOS에 대해 주요 공정의 차이를 비교한 것이다. CMOS 공정에 비해 BICMOS 공정에서 추가되는 공정은 Buried Layer, Epitaxy Layer 및 Bipolar Transistor의 base 형성 공정이며, 3-D BICMOS 공정은 CMOS 공정에 비해 base 형성 공정만 추가되어 있다.

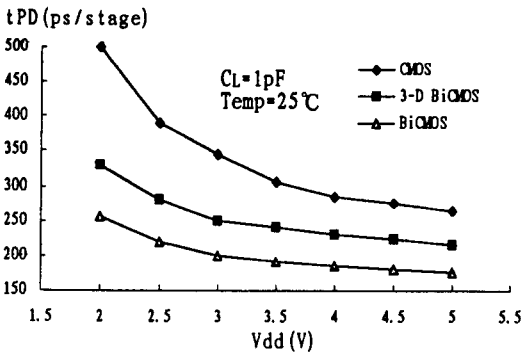
그림 5는 CMOS, 3-D BICMOS, BICMOS의 speed 특성을 보여 주고 있다. 그림 5에서 알 수 있듯이 3-D BICMOS 공정의 speed 특성이 CMOS 공정보다 좋은 특성을 보이고 있다.

〈표 3〉 공정 비교

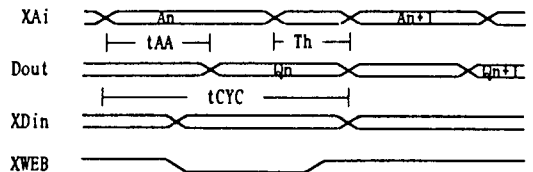
CMOS	3-D BICMOS	BICMOS
WELL ISOLATION	WELL ISOLATION	BURIED LAYER EPITAXY LAYER
G-POLY	G-POLY	WELL ISOLATION
S/D IIP	S/D IIP	G-POLY BASE S/D IIP



(a) Sync. SRAM 동작 파형



〈그림 5〉 공정별 SPEED(tPD) DELAY



(b) Async. SRAM 동작 파형

〈그림 6〉 Sync. SRAM과 Async. SRAM의 동작 파형

2. Synchronous SRAM이란?

일반적으로 System의 동작은 수정발진기에서 발생하는 clock에 의해 제어된다.

특히 computer에서는 CPU를 비롯한 모든 소자들이 clock 신호와 동기(Synchronous)로 동작하고 있다.

Sync. SRAM은 SRAM으로 인가되는 모든 Signal이 clock signal로 제어됨으로써 System의 성능 향상을 피하고자 한 것이며 Synchronous SRAM의 주요 응용처인 cache^[14] MEMORY의 성능 향상을 위한 중요한 설계 기술로 사용되고 있다.

그림 6은 Synchronous SRAM과 Asynchronous SRAM의 개략적인 동작 파형을 보여주고 있다. Async. SRAM 동작에서는 Write시 오동작을 막기 위해 Address가 transition 한후에 외부 data input(XDin) signal에 대해 hold time이 필요하나 Sync. SRAM에서는 Clock high edge에서

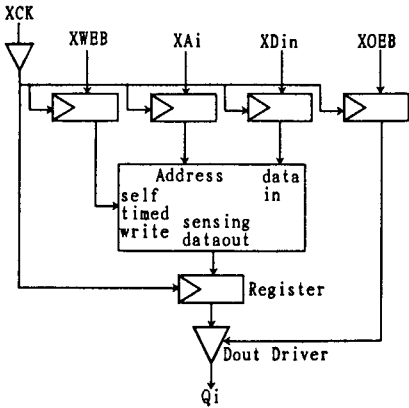
write enable(XWEB)과 data input(XDin)의 set-up time과 hold time만 만족하면 write가 가능한 self-timed write 방식으로 cycle time을 빠르게 할 수 있다.

Sync. SRAM은 일반적으로 두 가지 종류의 제품이 개발되고 있다. Synchronous Pipeline 방식^[15]은 RISC 계열의 cache SRAM에서 사용되고 있으며, Synchronous Burst 방식^[4]은 Intel과 Motorola의 CLSC(Complex Instruction Set Computer) MPU의 cache SRAM에서 사용되고 있다.

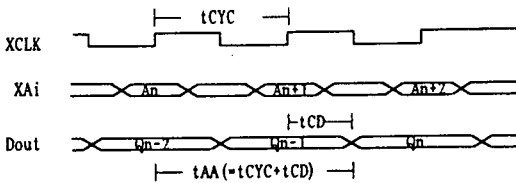
1) Synchronous Pipeline 방식

그림 7과 그림 8은 Synchronous Pipeline SRAM의 Block Diagram과 동작파형을 보여주고 있다.

SRAM chip을 Address Input에서 Data Output Buffer의 register단과 Driver단을 분리함으로써 현 cycle에 해당하는 Address(An)의 data



〈그림 7〉 Sync. Pipeline SRAM Block Diagram



〈그림 8〉 Sync. Pipeline SRAM 동작 파형

(Qn)를 Data Output Buffer의 registeer에 저장시키고 다음 Address(An⁺)에서 data(Qn)를 출력 시킴으로써 cycle time를 빠르게 할 수 있다. 그림 8은 one stage pipeline 방식의 예를 보여주고 있다.

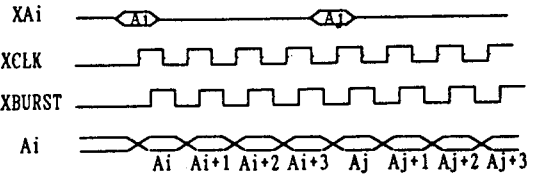
2) Synchronous Burst 방식

그림 9는 Synchronous Burst SRAM의 동작 파형을 부여주고 있다.

clock signal(XCLK)과 동기된 외부 Address(XAi)가 인가되면 외부 XBURST signal에 의해 chip 내부의 Address Counter에서 address signal이 생성(Ai, Ai⁺, Ai⁺, Ai⁺)되어 내부 Address에 의해 chip이 동작하게 되므로 외부 address에 의해 동작을 감소시킴으로써 system의 current 및 noise를 감소시켜 줄 수 있다.

3. 설계 기술

차세대 RISC processor를 위한 high speed 용



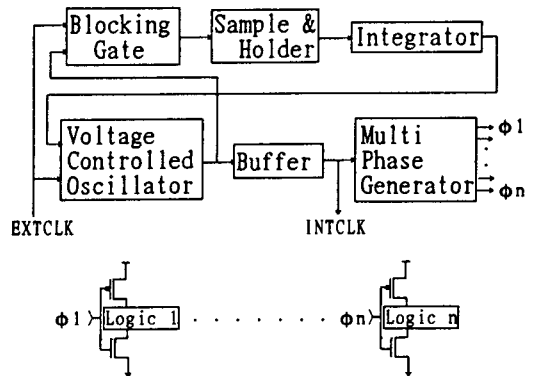
〈그림 9〉 Sync. Burst SRAM 동작 파형

CACHE SRAM의 성능 향상을 위한 노력이 설계 회로적인 측면에서 진행되고 있다. 빠른 speed 향상을 위한 설계 기술에 있어 기존 MEMORY 제품과 다른 점에 대하여 설명하고자 한다.

1) PLL을 사용한 Dynamic Logic 회로

PLL(Phase Locked Loop)이란 외부 clock과 chip내의 internal clock를 동기시켜 이것을 Divide 혹은 Multi Phase화 하여 internal control signal로 사용하는 것이다. 이를 적용할 경우 각각의 speed path가 가지는 delay들의 공정 및 온도 변화들에 대한 variation를 줄일 수 있고 precharge 방식을 사용한 dynamic logic 자체의 speed 향상 및 currendt 소모를 줄일 수 있다.

그림 10은 200MHz 동작의 Sync. SRAM에서 구현한 PLL을 이용한 Dynamic Logic 설계의 예를 보여주고 있다.



〈그림 10〉 PLL을 이용한 Dynamic Logic 설계 예

현재 발표된 Wave-Pipeline SRAM의 경우 MPAC(Multi Phase Active Control)을 precharge signal로 사용하여 dynamic logic를 구현하고 일정한 기간 동안에만 sampling하여 그것을 최종 output latch로 전달하는 방식을 채택하고 있다.^[16]

2) High Speed용 Interface 회로 기술
a. High bandwidth interface

고속화, 다bit화(Multi I/O) 되는 추세에 의해 Power 소모와 PCB가 갖는 transmission line의 특성이 중요시 되었다. 기존 full CMOS level을 갖는 interface(LVTTL)의 특성을 개선한 interface들이 실제 제품에 적용되고 있는 추세이며 각각의 interface에 대한 현황이 표 4에 정리되어 있다.

〈표 4〉 고속 interface 현황

	LVTTL	GTL	HSTL	PECL
Vref(V)	—	0.6	0.55~0.6	—
Vih/Vil	2.1/0.8V	0.8/0.4V	Vref + 0.1V Vref - 0.1V	2.1/1.8
Voh/Vol	2.4/0.4V	1.2/0.4V	1.5/0.1V	—
POWER*	38mW	4.32mW	7.68mW	—
비고	Low speed (>100MHz)	High speed	High speed	Input only

*1 I/O당 소모되는 POWER

b. Impedance Controlled Output Driver

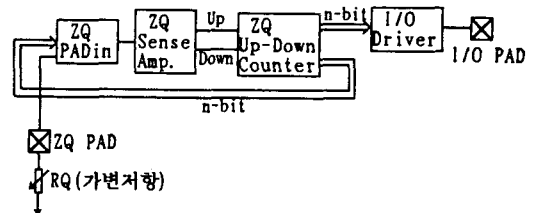
주파수가 높은 영역에서 반사파로 인한 간섭으로 chip의 성능이 저하되는 것을 방지하기 위해 output driver 단에서의 등가 impedance가 system 전달 line의 등가 impedance와 같아야 한다. 그러나 SRAM device 내의 I/O driver는 대부분의 경우 CMOS Logic으로 구성되어 있어 온도 및 전압변화에 따라서 I/O impedance가 변하여 chip의 성능을 저하시킬 수 있다. 200MHz 이상의 제품에서는 이것을 방지하기 위해 impedance controlled output driver 개념이 GTL output driver를 사용해 설계되었다. 그림 11은 200MHz 이상의 Synchronous SRAM에 사용된 impedance

controlled output driver scheme에 대한 개략적인 block diagram를 보여주고 있다.

그림 11의 I/O scheme은 RQ를 제외하고는 전부 SRAM chip 내에 내장되어 있는 것으로 system 사용자가 자기 system의 특성 impedance가 matching 되도록 RQ를 조절하여 주게 되어 있다.

동작을 설명하면 ZQ PADin에서 RQ 값과 I/O Driver 단의 저항을 비교한 정보를 ZQ S/A에 전달증폭하여 up-down counter의 input으로 인가하면 I/O driver는 n개의 transistor가 parallel하게 연결되어 있어 I/O driver 단의 impedance를 항상 일정하게 유지하기 위하여 n개중 turn-on 되는 갯수가 달라지게 되어 있다.

통상적으로 I/O driver의 저항은 30~70Ω 정도의 spec을 가지고 있으며, ZQ S/A의 input offset 전압이 impedance unmatch의 중요한 원인으로 작용한다.



〈그림 11〉 Impedance4 Controlled Output Driver scheme

IV. 결 론

고속 SRAM은 CPU의 고성능화 추세에 따라 Sync.화 및 고속화가 진행되고 있으며 저전원전압화에 따라 5V에서 3.3V로 제품화가 이루어지고 있다.

CPU의 Clock 주파수 상승으로 cache SRAM 채용이 늘어나 고속 SRAM 사용은 더욱 확대될 것으로 전망된다.

참 고 문 헌

- [1] Yong S. Lee, "A Secondary Cache Controller Design for a High-End Microprocessor", IEE, JSSC, Vol.27, No 8, pp.1141~1146, Aug. 1992.
- [2] Dataquest Dec. 1993.
- [3] "MPU 확대로 치닫는 Intel", Nikkei Microdevice Jul. 1993
- [4] Michal Peters, "A Zero Wait State Secondary Cache for Intel's Pentium", Application Notes Motorola, Inc.
- [5] "80x86를 둘러싸고 격화되는 고속화 전쟁", Nikkei Microdevice Feb. 1992
- [6] Joseph Schutz., "A 3.3V 0.6 μ m BICMOS Superscalar Microprocessor", ISSCC Digest of Technical Papers, pp.202~203, Feb. 1994.
- [7] Dac Pham et al., "A 3.0V 75SPECint92 85SPECfp92 Superscalar RISC Processor", ISSCC Digest of Technical Papers, pp.212~213, Feb. 1992
- [8] Dataquest DEc. 23, 1993.
- [9] "「x86」 MPU! 自由 競争 時代に突入", Nikkei Microdevice, Oct. 1994.
- [10] Atsuo Watanabe, et al., "Future BICMOS Technology for scaled supply voltage", IEDM pp.429~432, 1989.
- [11] H. Momose, et al., "A Supply Voltage Design for half MOCRON BICMOS Gates", Symposium on VLSI Technology, Digest of Technical Papers, pp.55~56, 1989.
- [12] K. Miyata, "BICMOS Technology overview" 1987 IEDM Short Course on BICMOS Technology, DEc. 1987.
- [13] Young I., et al., "A High Performance 256K TTL SRAM Using 0.8 μ m Triple Diffused BICMOS with 3V Circuit Techniques", Symposium on VLSI Circuits, Digest of Technical Papers, pp.17~18, May. 1991.
- [14] David C. Wyland "Cache Tag RAM Chips Boost Speed and Simplify Design", Computer Design, Nov. 1987.
- [15] D. Schmitt Landsiedel, et al., "pipeline Architecture for FAST CMOS Buffer RAMS", IEEE, JSSC, Vol. 25, No 3, Jun. 1990.
- [16] K. Nakamura et al., "A 200MHz Pipelined 16Mb BICMOS SRAM with PLL Proportional SelfTiming Generator", ISSCC Digest of Technical Papers, pp.258, Feb. 1994.

저 자 소 개



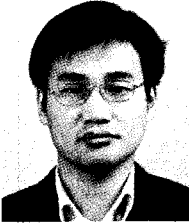
卞 賢 根
변 현 기

1957年 10月 17日生

1983年 2月 경북대학교 공과대학 전자공학과(학사)

1983年 1月~ 현재 삼성電子(株) 半導體部門 메모리事業部

주관심 분야 : 반도체 SRAM 설계



丁 哲 珉
정 철 민

1966年 12月 1日生

1989年 2月 서울대학교 공과대학 전자공학과(학사)

1989年 2月 서울대학교 공과대학 전자공학과(석사)

1991年 2月~ 현재 삼성電子(株) 半導體部門 메모리事業部

주관심 분야 : 반도체 SRAM 설계



朴 熙 哲
박 희 철

1963年 1月 17日生

1985年 2月 성균관대학교 공과대학 전자공학과(학사)

1984年 12月~ 현재 삼성電子(株) 半導體部門 메모리事業部

주관심 분야 : 반도체 SRAM 설계



林 亨 圭
임 흥圭

1953年 2月 4日生

1976年 2月 서울대학교 공과대학 전자공학과(학사)

1978年 2月 한국과학기술원 전기 및 전자공학과(석사)

1984年 8月 미국 Univ. of Florida(박사)

1983年 1月~ 현재 삼성電子(株) 半導體部門 메모리事業部

주관심 분야 : 반도체 Memory