

<연구논문>

태양전지용 CdTe 박막의 물리적·전기적 특성에 미치는 열처리 효과

김현수·조영아·염근영·신성호*·박정일*·박광자*

성균관대학교 재료공학과, *국립공업기술원 무기화학과
(1995년 7월 19일 접수)

Effects of Annealing Conditions on Physical and Electrical Properties of CdTe Thin Film for Solar Cell

Hyeon-Soo Kim, Young-Ah Cho, Geun-Young Yeom,
Sung-Ho Shin*, Jung-Il Park* and Kwang-Ja Park*

Department of Materials Engineering, Sung Kyun Kwan University, Suwon

*Department of Inorganic Chemistry, National Industrial Technology Institute, Kwachon

(Received July 19, 1995)

요 약 - 본 연구에서는 비정질 실리콘과 CuInSe_2 와 함께 지상용 태양전지재료로 널리 연구되고 있는 다결정 CdTe박막의 열처리방법으로서 로열처리와 반도체 공정에서 사용되는 급속열처리 방법을 이용하여 이들 열처리의 효과를 분석함으로써 태양전지용 다결정 CdTe박막에 적합한 효율적인 열처리 방법에 대한 연구를 수행하였다. 증착 후 열처리조건에 따른 결정구조, 결정립 크기, 표면과 박막내부의 성분, 밴드갭 에너지값, 그리고 전기비저항 등을 측정하여 태양전지용 CdTe박막의 물리적·전기적 특성에 미치는 열처리효과를 관찰하였다. 연구결과 300°C에서 증착하고 CdCl_2 처리 후 400°C 30분간 로열처리를 한 경우, 그리고 200°C에서 증착 후 500°C 부근에서 1분간 급속열처리를 한 경우 다결정 CdTe 박막의 물리적 전기적 특성이 현저히 향상됨을 알 수 있었다. 특히 급속열처리의 경우 로열처리에 비해 결정립의 크기는 작으나 전기비저항이 낮고 밴드갭 에너지가 단결정에 더욱 접근하며 태양전지용 다결정 CdTe 박막의 열처리 방법으로 적용할 가치가 있는 방법으로 사료된다.

Abstract - Polycrystalline CdTe thin film are widely studied by many researchers along with a-Si : H and CuInSe_2 for terrestrial solar energy conversion materials. In this study, effects of annealing on physical and electrical properties of polycrystalline CdTe thin films have been investigated to find optimized annealing conditions required for solar cell materials. As annealing method, in addition to the typical furnace annealing, rapid thermal annealing method which is used for silicon integrated circuit processing was used. As physical and electrical properties, crystal structure, grain size, composition of CdTe bulk and surface, and bandgap energy, and electrical resistivity were investigated. Results showed that physical and electrical properties of polycrystalline CdTe were dramatically improved by furnace annealing at 400°C, 30 min after 300°C deposition and CdCl_2 treatment or by rapid thermal annealing at 550°C, 1 min after 200°C deposition. Despite smaller grain size, rapid thermal annealing shows low electrical resistivity and near ideal bandgap energy compared to furnace annealing. therefore, rapid thermal annealing could be used as an annealing method for polycrystalline CdTe thin films applied to solar cell.

1. 서 론

태양전지 재료로서 효율적인 측면, 재현성, 제조비용

등에서 가장 유망한 재료중 한 가지인 CdTe는 밴드갭 에너지(E_g)가 상온에서 1.5 eV(상온)로서 1 μm 내외의 얇은 두께에서 높은 광흡수 계수를 지니며 현재 최고

15.8%의 태양광 변환효율을 보이는 재료로서 다양한 제조방법으로 많은 연구가 진행되고 있다[1, 2]. 제조된 CdTe 박막은 열처리 과정을 거치게 되는데 주로 많이 사용되는 방법은 로열처리(furnace annealing) 방법으로 재료내 존재하는 결함을 제거하고 결정성을 향상시킬 수 있으나 300~500℃ 정도에서 20분 이상 동안 처리를 하게 되므로 비의도적인 상호간의 확산을 일으키게 되어 이로 인해 효율을 감소시키는 영향을 준다. 이와 같은 로열처리 대신 최근 반도체 공정에서 널리 사용되는 급속열처리(rapid thermal annealing)를 사용하여 처리하면 결함의 확산에 대한 활성화에너지가 재료 자체의 확산에 대한 활성화에너지보다 크므로 재료 자체의 상호확산이 없이 고온에서 1분 이내에 효과적으로 결함을 제거시킬 수 있다고 사료된다[3]. 그러나 현재까지 태양전지용 CdTe 박막에 적용한 연구결과는 단결정에 대한 shallow 접합형성효과만이 보고되고 있는 상황이다[4].

기판온도(최고 160℃)와 로열처리에 따른 CdTe 박막의 물성변화는 이미 보고된 바 있으며[5] 이 연구결과로부터 관찰된 기판온도 증가에 따른 물성향상 효과를 더욱 높이고자 이번 연구에서는 300℃까지 기판온도를 증가시키고 열처리방법으로서 기존의 로열처리외에 급속열처리방법을 이용하였으며 이의 효과를 비교분석함으로써 태양전지용 다결정 CdTe 박막에 적합한 효율적인 열처리 방법을 연구하고자 하였다. 분석내용으로는 증착 후 열처리조건에 따른 결정구조, 결정립 크기, 표면과 박막내부의 성분, 밴드갭 에너지값, 전기비저항 등의 변화를 관찰하였다.

2. 실험방법

증착 장치로는 Leybold사의 다목적 증착장치(AG L-560 Universal coating system)내 부착된 전자빔(electron-beam) 증착기를 사용하였으며 기판으로는 ITO가 스퍼터링법으로 1500Å 정도 코팅된 투명전도성 유리(면저항은 20 Ω/□, 가시광영역에서 90% 이상의 광투과도)를 사용하였다. 장비개략도 등의 세부 증착실험 방법은 이전의 연구결과[5]에서 보고한 바와 유사하며 차이점은 기판온도 가열법과 이에 따른 증발속도(evaporation rates)의 증가이다. 기판온도를 25~300℃까지 변화주기 위하여 기판 밑에 고정된 열선과 진공용기 중앙에 설치된 할로겐 램프를 동시에 사용하였으며 화학양론적 화

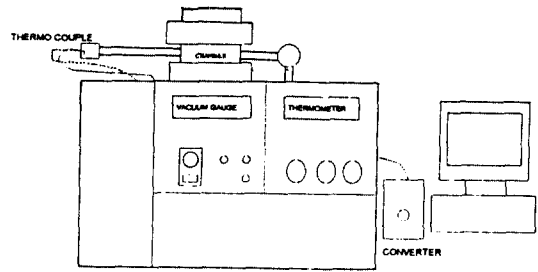


그림 1. 급속열처리 장비의 개략도.

합물 형성조건인 1000Å/min의 증착속도(deposition rates)를 유지하였다[6, 7]. 증착 후의 시편은 질소분위기에서 온도를 300~450℃로 변화시켜가며 15~30분간 로열처리를 하였으며 CdTe 박막증착 후 결정립 성장을 위해 증착된 시편을 CdCl₂+CH₃OH 포화용액에 담근 후 결정립효과를 얻고자 하였다.

급속열처리 실험장치는 그림 1과 같이 chamber 상하의 두 위치에서 할로겐 램프로 가열하는 방식을 사용하였으며 열처리 온도는 PID 제어법을 이용한 software로 controll되었다. 급속열처리시 박막이 시편표면으로부터 재증발되는 것을 방지하기 위해 시편을 cover glass (corning 2948)로 덮는 방법을 사용하였고 분위기가스로 Ar를 사용하였다. 열처리온도는 400℃부터 600℃까지 50℃ 간격으로 변화시켰으며 30~120초 동안 열처리하였다. 동일한 두께와 증착속도로 제조된 CdTe 박막은 제조 조건에 따른 물성분석으로 결정구조, 결정립 크기, 성분비, 광학적 특성 등을 XRD, SEM, EDX, XPS, 그리고 UV-Spectrophotometer를 사용하여 측정하였다.

전기 비저항 측정을 위한 기판으로 습식산화공정에 의해 3000Å의 SiO₂를 성장시킨 Si wafer를 사용하였으며 기판온도 200℃와 300℃에서 4 μm의 두께로 증착 후 앞에서 설명한 열처리 방법으로 열처리 하였다. 열처리한 CdTe 박막에 전기비저항을 측정을 위한 전극인 배선층을 증착하기전에 CdTe 표면의 불순물층 제거 및 표면성분비 변화를 위해 크로메이트 용액(77 ml sat. K₂Cr₂O₇, 25 ml H₂SO₄)과 100 ml H₃PO₄+1.25 ml HNO₃ 식각액을 각각 10%로 희석하여 10초 동안 화학적 식각처리를 하고 DI water로 rinse를 한 후에 N₂ gun으로 건조시켰다. 배선금속으로는 Cu를 사용하고 기판온도는 상온에서 100~250Å/min의 증착속도로 1000Å을 증착하였다. Cu 증착 후 전극의 밀착력을 향상시키고 CdTe 박막 표면과의 화학적 반응에 의해 저저항 접촉이 형성되도

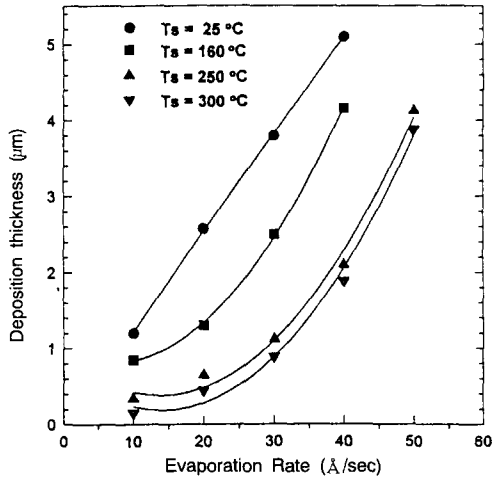


그림 2. 증발속도와 기판온도에 따른 CdTe박막의 증착두께 변화.

록 150°C에서 1시간 30분 동안 oven 열처리를 하였다. 이러한 방법으로 제조된 CdTe박막의 전기적 특성 측정은 HP4145B Semiconductor Parameter Analyzer를 이용하여 빛을 쬐이지 않은 어두운 환경하에서 2-point probe 방법으로 전류-전압간의 관계를 측정된 후에 기울기를 계산하여 박막내부의 비저항을 구하였다.

3. 결과 및 고찰

3.1. 박막제조 및 결정구조 관찰

진공증착법에 의해 200°C 이하의 기판온도로 제조된 CdTe 박막은 400°C 이상에서 로열처리시 석출상으로 존재하던 Cd나 Te가 증발할 때 발생하는 pinhole 형성 등의 문제점이 관찰되며 200°C 이상의 기판온도로 증착시 30Å/sec 이하의 증발속도로는 재증발의 증가에 의해 2 μm 이상의 두께를 지닌 균일한 박막을 제조하기 어려웠다. 30분간 증착된 CdTe박막의 기판온도와 증발속도에 따른 증착두께 변화를 그림 2에 나타내었는데 증착된 박막의 기판온도가 증가함에 따라 기판으로부터의 재증발에 의해 증착두께가 감소하고 있으며 또한 증착원의 증발속도에 따라 변화하였다. 이 결과를 토대로 증착속도를 1000Å/min으로 일정하게 유지하기 위해 증착시 기판온도에 적절한 증발속도를 선택하였고 증착시 전자빔을 펼치는 증착방법을 이용하여 균일한 박막을 얻을 수 있었다.

증착 후 다결정 CdTe박막은 그림 3에 보듯이 기판중

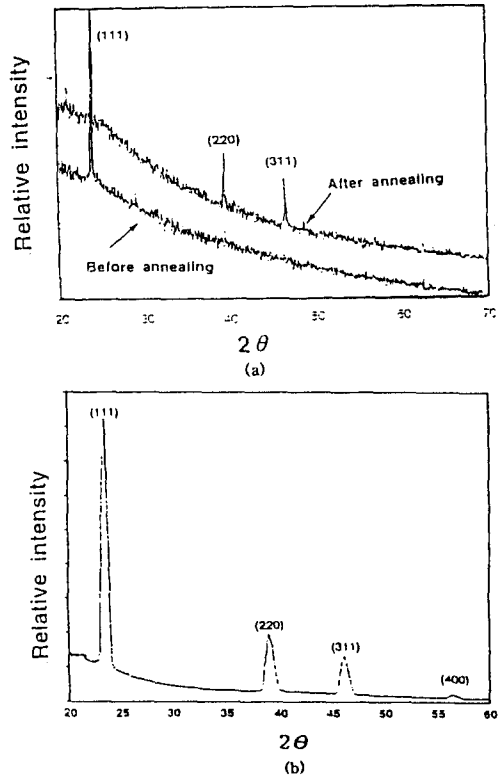


그림 3. XRD에 의한 결정구조 분석. (a) 400°C로 열처리, (b) 550°C 급속열처리(기판온도 300°C).

류나 기판온도에 관계없이 열처리 전의 경우 모두 2θ가 23.5°인 [111] 방향으로 우선 성장방향을 보이는 cubic의 Zinc blende 구조를 가짐을 알 수 있었다. 질소분위에서 300~450°C의 온도범위로 로열처리와 아르곤분위기의 급속열처리를 함에 따라 cubic의 (200)과 (311) peak가 관찰되며 따라서, 열처리시 random한 방향으로의 재결정이 진행됨을 알 수 있었다. 이러한 CdTe박막의 열처리시 결정방향 변화의 정도는 기판온도 등에 의존하였으나 기판온도 300°C, 증발속도 30~100Å/sec로 증착한 시편의 경우에 대해 측정된 결과, 결정 구조적인 차이는 관찰되지 않았다.

3.2. 미세조직 관찰

결정립 성장을 위한 연구결과로 CdS의 경우 재결정 현상을 통해 800 μm까지 결정립을 성장시킨 결과가 발표된 바 있으며[8] CdTe의 경우 습식 화학처리인 CdCl₂ 처리[9~11]를 이용한 재결정 촉진방법과 최근 진공분위기 열처리를 통한 합체(coalescence)에 이용하여 최근 50

μm 이상으로 결정립을 성장시킨 결과가 보고되고 있다 [12]. 본 연구에서 SEM으로 미세조직을 관찰한 결과 증착시 결정립 크기가 기판온도에 따라 $0.2\sim 1\ \mu\text{m}$ 의 범위를 지니고 CdCl_2 처리 후 400°C , 20분간 로열처리를 한 경우에는 $3\sim 4\ \mu\text{m}$ 정도까지의 큰 결정립 크기 증가를 얻을 수 있었으며 XRD에 의한 간접적인 결정립 측정결과도 SEM에 의한 관찰 결과와 유사한 결과를 보여주었다 [5, 6]. 급속열처리의 경우에는 200°C 에서 증착하고 $500\sim 600^\circ\text{C}$ 에서 1분간 열처리한 경우 그림 4에서 보듯이 550°C 에서 60초 열처리와 600°C 에서 60초 열처리한 조건에서 결정립크기가 $0.5\sim 2\ \mu\text{m}$ 로 약간 증가함을 관찰할 수 있었다. 한편 로열처리지 관찰된 CdCl_2 에 의한 결정립 성장효과는 적은 열처리 시간 등으로 인해 급속열처리시에는 관찰할 수 없었다. 이외에 결정립크기는 기판온도와 열처리 조건 뿐 아니라 증발속도에 따라서도 변화하였다. 예를 들어 기판온도 300°C 에서 증착된 경우 증발속도가 $40\ \text{\AA}/\text{sec}$ 에서 $100\ \text{\AA}/\text{sec}$ 로 증가함에 따라 $1.5\ \mu\text{m}$ 에서 $0.8\ \mu\text{m}$ 정도로 결정립 크기가 감소함이 측정되었다.

3.3. 성분변화 관찰

화학양론적(stoichiometric) 박막형성은 중요한 제조 조건 중 하나로서 Cd : Te의 비가 박막의 전기적 성질 및 반도체 type에 큰 영향을 준다 [13, 14]. 화합물상태의 CdTe 원료에서 전자빔에 의해 승화된 Cd와 Te는 원료와 동일한 1 : 1 비율의 CdTe 금속간 화합물(intermetallic compound) 형태로 기판위에 형성되어야 하나 승화된 Cd와 Te의 기판으로의 sticking coefficient와 증기압의 차이에 의해 박막형성시 Cd나 Te가 과량으로 존재하게 된다. 이러한 과잉 성분의 존재형태는 Te-rich의 경우 p-형 dopant로 작용하는 치환형형태와 재결합의 센터로 작용하는 석출물의 형태로 나누어 생각할 수 있는데 두 존재방식은 제조방법에 따라 변화한다. 기판온도를 변화시키며 증착한 시편의 Cd : Te 비율을 EDX로 측정할 결과, 일정 두께로 제조된 CdTe박막의 경우 기판온도가 100°C 도 이하일 때는 잔류 Te가 관찰되나 기판온도가 200°C 이상에서는 거의 1 : 1에 가까운 성분비를 관찰할 수 있었다. 또한 증착한 시편을 로열처리하였을 때 열처리 온도 350°C 까지는 큰 변화가 없었으나 400°C 에서 열처리시 Te의 증발로 성분비가 1 : 1에 접근하고 있음을 알 수 있었고 이러한 성분비 변화는 CdTe 박막내에 잔류하는 Cd와 Te가 열처리시에 재증발한 결과로 사료된

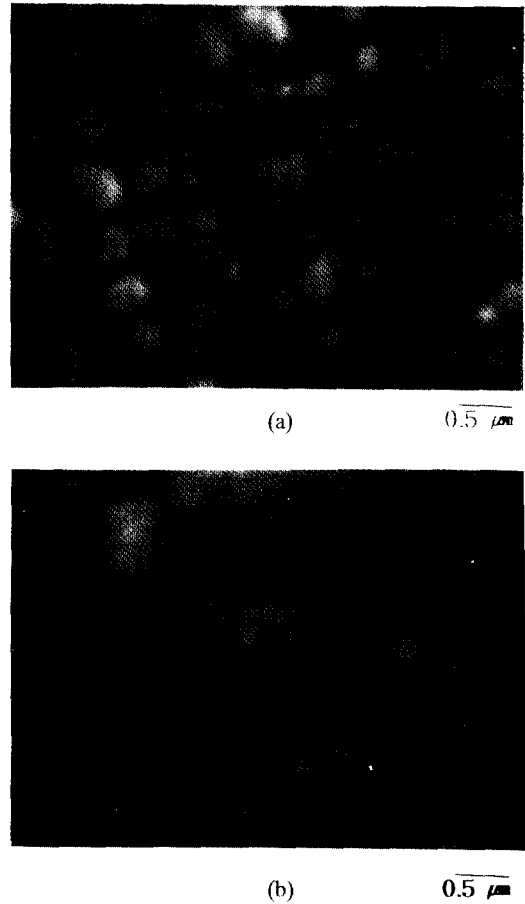


그림 4. 급속열처리 후 CdTe 박막의 미세구조 변화(기판온도 200°C). (a) $T_a=550^\circ\text{C}$, 60 sec, (b) $T_a=600^\circ\text{C}$, 60 sec.

다 [5, 6, 15]. 급속열처리 후의 분석결과를 포함하여 표 1에 정리하였는데 로열처리 결과와는 달리 기판온도에 크게 의존하지 않았고 Te-rich의 박막성분을 유지하고 있었다. 화학양론적 박막형성 조건은 P. J. Sebastian [7]의 연구결과인 $100\sim 150^\circ\text{C}$ 의 기판온도, $800\sim 1000\ \text{\AA}/\text{min}$ 증발속도와 다소 차이를 보이고 있는데 이는 기판과 증착원간의 거리에 의한 효과라 사료되며 증발속도가 빠르고 거리가 가까울수록 보다 낮은 기판온도에서 화학양론적인 박막이 형성되는 것으로 사료된다.

화학양론적인 CdTe 박막제조와 함께 p-CdTe/n-CdS 태양전지제조에서 중요한 사항은 CdTe박막과 배선금속간의 저저항 접촉 형성이다 [16~18]. 저저항 접촉 형성을 위해서는 CdTe표면이 doping이 많이된 p'의 상태가 되

표 1. EDX에 의한 CdTe박막 내부의 조성변화

Sample #	Substrate Temperature	Annealing Temperature	EDX	
			Cd	Te
S-1	25	×	46	54
S-2	25	F 400°C	48	52
S-3	100	RTA 550°C	48	52
S-4	200	×	47	53
S-5	200	F 400°C	49	51
S-6	200	RTA 550°C	47	53
S-7	300	×	49	51
S-8	300	F 400°C	50	50
S-9	300	RTA 550°C	47	53

(F : Furnace Annealing, RTA : Rapid Thermal Annealing).

어야 하며 이를 위해서는 CdTe표면이 Te-rich한 층으로 이루어질 필요가 있다. XPS에 의한 표면성분비 결과분석에 의하면 대부분의 시편 표면에서 증착 후 Cd-rich한 상태가 관찰되었고 특히 400°C에서 열처리한 시편의 경우 60% 이상의 Cd의 비율을 함유한 Cd-rich층이 시편 표면에 형성되었다. 이 결과는 XPS에 의한 depth profile에서 확인할 수 있었는데 Cd : Te 비율의 보다 정확한 측정을 위하여 증착원료의 depth profile 결과를 기준으로 증착된 CdTe박막의 결과를 정량화하였다. 기판온도 300°C에서 증착된 CdTe 박막의 경우 그림 5의 depth profile에 의한 관찰에서 보듯이 표면은 Cd-rich이나 박막내부는 대체로 표 1의 EDX와 유사하게 성분비가 1 : 1에 접근하고 있음을 알 수 있다. 이러한 Cd-rich 표면 형성은 저항형 접촉형성시 요구되는 Te-rich 표면 형성에 부적합하기 때문에 크로메이트 처리 등과 같은 습식전처리 과정이 반드시 필요하며 습식 전처리와 열처리에 의해 낮은 저항형 접촉을 형성할 수 있었다[19].

3.4. 광특성 분석

대부분의 직접천이형 다결정 반도체에서 광흡수는 밴드갭에너지 이하에서 일어나며 sharp한 흡수단(absorption edge)을 보이지 않게 되는데 이러한 낮은 에너지에서의 electron-hole pair 형성은 재료의 미세구조, 결합성분 등의 성질에 관련된다. 특히 많은 결정립계를 지닌 CdTe와 같은 다결정 반도체의 경우 광흡수 특성을 단결정 값과 비교하므로써 결합밀도의 정도를 설명할 수 있다. 본 연구에서도 UV Spectrophotometer를 사용하여 광흡수도를 측정하였을 때 기판온도 증가와 로

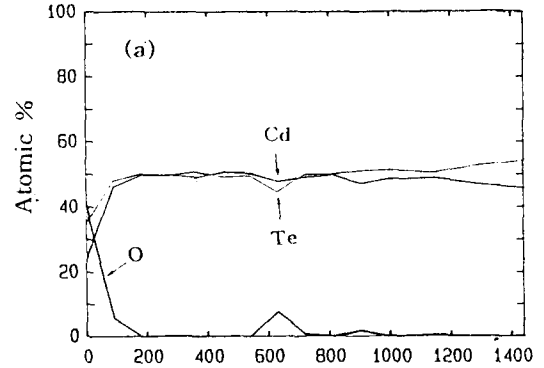


그림 5. CdTe박막의 XPS depth profile 결과(기판온도 300°C).

및 급속열처리에 따라 흡수단이 장파장 영역으로 단결정 값에 근접하게 이동하며 동시에 광흡수율이 향상함을 관찰할 수 있었다. 박막의 광흡수 계수(α)는 반도체의 band 구조에 의존하는데 CdTe와 같은 직접천이형 반도체에서는 conduction band의 최소값과 valence band의 최대값이 일치하며 최고의 전이(transition)는 $k=0$ 인 근처에서 일어난다[20]. 이러한 직접천이에 의한 고유(intrinsic) 흡수에 관련된 광흡수계수는 이론적으로 다음의 식 1과 같이 표현된다.

$$\alpha^2 = h\nu - E_g \quad (1)$$

이 식은 α^2 과 광에너지 $h\nu$ 의 관계로 도표화한 선형관계에서 광에너지축($h\nu$)의 절편에서 구하여 제조 조건에 따른 E_g 의 변화를 그림 6에 나타내었다. 이 그림에서 보듯이 로에 의한 열처리법의 경우 CdCl₂ 처리 및 열처리에 따라 측정된 E_g 값이 모두 선형적으로 감소하여 단결정의 값인 1.45 eV에 접근하고 있음을 알 수 있었다. 한편 급속열처리의 경우는 1.50~1.51 eV 정도로 로열처리에 비해 20~30 meV 정도로 감소함을 관찰할 수 있었으며 이러한 밴드갭의 이동에 대한 원인으로서는 재료내 결합의 감소, 성분비의 변화 등을 고려할 수 있다[21].

3.5. 박막의 비저항 측정

본 연구에서 사용한 2-point probe 방법으로 CdTe박막의 저항을 측정시 박막내부(bulk) 저항 뿐 아니라 접촉저항 값도 함께 측정된다. 측정된 저항은 측정구조상 spreading 저항값을 무시할 때 식 (2)와 같이 CdTe의 체적저항값과 Cu/CdTe의 접촉저항(R_c)의 두 배의 합으로

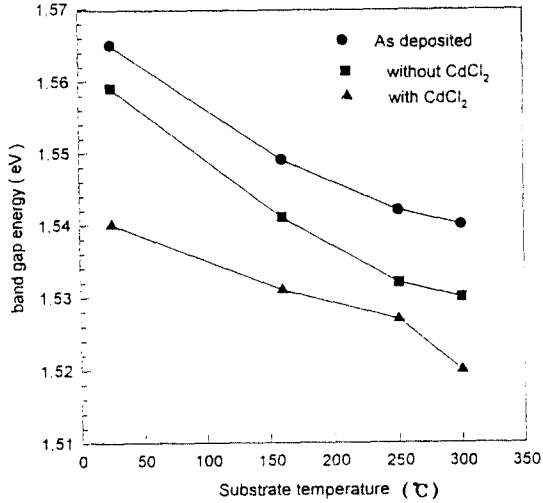


그림 6. 400°C 로열처리에 따른 CdTe 박막의 밴드갭 에너지 변화.

표현될 수 있다[18].

$$R_t \approx 2R_c + \frac{\rho L}{A} \quad (2)$$

(L : 접촉간 거리, ρ : CdTe박막 내부 비저항, A : 접촉면적=0.2 cm²)

따라서 위 식에서 거리(L)에 따른 저항 R_t 변화를 도식하여 박막의 비저항을 기울기로부터 계산할 수 있다. 즉, 그림 7(a)에서 보듯이 거리(L) 변화에 따른 저항값은 400~550°C, 1분간의 급속열처리 온도변화에 따라 기울기의 변화를 보이고 있으며 이 값으로부터 박막내부의 비저항은 열처리 온도증가에 따라 $0.6 \times 10^6 \Omega\text{cm}$ 정도로부터 $1.4 \times 10^6 \Omega\text{cm}$ 정도로 변화함을 알 수 있었다. 이 그림에서 저항값측 절편값은 접촉저항값으로 고려될 수 있는데 열처리온도가 550°C인 경우 낮은 접촉저항값을 내었다. 그림 7(b)에는 기판온도 200, 300°C에서 증착된 CdTe박막의 400°C, 30분간의 로열처리와 400~550°C, 1분간의 급속열처리에 따른 비저항의 변화를 나타내었는데 우선 기판온도 증가에 따라 비저항 값이 크게 감소하고 있으며 로열처리 결과보다 급속열처리를 한 경우 더욱 낮은 비저항값을 나타냄을 알 수 있다. 그림 7(b)에서 400°C 급속열처리한 경우가 400°C furnace 열처리한 경우보다 비저항이 낮은 것은 급속열처리시 박막내 잔류하는 excess Te에 의한 것으로 사료된다. 특히 기판온도 300°C에서 증착 후 500°C 급속열처리한 경우 $6 \times 10^6 \Omega\text{cm}$ 의 가장 낮은 비저항 값을 보이고 있음을 알 수 있다. 이와 같은 전기비저항 값은 타 연구결과와 비교하

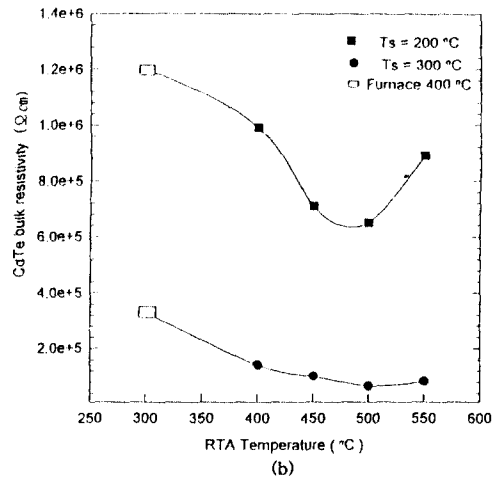
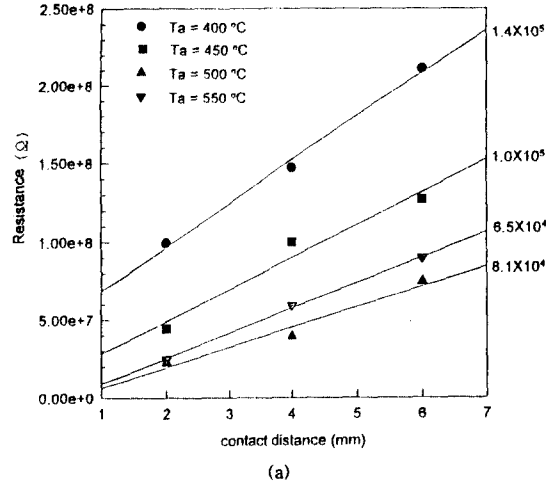


그림 7. CdTe박막의 비저항 측정결과 (a) 접촉간 거리 변화에 따른 측정 저항값변화, (b) 로열처리와 급속열처리에 따른 비저항 변화.

였을 때 낮은 비저항값이며 결과적으로 급속열처리방법을 태양전지용 다결정 CdTe박막의 열처리에 적용시 특성향상에 큰 효과를 줄 것으로 기대된다.

4. 결 론

본 연구에서는 다결정 CdTe박막을 전자빔증착법으로 제조하고 증착 후 열처리조건에 따른 결정구조, 결정립 크기, 표면과 박막내부의 성분, 광흡수율, 밴드갭 에너지값과 전기적 특성을 측정하였으며 특히 CdTe의 열처리 방법으로 기존의 로에 의한 열처리 방법 이외에 반도체 공정에서 사용되는 급속열처리 방법을 일부시편에

대하여 도입하여 이에 따른 물성변화를 관찰하였다.

CdTe의 경우 [111] 우선성장방향을 지니는 cubic zincblende 구조로 증착되었고 열처리에 따라 (111)면의 peak 외에 (220)과 (311)면의 peak 증가가 관찰되어 random한 방향으로의 재결정이 진행됨을 알 수 있었다. SEM에 의한 미세조직 관찰결과 증착시 결정립크기가 증착온도에 따라 0.2~1 μm 의 범위를 지니고 CdCl_2 처리 후 400 $^\circ\text{C}$, 30분간 열처리 한 경우 재결정 현상에 의해 3~4 μm 정도까지의 결정립크기 증가를 얻을 수 있었으며 급속열처리의 경우 합체에 의한 결정립 성장을 일부 관찰할 수 있었다. EDX에 의한 CdTe박막의 성분 분석결과 기판온도가 열처리전 잔류 Te가 관찰되나 열처리 후 Cd : Te비가 1 : 1에 가깝게 변화하였고 급속열처리 후 박막의 성분비는 로열처리와 비교할 때 약간 Te-rich한 상태로 얻어졌다. UV Spectrophotometer를 이용하여 광흡수를 측정결과 로에 의한 열처리법의 경우 CdCl_2 처리 및 열처리에 따라 E_g 값이 단결정의 값에 접근하였고 급속열처리의 경우 1.5~1.51 eV 정도로 로에 비해 더욱 단결정값에 가깝게 접근함을 관찰할 수 있었다. 열처리한 CdTe에 대해 Cu층을 이용한 저저항접촉을 형성하고 전기적 특성을 측정한 결과, 기판온도 증가에 따라 비저항 값이 크게 감소하고 있으며 로열처리 결과보다 급속열처리한 경우 더욱 낮은 비저항값을 나타내었다.

결과적으로 본 연구에서 다결정 CdTe박막의 물성은 300 $^\circ\text{C}$ 에서 증착하고 CdCl_2 처리 후 400 $^\circ\text{C}$ 30분간 로열처리를 통하여, 그리고 급속열처리는 200 $^\circ\text{C}$ 에서 증착 후 500 $^\circ\text{C}$ 부근에서 1분간 열처리함으로써 증착된 CdTe박막의 물리적 전기적 특성을 현저히 향상시킬 수 있었다. 특히 급속열처리에 의한 열처리방법은 로에 의한 열처리 방법과는 달리 CdS와 CdTe간의 계면물성을 변화시키지 않는 방법으로 알려져 있으므로 이 급속열처리 방법을 이용하여 CdS/CdTe 태양전지를 제조하여 그 효율의 변화를 관찰할 가치가 있다고 사료된다.

감사의 글

본 연구는 1994년도 한국과학재단의 핵심전문연구분야의 연구비지원과 한일공동연구과제의 연구비 지원에 의해 수행되었으며 이에 감사드립니다.

참고문헌

1. F. Gerhardinger, PHOTONICS SPECTRA, December, (1993), p. 79.
2. C. Ferekides and J. Britt, Technical Digest of the International PVSEC-7, (1993), p. 509.
3. S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era, Vol. 1, Processing Technology* (Lattice Press, CA, 1986).
4. R. Singh, F. Radpour, P. Chou, Q. Nguyen and S. P. Joshi J. Vac. Sci. Technol. **A5**(4), (1987).
5. 김현수, 염근영, 신성호, 박정일, 박광자, 한국재료학회지 **5**, 389 (1995).
6. 김현수, 성균관대학교 대학원 공학석사학위논문 (1994).
7. P. J. Sebastian, Thin Solid Films **221**, 233 (1992).
8. L. M. Fraas, W. P. Bleha and P. Braatz, J. Appl. Phys. **46**, 491 (1975).
9. Uda, S. Ikegami and H. Sonomura, J. J. Appl. Phys. **29**, 2003 (1990).
10. H. C. Chou and A. Rohatgi, J. of Electron. Materials **23**, 31 (1994).
11. W. Riedl, J. Rimmasch, Technical Digest of the International PVSEC-7, (1993), p. 537.
12. A. Nelson, F. Hasoon and D. Levi, J. Vac. Sci. Technol. **A12**, 2803 (1994).
13. H. R. Vydyanth, J. Ellsworth, J. J. Kennedy, B. Dean, C. J. Johnson, G. T. Neugebauer, J. Sepich and P. Liao, J. Vac. Sci. Technol. **B10**, 1476 (1992).
14. H. N. Jayatirtha, D. O. Henderson and A. Burger, Appl. Phys. Lett. **62**, 573 (1993).
15. A. L. Dawar, K. V. Ferdinand, C. Jagdish, P. Kumar and P. Mathr, J. Phys. **16**, 2349 (1983).
16. R. H. Bube and K. W. Michell, J. of Electron. Materials **22**, 17 (1982).
17. T. C. Antony, A. L. Fahrenbruch and R. H. Bube, J. of Electron. Materials **11**, 89 (1982).
18. J. P. Ponpon, Solid state Electron. **28**, 689 (1983).
19. 김현수, 이주훈, 염근영, 전기전자재료학회 **8**, 619 (1995).
20. H. J. Moller, *Semiconductors for Solar Cells*, Chap 2, Artech House (1993).
21. S. J. Sadoval, M. Melendez-Lira and I. H. Calderon, J. Appl. Phys. **72**, 4197 (1992).