

<연구논문>

이온주입에 의한 $TiSi_2$ 박막에서의 Blister 현상

박형태 · 김영욱*

삼성전자(주) 반도체 메모리본부 FAB 3과
*LOGIC PA팀
(1995년 7월 4일 접수)

Blister Phenomenon in $TiSi_2$ Thin Film by Ion Implantation

Hyeong-Tai Park and Young-Wug Kim*

Memory Division, Samsung Electronics Co., Ltd.
*Fabrication Section 3 and LIGIC PA Team
(Received July 4, 1995)

요 약 - 단결정 실리콘에 P, B, As 등의 dopant를 이온주입시켰을 때 상부에 스퍼터된 Ti과 고상반응에 의해 형성된 Ti 실리사이드막에 발생하는 blister 현상에 대해 조사했다. Dopant에 관계없이 dose양이 많을수록 Ti 실리사이드막에서 blister의 크기와 밀도가 증가한다. P, B, As 중에서 As의 경우가 가장 많이 발생되었다. 이온주입시 가속에너지가 낮을수록 Ti 실리사이드막에서 blister의 크기와 밀도가 증가한다. 실리콘 표면에 dopant를 주입한 후 열처리를 하여 damage를 줄여줌으로써 blister의 양을 줄일 수 있었다. 이때 열처리온도가 높을수록 blister의 수가 감소한다.

Abstract - The implantation effects of various dopants, such as P, B, As, performed before the solid state reaction between sputter-deposited Ti film and ion implanted Si surface on blistering occurred in the $TiSi_2$ film has been studied varying dose amount and implantation energy. The size of blister and the number of blister in the $TiSi_2$ film were increased with increasing dose amount independent of dopant impurities. However, the sample implanted As showed the largest blister size and the highest blister density among the samples investigated. It was also found that the problem due to the blistering in the $TiSi_2$ film became more serious as the implantation energy was decreased. The effect of the ion induced damage on blistering could be confirmed by the fact that the number of blister could be reduced by post annealing after ion implantation. The reduction in the number and size of blister was enhanced as the post annealing temperature was increased.

1. 서 론

반도체소자의 고집적화가 진행됨에 따라, 회로의 복잡성과 chip의 크기 증가에 따른 배선의 길이의 증가, 선폭의 감소에 따른 저항의 증가 때문에 신호전달속도의 지연이 문제가 된다[1, 2]. 최근에는 반도체소자의 설계 최소 크기가 0.5 마이크론 이하로 작아짐에 따라 트랜지스터의 제조공정의 저온화와 shallow한 PN접합의 저저항화가 필요해졌다. 따라서 트랜지스터의 활성영역

(active region), 접촉구(contact hole), 게이트(gate) 배선 재료 등의 저저항화를 위해 활성영역까지 실리사이드를 형성시키는 SALICIDE(self-aligned silicide) 기술에 대한 연구가 지금까지 많이 진행되어 왔다[3, 4].

활성영역과 접촉구에는 이온주입된 실리콘이 지금까지 사용되어 왔다. 활성영역의 저항은 매우 커서 향후 반도체소자의 고성능을 위해서는 저저항의 재료가 사용되어야 한다. 게이트 배선재료는 1970년대 초반부터 1980년대말까지 폴리실리콘(poly-silicon)이 주로 사용되

어 왔으나 저항이 500~1000 $\mu\Omega\text{cm}$ 정도로 매우 높아 신호전달속도의 지연에 많은 영향을 미치고 있다. 따라서, 실리콘보다 비저항이 낮고 열적 화학적 안정성이 우수하며 실리콘 소자와 정합성이 뛰어난 실리사이드(silicide) 재료가 게이트 재료[5]로써 많은 연구의 대상이 되어 왔다. 최근에는 저항이 약 70 $\mu\Omega\text{cm}$ 인 WSi_2 가 반도체 소자의 제조시 가장 널리 응용되고 있는 실리사이드 재료의 하나이다[6, 7]. 그러나, WSi_2 막은 활성영역까지 실리사이드를 형성시키는 SALICIDE 기술에 적합치 않은 단점을 안고 있어 향후 반도체 소자에 SALICIDE 기술에 적합한 실리사이드막이 요구된다. 이에 실리사이드 중에서 가장 저항이 낮고 융점이 높으며 SALICIDE 공정에 적합한 TiSi_2 가 가장 많은 연구의 대상[8-14]이 되어 왔으며 최근에는 많은 반도체 소자의 제조공정에 응용되고 있다.

지금까지의 TiSi_2 막에 대한 연구는 상변태거동에 대한 연구[8, 9], 고온에서 사용되기 위한 열적 안정성에 대한 연구[10-12], dopant와의 상호작용[13, 14]에 대한 것이 대부분이었다. 그러나, 이온주입된 실리콘과 Ti 박막이 고상반응에 의해 실리사이드를 형성시킬 경우 실리사이드층에서 들뜸현상의 하나인 blister가 발생하는 것이 보고되어 있다[15]. 반도체 소자의 제조시 blister가 발생되면 반도체 소자의 동작의 불균일을 가져오는 문제점이 있어 blister가 없는 제조공정의 확보가 필요하다. 이 blister의 발생은 증착된 티타늄 박막내의 Ar과 같은 가스원소의 오염에 의한 것으로 보고된 바 있으나, 이온주입의 조건과도 밀접한 관계가 있을 것으로 판단된다. 그러나, 이 blister 현상에 대해서는 연구된 바가 적어 blister를 형성시키지 않는 공정의 확보를 위해서는 보다 체계적인 연구가 필요하다. 본 연구에서는 단결정 실리콘 웨이퍼에 P, B, As 등의 dopant를 이온주입시켰을 때 상부의 Ti막과 고상반응에 의해 형성된 Ti 실리사이드막에서 발생하는 blister 현상에 대해 이온주입시 damage의 정도와 열처리조건에 관점에서 조사하였다.

2. 실험방법

실험을 위한 시료 제작을 위해 직경 150 mm이고 비저항이 6 Ωcm 인 P형 실리콘웨이퍼와 같은 직경의 5 Ωcm 인 N형 실리콘웨이퍼를 사용하였다. SC1과 1000 : 1 HF를 사용하여 웨이퍼위의 오염물과 산화물을 제거하기 위해 초기 세정을 실시하였다. 이온주입시

널링(channelling) 현상과 오염을 방지하기 위해 950°C에서 약 20 nm 두께의 SiO_2 막을 성장시켰다. 이온주입은 Varian사의 160XP 모델의 이온주입 장비를 이용 As, B, P 등을 주입에너지와 dose양을 달리하여 실시하였다. 이때 가속에너지의 조건은 Rp(projection range)의 위치를 동일하게 0.03 μm 이 되도록 모의실험(simulation)을 통하여 설정하였다. 이와 같이 하여 얻어진 각 이온주입 원소별 가속에너지의 조건은 As, B, P에 대해 각각 60 keV, 50 keV, 30 keV였다. 이온주입 후 일부 시료에 대해서는 이온주입시 발생된 dimage를 감소시키기 위해 900°C의 N_2 분위기에서 약 30분간 열처리를 실시하였다. 이후 실리콘웨이퍼 위에 잔류하고 있는 산화막을 제거하였다. 이온주입 후 표면손상의 정도를 조사하기 위해 TW(Thermal Wave) signal의 강도를 TP-200 계측기를 사용하여 측정하였다. 열처리한 일부 시료에 대해서는 4탐침법(4 point probe)로 면저항을 측정하였다. 티타늄의 박막을 증착하기 앞서 대기중에서 방치하는 동안 실리콘 표면에 자연적으로 형성된 자연산화막을 200 : 1HF로 제거하고 스퍼터용 진공 chamber내에서 에칭(etching)을 실시하였다. 에칭 후 공기상에 노출없이 *in-situ*로 50 nm 두께의 Ti를 증착했다. Ti 박막은 Varian M-2000 설비를 사용하여 스퍼터링에 의해 증착하였으며, 이때 초기진공은 5×10^{-8} torr로 하였으며 Ar 40 sccm을 흘리면서 2.5×10^{-5} torr의 진공상태에서 플라즈마를 발생시켰다. 증착온도는 상온이었다. 증착상태의 Ti 박막에 대해 면저항값을 측정후 Ar 분위기의 급속가열열처리(RTA; Rapid Thermal Annealing)에 의해 Ti 실리사이드 박막을 형성시켰다. RTA 조건은 850°C, 20초였다. 실리사이드 박막의 면저항값을 측정하고 광학현미경과 주사전자현미경으로 blister의 유무, blister의 밀도 및 blister의 형상을 조사하였다.

3. 결과 및 고찰

실리콘웨이퍼에 dopant가 주입되면 주입된 영역에 많은 결함이 발생하고 과도한 이온이 주입되면 비정질 실리콘의 형성도 많이 보고된 바 있다[16]. 이 결함은 Ti를 증착하고 실리사이드를 형성시킬 때 국부적으로 들뜸현상의 하나인 blister를 유발시킨다. Fig. 1에 주사전자현미경(SEM)으로 관찰한 Ti 실리사이드 반응 후 나타난 blister의 형상을 한 예로 나타내었다. a)는 화학증착법(CVD)으로 증착된 다결정실리콘 위에 BF_3 이온주입

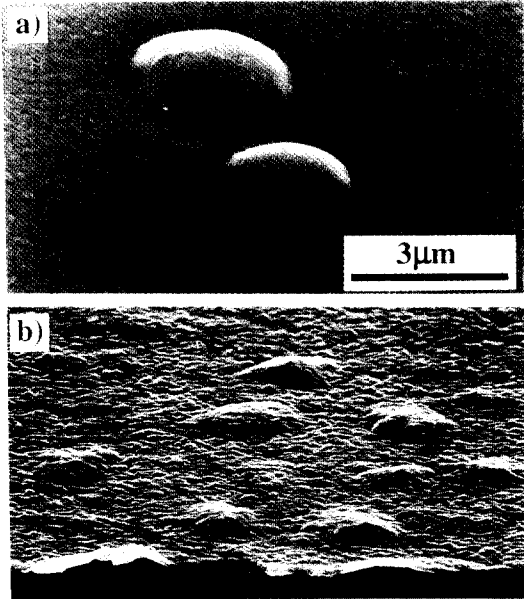


Fig. 1. SEM micrographs showing blister phenomena in the TiSi₂ film. a) on the poly-silicon film and b) on the Si single crystal doped by BF₃ ion implantation.

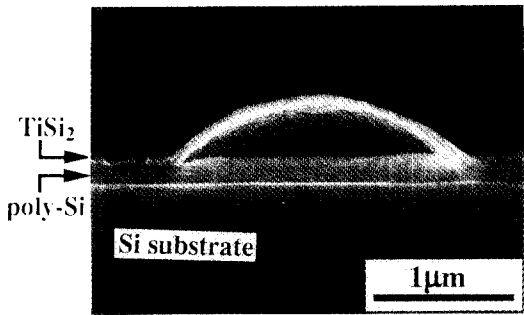


Fig. 2. A cross-sectional SEM micrograph of a blister.

을 30 keV, $1 \times 10^{16}/\text{cm}^2$ 으로 실시하고 40 nm의 Ti를 증착하고 RTA를 한 경우 발생한 blister의 모양을 나타내며, b)는 실리콘웨이퍼 위에 BF₃ 이온주입을 70 keV, $1 \times 10^{16}/\text{cm}^2$ 으로 실시하고 50 nm의 Ti를 증착하고 RTA를 실시한 경우에 발생한 blister의 모양을 나타낸다. 약간 형상의 차이는 있으나 반구모양의 들뜸 현상이 나타남을 알 수 있다. 이를 단면으로 절단하여 관찰한 사진이 Fig. 2이다. ESCA에 의한 표면분석 결과와 선택적인 에칭 실험 결과 반구의 상부는 실리사이드가 형성되지 못하고 Ti이 그대로 존재하고 있음이 확인되었다.

이온주입 dopant별로 이온주입 dose에 따른 blister의

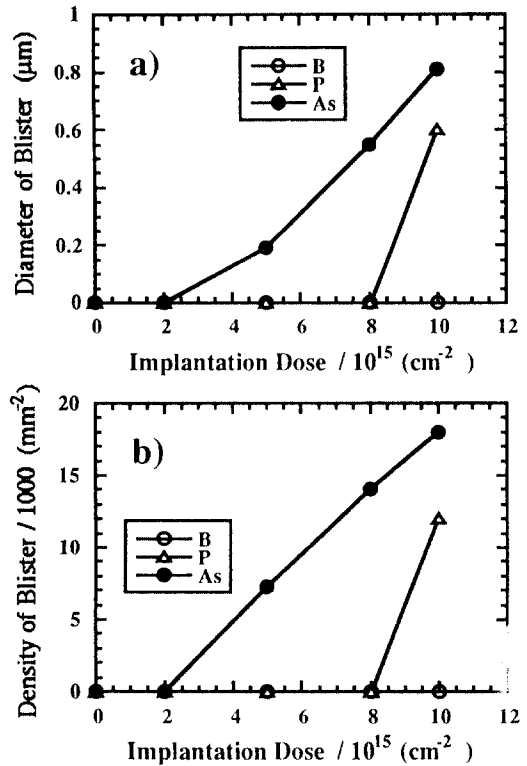


Fig. 3. Variations of a) average diameter and b) density of blisters formed in the TiSi₂ film with ion implantation dose for dopants of B, P and As.

크기와 생성밀도를 Fig. 3에 나타내었다. 이 경우는 이온주입 후 별도의 열처리는 하지 않았다. B은 dose양을 증가시켜도 blister가 발생되지 않았다. P의 경우는 1×10^{16} 에서 발생하였고, As의 경우는 5×10^{15} 이상의 dose에서 발생하였다. 각 dopant로 blister 밀도는 dose가 많을수록 증가하고 As의 경우가 큼을 알 수 있다.

이온주입 후 Ti 증착전에 900℃에서 30분간 열처리를 한 경우 dopant별로 이온주입 dose에 따른 blister의 크기와 생성밀도를 Fig. 4에 나타내었다. Fig. 3과 4를 비교해 보면 전체적으로 blister양이 이온주입 후 Ti 증착전에 열처리에 의해 현저히 감소됨을 알 수 있다. Dopant의 이온주입 후 실리콘 표면에 유기되는 damage의 정도를 조사한 것을 Fig. 5에 나타내었다. TW값이 클수록 damage가 크고 결함이 많이 발생한 것이다. As의 경우 TW값이 약 730 이상에서 실리사이드막에 blister가 발생하고 있다. B의 경우 $1 \times 10^{16}/\text{cm}^2$ 의 고농도 이온주입에서도 열처리 유무에 관계없이 blister가 발생하지 않

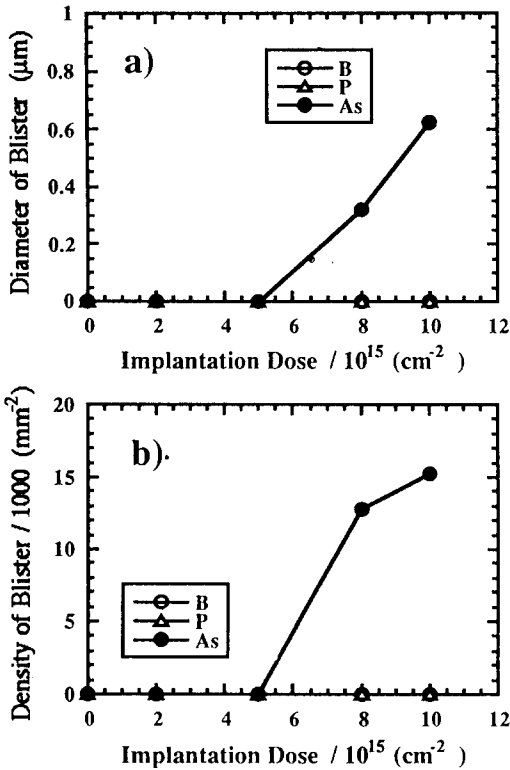


Fig. 4. Variations of a) average diameter and b) density of blisters with ion implantation dose in the TiSi₂ film formed by interdiffusion between the Ti film and silicon annealed at 900°C for 30 min after ion implantation of B, P and As dopants.

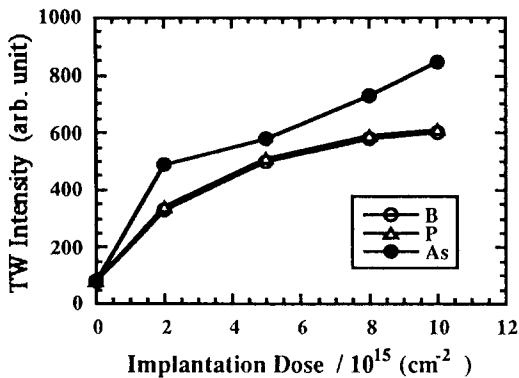


Fig. 5. Variations of TW intensities of silicon surface with ion implantation dose for B, P and As dopants.

왔고 이때 TW값은 약 600 이하이었으며, P를 이온주입 후 열처리를 안한 경우 blister가 발생한 1×10¹⁶/cm²의

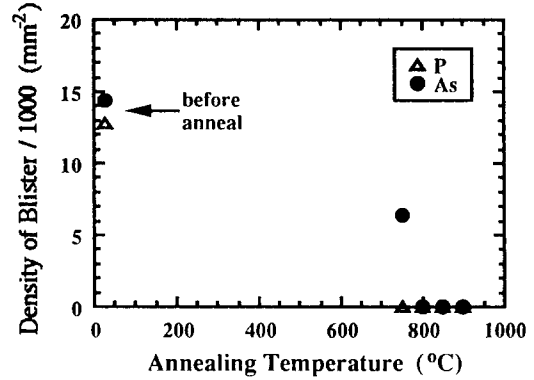


Fig. 6. The variation of density of blister with annealing temperature for ion implantation of P and As dopants.

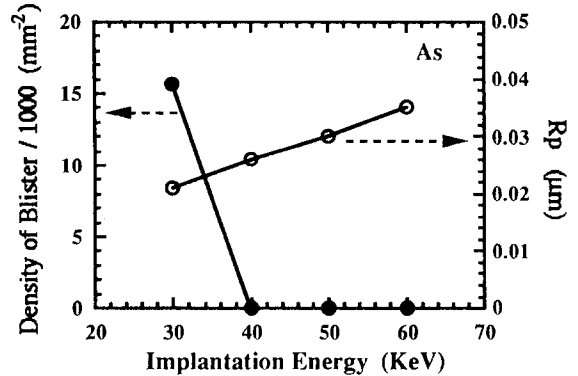


Fig. 7. Variations of blister density and depth of projection range (Rp) with ion implantation energy for As ion implantation.

dose의 경우 열처리 후 TW값이 620 정도로 낮아져 blister가 발생하지 않은 것을 알 수 있다.

Fig. 6에 P와 As에 대해 열처리에 따른 blister의 밀도의 변화를 나타내었다. P의 경우 1×10¹⁶/cm², 30 keV로 주입되었고, As의 경우 8×10¹⁵/cm², 60 keV로 주입되었다. 열처리 시간은 30분이다. P의 경우 열처리 후 blister가 발생되지 않았으나, As의 경우 800°C 이상의 열처리에 의해 blister가 발생되지 않음을 알 수 있다. TW값을 조사한 결과 750°C, 800°C의 열처리를 한 As 이온주입 웨이퍼의 경우 각각 770과 690의 값을 나타내었다. 이상의 결과를 종합해 볼 때 TW값이 약 700 이상에서 실리콘사이드의 blister가 발생함을 알 수 있다.

따라서 이온주입된 실리콘과 증착된 티타늄이 고온에서 실리콘사이드를 형성시키는 반응을 일으킬 때 실리콘

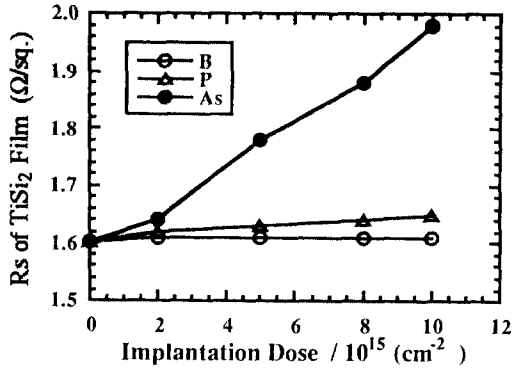


Fig. 8. The change of sheet resistance (R_s) of the $TiSi_2$ film as function of implantation dose for B, P, As dopants.

콘 표면의 damage층이 존재하면 blister가 발생됨을 정성적인 실험을 통해 알 수 있었다. Fig. 7은 가장 blister를 많이 발생시킨 As 이온을 주입한 경우 주입시 가속에너지를 변화시켰을 때 실리사이드 표면에 발생한 blister의 밀도 변화와 R_p 의 깊이의 변화를 나타낸 것이다. 주입시 가속에너지가 클수록 blister의 밀도가 적음을 알 수 있다. 30 keV의 이온주입시 R_p 의 값은 약 0.02 μm 이며 가속에너지가 커질수록 R_p 의 값은 커져 damage층의 티타늄과 반응할 실리콘의 표면에서 점점 멀어진다. 따라서 실리사이드의 반응은 주로 실리콘과 티타늄의 계면에서 고상반응을 일으킬 때 실리콘 표면 근방의 damage층이 영향을 주는 것을 알 수 있다.

Ti 실리사이드를 형성시켰을 때 면저항의 변화를 이온주입 dose양의 함수로 나타낸 것이 Fig. 8이다. As의 경우가 가장 저항값이 높은 것을 알 수 있으며 이는 형성된 실리사이드의 막두께가 As 이온주입한 시료가 가장 작았기 때문이다. Ti 실리사이드의 형성시 주 확산원소가 실리콘인 것은 많이 보고[17]된 바 있다. 또 실리사이드의 반응속도는 실리콘에 함유된 As의 농도에 의존하며, 이는 $TiSi_2$ 의 입계에 존재하는 TiAs 화합물이 입계성장을 방해하고 실리콘의 확산과 실리사이드 확산을 위한 kinetic barrier로 작용한다고 보고되고 있다[18, 19]. 따라서 Ti 실리사이드를 형성시켰을 때 실리콘에 주입된 dopant의 농도가 증가할 때 As의 경우 면저항의 증가가 급격한 것은 확산관점에서 쉽게 이해할 수 있다.

각 이온주입 원소의 공유결합시 이온반경은 실리콘을 1로 볼 때 B, P, As의 각각의 경우 0.75, 0.94, 1.01로 As의 경우가 가장 크다[20]. 이로부터 As의 경우 이온

반경이 크기 때문에 실리콘에 주입되었을 때 damage를 가장 크게 줄 것임을 예상할 수 있다. 본 연구에서도 As이 주입된 실리콘의 경우 TW의 값이 가장 크고 열처리에 의한 damage의 제거 정도도 가장 적었다. As을 주입하고 실리사이드를 형성시켰을 때 실리사이드막에서 blister가 B주입이나 P주입의 경우보다도 그 수가 많은 것은 As 주입 후 damage에 의해 실리사이드 반응이 불균일해져 국부적인 미반응 Ti 박막부분에서 주변과 상호작용에 의해 응력이 유기된 때문으로 사료된다. 그 결과 Fig. 2에서처럼 반구의 모양으로 들뜨는 것으로 유추할 수 있다. 따라서 blister의 형성기구는 증착된 Ti 박막의 하지에 있는 이온주입된 실리콘의 표면에 결함이 존재할 때 국부적으로 실리사이드반응의 차이가 발생되어 응력이 발생하여 열팽창계수가 큰 미반응 Ti 부분이 adhesion이 불안한 상태에서 들뜨는 것으로 생각할 수 있다.

그러므로, 실리사이드 반응시 blister의 발생을 억제하기 위해서는 균일한 실리사이드 반응을 유도해야 하며 이온주입된 실리콘의 내부에 존재하는 damage를 제거하는 것이 쉬운 하나의 방법이 될 수 있다. 이온 주입 후 열처리를 실시하는 경우는 TW의 값으로는 700 이하의 조건에서 blister-free의 Ti 실리사이드 박막의 형성이 가능함을 본 연구를 통해 알 수 있었다. 한편, 실리콘의 표면이 완전히 damage가 없다 하더라도 실리콘위에 비정질의 산화막이 일정 두께로 존재하는 경우에도 국부적인 실리사이드 반응의 불균일을 초래할 수 있으므로 blister의 생성은 예상될 수 있다. 따라서 실리콘의 damage층의 최소화와 실리콘위의 산화막의 완전한 제거는 실리사이드막에서 blister가 발생되지 않는 필요조건이라 할 수 있겠다. 본 연구에서는 blister의 형성에 대한 통계적 실험을 통해 blister의 형성에 대한 거동을 조사하였으나, 향후 실제 반도체 소자에 응용하기 위해서는 blister의 발생을 유발하는 damage층과 결함이 실리사이드화 반응시 어떠한 거동을 하는지 좀더 조사할 필요가 있다고 사료된다.

4. 결 론

단결정 실리콘웨이퍼에 P, B, As 등의 dopant를 이온주입시켰을 때 상부에 스퍼터된 Ti과 고상반응에 의해 형성된 Ti 실리사이드 박막에 발생하는 blister 현상에 대해 조사하여 다음의 결론을 얻었다. Dopant에 관계없

이 dose양이 많을수록 Ti 실리사이드 박막에서 blister의 크기와 밀도가 증가한다. P, B, As 중에서 As의 경우 가장 많이 발생되었다. 이온주입시 가속에너지가 낮을수록 Ti 실리사이드 박막에서 blister의 크기와 밀도가 증가한 것으로부터 blister는 실리사이드 반응전 실리콘 표면의 결함이 많을수록 많이 발생됨을 알 수 있었다. 실리콘 표면에 dopant를 주입한 후 열처리를 하여 damage를 줄여줌으로써 blister의 양을 줄일 수 있었다. 이때 열처리 온도가 높을수록 blister가 현저히 감소한다. Blister의 발생을 억제하기 위해서는 이온주입 후 실리콘의 내부에 존재하는 damage를 제거하는 것이 필요하며 TW의 값으로는 700 이하의 조건에서 blister-free의 Ti 실리사이드 박막의 형성이 가능하였다.

참고문헌

1. P. A. Gargini, Inst. Phys. Conf. Ser., ed. by E. H. Rhoderick, The Institute of Physics (London, 1984), Vol. 69, p. 141.
2. G. Baccharini, M. R. Wordeman and R. H. Dennard, IEEE Trans. Electron. Devices **ED31**, 452 (1984).
3. T. Shibata, H. Hieda, M. Sato, M. Konaka, R. L. M. Dang and H. Izuka, Tech. Dig. of IEDM, 647 (1981).
4. M. E. Alperin et al., IEEE Trans. Electron. Devices **ED32**, 141 (1985).
5. T. Mochizuki, K. Shibata, T. Inoue, K. Ohuchi, Japan J. Appl. Phys. **17**, Suppl. 1, 37 (1978).
6. F. Mohammadi and K. C. Saraswat, J. Electrochem. Soc. **127**, 450 (1980).
7. K. C. Saraswat, N. Hsieh, M. H. Ishaq, C. W. Koburger and F. R. White, IEEE Trans. Electron. Devices **ED27**, 1417 (1980).
8. S. P. Muraraka, *Silicides for VLSI Applications* (Ac Press, New York, 1983).
9. Karen Maex, *Materials Science and Engineering* **R11**, 53 (1993).
10. T. P. Nolan and R. Sinclair, J. Appl. Phys. **71**, 720 (1992).
11. Y. W. Kim, N. I. Lee and S. T. Ahn, Mat. Res. Soc. Symp. Proc. **317**, 239 (1994).
12. Nae-In Lee, Young-Wug Kim and Sung Tae Ahn, Japan J. Appl. Phys. **33**, 672 (1994).
13. T. P. Chow, W. Katz, R. Goehner and G. Smith, J. Electrochem. Soc. **132**, 1914 (1985).
14. P. Gas, G. Scilla, A. Michel, F. K. LeGouses, O. Thomas and F. M. d'Heurle, J. Appl. Phys. **63**, 5335 (1988).
15. Ivo J. M. M. Raasijmakers, *Fundamental Aspects of Reactions in Titanium-Silicon Thin Films for Integrated Circuits* (1988), p. 101
16. W. E. Beadle, J. C. C. Tsai and R. D. Plummer, *Quick Reference Manual for Silicon Integrated Circuit Technology* (John Wiley & Sons, New York, 1985), p. 7.
17. W. K. Chu et al., Appl. Phys. Lett. **25**, 454 (1974).
18. R. Beyers, D. Coulman and P. Merchant, J. Appl. Phys. **61**, 5110 (1987).
19. J. Torres et al., *Proc. European Solid State Research Conf. (ESSDERC)* (Bologna, Italy, 1987), p. 197.
20. F. Shimura, *Semiconductor Silicon Crystal Technology* (Academic Press Inc., 1983), p. 59.