

자동화 시스템의 성능 향상을 위한 디지털 제어기 설계

(The Design of Digital controller for
Performance Improvement of Automation System)

趙正煥* · 李喆稷**

(Jeong-Hwan Cho · Cheol-Jick Ree)

요 약

본 논문에서는 자동화시스템의 제어 성능을 향상시키기 위하여 새로운 디지털 제어기의 설계를 제안한다. 제안된 제어기는 기준 입력신호와 귀환신호의 주파수 차에 비례하는 출력전압을 발생시켜 시스템을 구동하여 응답시간과 정상상태 오차를 개선하였고, 적응 선밀도 선택기와 경사가변형 양자화 레벨 제어를 채택하여 양호한 안정도와 고분해능을 확립하였다.

이론과 실험적인 연구가 수행되었고, 그 결과는 자동화시스템의 위치제어 성능이 개선되었음을 입증한다.

Abstract

This paper proposes the design of new digital controller to improve control performance of automation system.

The proposed controller improves response time and steady state error in the driving a system to generate a output voltage proportional to the frequency difference of reference input signal and feedback signal, holds good stability and higher accuracy designing an adaptive line density selector and a quantized level controller of slope-varied type.

A theoretical and experimental studies have been carried out. The presented results show the improved performance in the position control of automation system.

1. 서 론

오늘날 마이크로프로세서를 이용한 디지털 제

어 기술은 실제로 자동화시스템의 여러분야에 적용되어 효율성 향상 및 공정의 유연성을 이룩해 가고 있다. 이러한 자동화시스템의 중요역할을 수행하는 서보 제어 기술은 자동화 기술의 핵심이라 할 수 있다. 이러한 서보제어기술 가운데 고속 정밀 제어가 필요한 경우에 많이 사용되는 것이 PLL(Phase-Locked Loop)방식이다. PLL방

*正會員: 생산기술연구원 연구원

**正會員: 대림전문대학 전기과 조교수

接受日字: 1995年 7月 8日

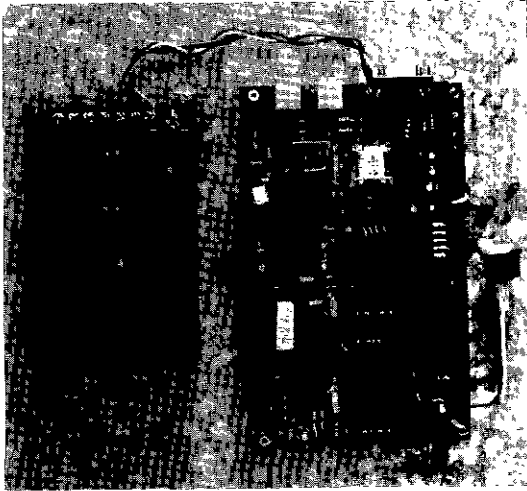


그림 13 제작된 Slave processor 보드
Fig 13 Implemented board of Slave processor

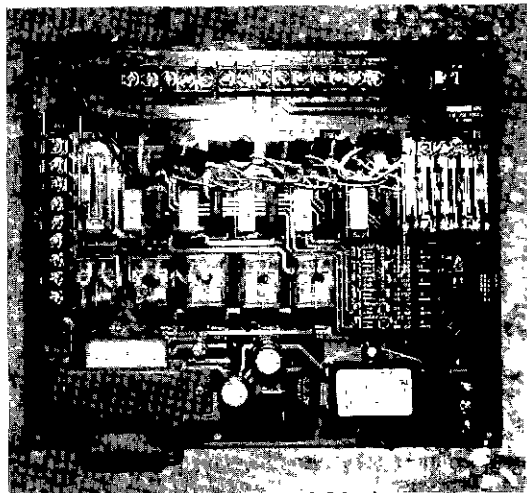


그림 14 제작된 릴레이 보드
Fig 14 Implemented relay board

한 오버슈트와 리플을 보여주어서 퍼지 ON-OFF 제어의 타당성을 보여준다. 그림 11에서 14까지는 각각 실험된 건조기의 외관과 제작 실험된 기판이다.

6. 결 론

본 논문은 건조기의 전자제어장치의 성능개선을 위해 이중구조의 프로세서를 이용하여 건조기

전자제어 장치를 개발하였다.

개발된 시스템은 기존 시스템의 단일 프로세서 경우와 비교하여 Master와 Slave의 이중 구조의 프로세서를 채용하여 시스템의 결함을 쌍방 감시와 자료의 분산을 통하여 기존의 단일 프로세서보다 잡음에 의한 시스템 다운을 5배 이상 개선할 수가 있어 신뢰성에 있어서 효과적인 시스템임을 확인 하였다.

또한 개발된 시스템은 기존제어장치의 ON-OFF 온도 제어방식에서 문제점이 되었던 온도의 오버슈트를 억제할 수 있는 ON-OFF 퍼지 제어 방식을 제안함으로써 효과적인 오버슈트 억제와 정상상태에서 완만한 리플을 보이게 하였다.

참 고 문 헌

- 1) T.J.Procyk and E.H.Mamdani, "A Linguistic Self-Organizing Process Controller", Automatica, vol 15, pp 15~30, 1979
- 2) Thermotron Corp. "Instruction Manual for Thermotron Environmental Chamber Temperature Humidity", 1983
- 3) Youngdong corp, "Instruction Manual for Computer dryer", 1994.
- 4) Shihuang SHAO, "Fuzzy self Organizing Controller and Its Application for Dynamic Processes", Fuzzy Set and Syst, Vol.26 pp.151~164, 1988
- 5) Chuen Chien Lee, "Fuzzy Logic in Control System : Fuzzy logic Controller-Part I II", IEEE TRans Systems, Man and Cybernetics Vol 20, no2, pp404~435 March/April 1990
- 6) Intel, "16 bit Embedded Controllers", 1990
- 7) Zilog, "Microprocessor and Peripherals Hand book", 1990
- 8) Analog device, "Operational Amplifiers", 1989/1990
- 9) Texas Instruments, "Voltage Regulators and Supervisors", Vol 3 1990

◇ 著 者 紹 介 ◇



박 세 현(朴世賢)

1954년 12월 10일생. 1980년 경북대학교 전기공학과 졸업. 1982년 경북대학교 대학원 전자과(석사), 1990년 아주대학교 대학원 전자과(박사). 현재 안동대학교 전기공학과 조교수.

식은 초기에 통신분야에서 사용된 이래, 서보 제어에도 널리 적용되어 PLSC(Phase-Locked Servo Control)시스템으로 발전하여 왔다.^{1), 2)} 이러한 PLSC시스템은 플랜트의 고속회전시에는 비교적 정밀한 응답특성을 가지고 있으나 속도가 낮아질수록 불안정한 응답특성을 나타내는 저속도 한계(low speed limit)의 제한특성을 갖는다.³⁾ 그리고 PLL의 동기특성을 결정하는 루프필터(loop filter)는 시스템의 응답시간(response time)을 증가시키고 시스템 불안정의 원인이 되며, 옵티컬 인코더 발생신호가 직접 귀환신호로 되어 기준신호(reference signal)와 비교되는데, 이 옵티컬 인코더의 신호는 저주파를 발생하므로 역시 응답시간의 증가요인이 되었다. 반면에 응답시간을 감소시키기 위해서, 기준신호를 증가시키고 이 신호와 위상비교를 할 수 있도록 위치검출기인 옵티컬 인코더의 선밀도(line-density)를 증가시키면 시스템의 안정도와 옵티컬 인코더의 선밀도는 서로 상관관계에 있기 때문에 옵티컬 인코더의 선밀도가 높으면 시스템은 불안정하게 된다.⁴⁾

한편, 위치명령에 관계된 기준신호를 증가시키고도 시스템의 응답특성과 안정도를 개선 할 수 있는 방법들이 연구되었다. 즉 FLL(Frequency Locked Loop)방식을 이용하면, 루프필터를 제거하고 주파수 차(frequency difference)에 직접 비례하는 출력전압에 의해 플랜트를 구동시킬 수 있으므로 응답시간을 빠르게 할 수 있고 시스템의 안정도를 유지할 수 있다. 그러나 이 경우에도 옵티컬 인코더의 선밀도가 시스템 전체를 불안정하게 하거나 응답시간을 증가시키는 요인이 되어 디지털 제어기를 설계하는데 문제점으로 지적되고 있다.⁵⁾⁻⁷⁾

본 연구에서는 자동화시스템의 제어성능 향상을 위해 마이크로프로세서를 이용한 새로운 디지털 제어기를 설계한다. FLL방식을 디지털 제어 시스템에 적용하여 기준 입력신호와 귀환신호의 주파수 오차에 비례하는 출력전압에 의해 플랜트를 구동시키고, 주파수 오차의 특성에 따라 옵티컬 인코더의 선밀도 선택이 가능하도록 적응 선밀도 선택기(adaptive line-density selector)를 사용하여 플랜트의 저속회전시에도 고주파를 발생하

여 기준신호와 신속히 비교하며 과도응답특성에 있어서 진동이나 오버슈트(overshoot)를 방지하였다. 그리고 디지털 공급식 제어회로의 양자화 기능을 경사가변형(slope-varied type)으로 설계하여, 시스템의 응답시간과 정밀도 향상 뿐만 아니라 안정도를 개선시킨 자동화시스템의 고속 정밀 제어를 제안하였고, 실험을 통해 이를 입증한다.

2. 디지털 서보 제어 시스템의 설계

2.1 디지털 서보 제어 시스템의 개요

Frequency-locked loop이론⁸⁾에서 발전되어 자동화시스템의 위치제어를 실현하기 위해 제안된 디지털 서보 제어 시스템은 마이크로프로세서(Microprocessor : μP), 주파수 비교기(Frequency Comparator), 디지털 공급식 제어기(Digital-Pumped Controller : DPC), 위치/전압 변환기(Position/Voltage transducer : P/V transducer), 전압제어 발진기(Voltage-Controlled Oscillator : VCO), 그리고 서보 전동기와 구동기로서 그림 1과 같이 구성된다.

이 시스템에 대한 위치명령은 마이크로프로세서에 의해 기준주파수(f_r)로서 주어지고, 전동기의 현재 위치에 관한 정보를 제공하는 레환주파수(f_c)는 전동기 축에 부착된 옵티컬 인코더의 출력신호에 비례하는 제어전압에 의해 VCO에서 얻어진다. f_r 과 f_c 는 FC에서 비교되어 주파수 오차($f_e = f_r - f_c$)를 발생한다. 이 f_e 는 두상대($f_e > 0, f_e < 0$)의 경우에 따라서 DPC에서 적분 되어 각각 양의 출력전압($+V_0(t)$)과 음의 출력전압($-V_0(t)$)을 발생한다. 이 DPC 출력전압은 전동기를 정전/역전시키면서 목표값을 추적한다. 일련의

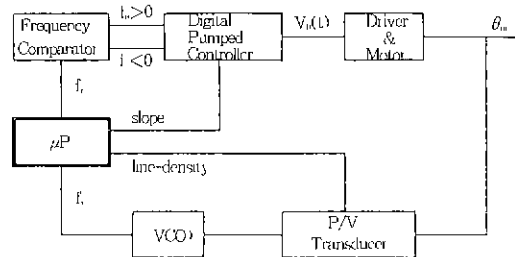


그림 1 디지털 서보 제어 시스템의 구성도
Fig. 1 Block diagram of the digital servo control system

이러한 과정을 통해서 f_e 는 f_i 과 같아지도록 증가 (또는 감소)하여 $f_e=f_i$ (lock : 동기)가 되면 DPC의 출력전압은 “0”가 되고 전동기는 정지한다. 이것은 곧 전동기가 위치명령(f_i)과 일치된 위치에 도달한 것을 의미한다. VCO가 작은 제어전압의 변동에 의해서도 상당히 높은 주파수 범위로 변할 수 있기 때문에 유틸리티 인코더만으로 궤환 주파수 발생에 의존하는 PLL방식 보다는 응답시간을 감소시키고, 높은 정밀도에 도달할 수 있으며, 상대적으로 인코더의 선밀도가 낮아도 VCO의 감도(sensitivity)특성에 의해 넓은 주파수 범위로 변할 수 있으므로 양호한 안정도를 갖는다. 또한 마이크로프로세서에 의해 다양한 위치명령을 지정하고, 이 명령에 추종할 수 있도록 12bit 프로그래머블 카운터와 D/A변환기를 사용 하였으므로 고분해능(higher resolution)을 얻을 수 있다.

2.2 디지털 공급식 제어기(DPC)의 설계 및 동작
제안된 시스템의 주요 구성요소인 DPC는 그림 2와 같이 구성된다. 주파수 오차가 입력되면, D/A(I) ($f_e > 0$ 일 때)과 D/A(II) ($f_e < 0$ 일 때)가 마이크로프로세서에 의해서 선택되고 이때의 주파수 오차는 디지털 량에서 아날로그 량으로 D/A 변환되고 가산기에 의해서 합쳐져서 $+V_o(t)$ 와 $-V_o(t)$ 를 출력한다.

DPC의 출력전압 $\pm V_o(t)$ 는 주파수 오차가 DPC의 주파수 오차 선형범위($\pm f_b$)의 내부영역 ($-f_b < f_e < +f_b$)에서 존재할 때, D/A변환기의 최대 출력 전압인 $\pm NP$ (N =multirate sampling number, P =small-voltage step jump)사이에서 양

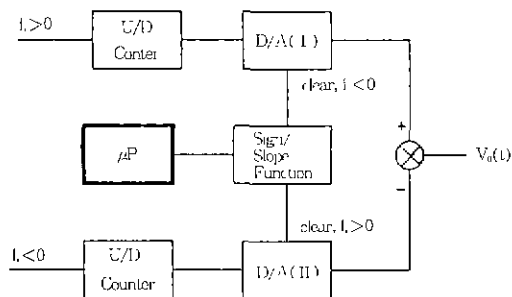


그림 2 디지털 공급식 제어기의 구성도
Fig. 2 Block diagram of the DPC

자화 되고, 주파수 오차가 $\pm f_b$ 를 초과($f_e < -f_b$, $f_e > +f_b$)해서 변화할 때 DPC의 출력전압은 양의 최대출력전압(+NP)과, 음의 최대출력전압(-NP)을 유지한다. 즉 DPC의 출력 특성은 그림 3과 같이 양자형(동기 과정)과 포화형(비동기 과정)으로 나타나며, 특히 비동기 과정에서는 그림 4와 같이 주파수 오차의 크기에 따라서 양자화 레벨을 3부분으로 구분한다. 즉 $s=1 : (|f_b| < |f_e| < 3f_b|)$, $s=2 : (|3f_b| < |f_e| < |5f_b|)$, $s=3 : (|5f_b| < |f_e| < |7f_b|)$ 하여 경사가변형으로 양자화 되도록 설계하여 신속하게 포화상태의 최대출력 전압을 발생시켜 전동기가 최대속도로 동작하여 응답시간을 감소시킨다. 이러한 과정에서 DPC의

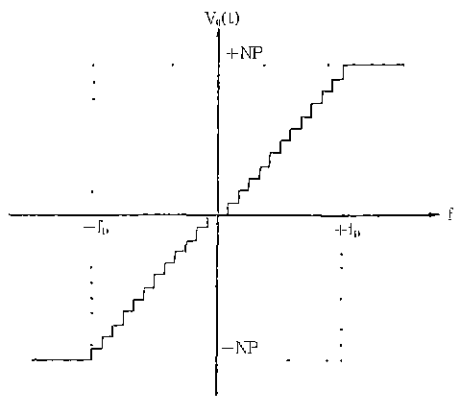


그림 3 디지털 공급식 제어기의 출력 특성
Fig. 3 Output characteristic of the DPC

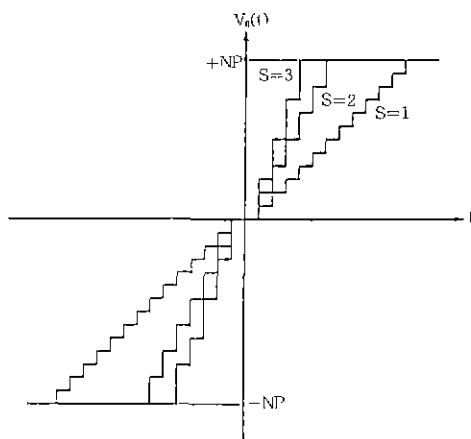


그림 4 DPC의 경사 가변형 양자화 과정
Fig. 4 Process of slope varied quantization of the DPC

출력특성은 다음과 같이 마이크로프로세서의 부호기능에 의해서 제어된다.

$$\text{Sgn}[f_e(nT)] = \begin{cases} +1 & f_e > 0 (\text{Positive DPC 동작}) \\ 0 & f_e = 0 (\text{Frequency-Locked}) \\ -1 & f_e < 0 (\text{Negative DPC 동작}) \end{cases} \quad (1)$$

2.3 궤환회로의 설계

위치/전압 변환회로와 VCO로 구성되는 궤환회로는 그림 5와 같이 설계된다. 전동기의 정전/역전 동작에 의해 오퍼팅 인코더의 출력신호(CW, CCW)는 위치 카운터에 의해 증감되어 D/A변환기에서 위치에 비례하는 회전당 전압을 발생하고, 이 D/A변환기의 출력전압은 VCO에 의해 궤환주파수(f_v)로 변환되어 기준신호와 비교된다. 위치 카운터와 D/A 변환기는 마이크로프로세서에 의해 변환기능을 $L=1: (-f_b < f_v < +f_b)$, $L=2: (f_v < -f_b, f_v > +f_b)$ 로 구분해서 제어하여 VCO입력으로 출력된다. 따라서 이러한 선밀도 선택기능은 과도응답특성의 응답시간을 감소시키고 오버슈트를 방지한다.

2.4 디지털 서보 제어 시스템의 동작 특성

2.4.1 동기 과정(in-lock process)

그림 6과 같이, 이때는 $f_e = f_r - f_v$ 가 $\pm f_b$ 의 내부

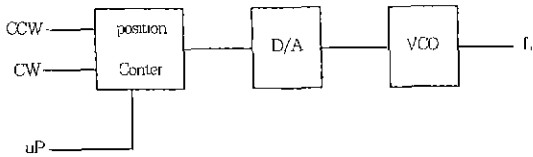


그림 5 궤환회로의 구성도
Fig. 5 Block diagram of feedback loop

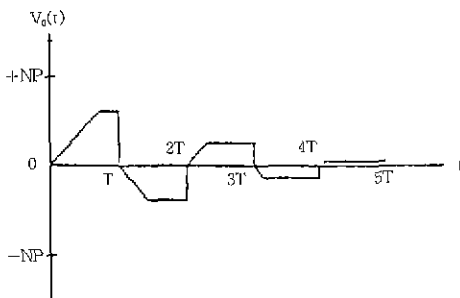


그림 6 동기 과정의 시스템 동작 특성($f_e < +f_b$)
Fig. 6 Operational characteristic of system in the in-lock process ($f_e < +f_b$)

영역에서 변화할 때이고 DPC가 nT 에서 $(n+1)T$ 까지 T/N 의 비율로 주파수 오차의 샘플신호를 적분하고, 적분된 전압은 양자형으로 존재한다. DPC의 출력전압은 전동기가 목표값에 도달하도록 구동전압을 공급한다. 어느 시점에서 전동기가 목표값에 도달하며 DPC는 양자화 작용을 중단하고 전동기는 원하는 위치에서 정지한다. 이때 시스템은 “동기(Lock)”되었고, DPC의 출력전압은 “Zero state”를 유지한다.

2.4.2 비동기 과정(out-of-lock process)

$f_e(nT) > +f_b$, $f_e(nT) < -f_b$ 일 때, 즉 $f_e(nT)$ 가 동기범위를 초과하면 DPC 출력과정은 포화형으로 나타나고 이때의 디지털 서보 제어 시스템의 동작과정은 그림 7과 같다. $f_e(nT) > 0$ 인 양자화 주기 T 에서 D/A(I)은 포화형으로 작용하고 NP값에 대응하는 최대 출력전압을 유지(이때 D/A(II)는 클리어)한다. 즉, DPC는 전동기가 목표값을 향해서 최고 속도로 움직일 수 있도록 DPC의 최대 출력 전압 $\pm NP$ 의 값을 유지한다. 이러한 과정을 통해서 궤환 주파수가 증가하여 $f_e(nT)$ 가 동기범위에 존재하면 전동기 속도는 신속히 감소되고 전동기는 동기 과정에서 동작하면서 목표값에 도달하게 된다.

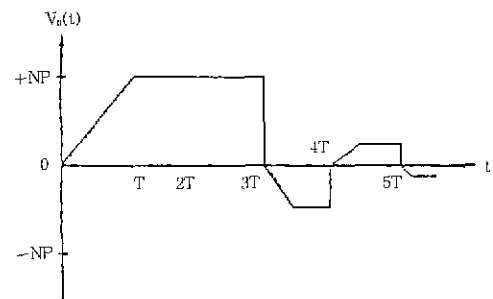


그림 7 비동기 과정의 시스템 동작 특성($f_e > +f_b$)
Fig. 7 Operational characteristic of system in the out-of-lock process ($f_e > +f_b$)

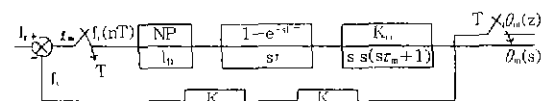


그림 8 동기 과정의 시스템 선형 모델
Fig. 8 Linear model of system in the in-lock process

3. 디지털 서보 제어 시스템의 해석

3.1 동기 과정 ($-f_b < f_e(nT) < +f_b$)에서의 모델링

그림 3과 그림 6에 나타난 DPC의 전달특성과 시스템의 동기화 과정에 의해 전체 시스템의 선형 모델은 그림 8과 같이 나타낼 수 있다.

시스템의 폐루프 전달 함수(closed-loop transfer function)는

$$\begin{aligned} \frac{Q_m(z)}{F_r(z)} &= \frac{G(z)}{1+GH(z)} \\ &= \frac{A}{k_p k_v} \cdot \frac{(T-\tau_m + A\tau_m)z}{z^2 + (-1-D+AT - A\tau_m + AD\tau_m)z} \\ &\quad \frac{+(\tau_m - TD - D\tau_m)}{+(D - A^2TD - AD\tau_m + A\tau_m)} \end{aligned} \quad (2)$$

여기서

$$A = \frac{NP \cdot K_p \cdot K_v \cdot K_m}{f_b} = \text{시스템의 전체 이득}$$

$$D = \text{EXP}(-T/\tau_m)$$

K_v : VCO의 감도(Hz/V)

k_p : 위치/전압 변환기의 이득(V/rad, V/cm)

K_m : 증폭기와 전동기의 이득(rad/s/V, cm/s/V)

τ_m : 전동기의 기계적 시정수

(2)에 단위주파수 계단입력(unit frequency step input)을 적용하면 최종값 정리에 의하여

$$\theta_m(t \rightarrow \infty) = \lim_{z \rightarrow 1} (1-z^{-1}) \cdot \theta_m(z) = \frac{1}{k_p \cdot K_p} \quad (3)$$

즉, 시스템의 최종값은 VCO의 감도 K_v 와 위치/전압 변환기의 이득 K_p 에 의해서 결정된다. 두 파라미터는 기준 주파수와 출력 위치와의 관계를 결정하는 변환요소(conversion factor)로서 작용한다.

3.2 비동기 과정 ($f_e(nT) < -f_b$, $f_e(nT) > +f_b$)의 모델링

시스템이 동기 범위(locking range)를 초과해서 변할 때 그림 3과 그림 7의 전달특성에 의해 비동

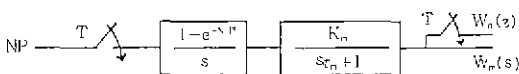


그림 9 비동기 과정의 시스템의 선형 모델
Fig. 9 Linear model of system in the out-of-lock process

기과정의 시스템의 선형 모델이 그림 9와 같이 얻어진다. 여기서 N' = 비동기 과정의 양자화 횟수이고, 이때 시스템은 $+NP$ (또는 $-NP$)의 입력을 갖는 개루프 제어 시스템(open-loop control system)과 같다. 이러한 최대 출력전압이 적용되므로서 플랜트는 정해진 최대 속도로 목표값을 향해서 동작한다. VCO출력 주파수가 증가하여 f_e 가 $\pm f_b$ 의 내부영역으로 진입하면 시스템은 즉시 동기 과정으로 되면서 개루프 제어 과정을 중지하고 폐루프 제어 과정을 수행한다.

비동기 상태의 전동기 속도 $W_m(s)$ 는

$$W_m(s) = \left(\frac{K_m}{s\tau_m + 1} \right) \cdot \left(\frac{1 - \text{EXP}(-sN'T)}{s} \right) \cdot NP \quad (4)$$

따라서,

$$W_m(t) = NP \cdot K_m \cdot \left[(1 - \text{EXP}(-sN'T))u(t) - (1 - \text{EXP}(-(t-N'T)/\tau_m))u(t-N'T) \right] \quad (5)$$

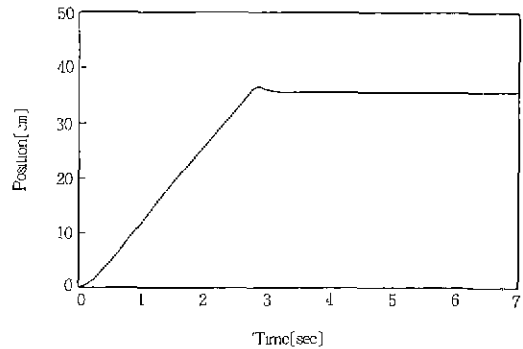


그림 10 $f_e = 4.6 f_b$ (35.6cm)의 위치응답
Fig. 10 Position response to $f_e = 4.6 f_b$ (35.6cm)

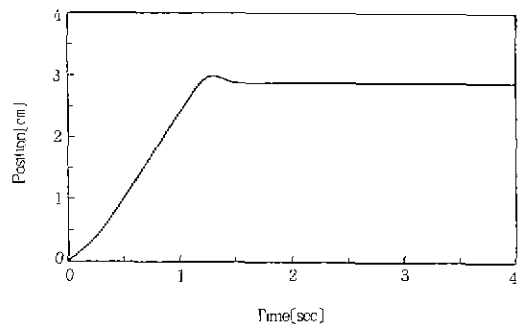


그림 11 $f_e = 0.35 f_b$ (2.88cm)의 위치응답
Fig. 11 Position response to $f_e = 0.35 f_b$ (2.88cm)

4. 실험 과정 및 결과

4.1 실험과정

마이크로프로세서를 이용하여 디지털 서보 제어 시스템의 위치제어를 구현하기 위해 제안된 시스템은 12[MHz] Intel 80286 마이크로프로세서를 가진 IBM PC/AT에 의해 제어되며, PC/AT는 8255(PPI)와 8254(PIT)로 구성된 인터페이스 카드를 통해 제어회로와 연결된다. 사용된 전동기는 Lead-screw를 커플링(coupling)하여 회전운동이 직선운동으로 변환된다. 회전각 θ 에 대한 Lead-screw의 이동거리 L 은

$$L = \frac{0.04}{2\pi} [\text{cm/revolution}] \quad (6)$$

이며, 전동기의 회전위치를 결정하는 인코더는 증가형 옵티컬 인코더(Incremental optical encoder) 방식으로 1회전당 120개의 펄스를 발생하며, VCO의 감도 $K_v = 26.97[\text{kHz/V}]$ 이다.

Lead가 0~50[cm]까지 변화할 때 이에 대응하는 VCO출력 주파수는 제어 시스템의 변환요소 (conversion factor)로서 작용한다.

$$\begin{aligned} \text{Conversion factor} &= \frac{50[\text{cm}]}{48.56[\text{kHz}]} \\ &= 1.03[\text{cm/kHz}] \end{aligned} \quad (7)$$

따라서 (7)을 만족하는 위치/전압변환기의 이득 $K_p = 36[\text{mV/cm}]$ 이며, 결과적으로 $K_v \cdot K_p$ 에 의해 제안된 시스템의 변환요소를 결정할 수 있다. 한편 사용된 DC 서보 전동기의 기계적 시정수 $\tau_m = 250[\text{ms}]$, 서보 증폭기와 전동기의 이득 $K_m = 45.781[\text{rad/sec/V}] = 2.916[\text{cm/sec/V}]$ 이고, 전동기의 최대 속도 $W_m = 228.91[\text{rad/sec}] = 14.58[\text{cm/sec}]$ 이다. 그리고 주파수 오차 선형범위 f_b 에 대응하는 목표값의 최대 선형 변동범위 $\theta_b = \pm 8[\text{cm}]$ 이다. 따라서, $f_b = K_v \cdot K_p \cdot \theta_b = (0.036) \cdot (26.97) \cdot (8) = 7.767[\text{kHz}]$ 이고 D/A변환기의 최대 출력 전압은 5[V]이므로, $N = 3846$, $P = 1.3[\text{mV}]$ 이다.

4.2 실험결과

위에서 설계한 파라미터에 의해 실험한 결과가 그림 10과 그림 11에 나타나 있다. 그림 10은 정상상태의 위치명령에 해당하는 기준 주파수를

35.714[kHz]에서 72.382[kHz]로 위치명령을 입력했을 때의 위치응답 곡선이다. 전동기는 비동기 상태에서 동작하여 $t = 2.6[\text{sec}]$ 까지 최대 속도로 동작하여 동기 상태로 되며 $t = 2.9[\text{sec}]$ 에서 목표값인 35.6[cm]에 도달하여 정지한다. 이때 최대 오버슈트는 3.68[%]이다. 그림 11은 위치명령 주파수를 38.461[kHz]으로 입력했을 때의 위치응답곡선으로 동기상태에서 동작하여 $t = 1.2[\text{sec}]$ 에서 목표값 2.83[cm]에 도달하며 최대 오버슈트는 2.62[%]로서 양호한 응답특성을 나타내고 있다.

5. 결 론

본 연구에서는 자동화시스템의 제어성능 향상을 위해서 마이크로프로세서를 이용한 디지털 서보 제어 시스템을 설계하였다. 주파수 차에 비례하여 출력전압을 발생하는 디지털 공급식 제어를 제안하여, 양자화 기능을 경사가변형으로 설계하고, 궤환회로에는 적응 선밀도 선택기를 설계하여 플랜트의 저속회전시에도 고주파의 궤환신호를 발생하였다. 이렇게 하여 기준 입력신호와 주파수를 신속히 비교를 하여 응답특성을 개선함과 동시에 분해능과 정밀도를 향상시킨 자동화 시스템의 고속 정밀 제어를 실현하였다. 앞으로의 연구 과제는 시스템의 비선형 특성을 나타내는 플랜트의 불감대 영역에서도 고속 정밀 제어가 가능하도록 이에 대한 제어회로 설계에 관한 연구 및 검토가 이루어져야 하겠다.

참 고 문 헌

- 1) NK Sinha, NH Bailey, "Speed control of a DC servo motor using Phaselockedloops : some test results of a practical design," IEEE Trans Ind Electron Contr Instrum, vol IECI-23, no 1, pp 22~28, Feb 1978
- 2) FM Gardner, Phaselock Techniques John Wiley & sons, pp 92~134, 1979
- 3) J Tal, "Speed control by phase-locked servo systems new possibilities and limitations," IEEE Trans Ind Electron Contr Instrum, vol IECI-24, no 1, pp 115~118, Feb 1977
- 4) N Maragaris, V Petridis, "PLL speed regulation of fractional

horsepower series and universal motors," IEEE Trans Ind Electron, Vol. IE-31, no.3, pp.277~281, Aug 1984

- 5) Th.L.Laopoulos, C.A.Karybakas, "A phase locked motor speed control system with a sample-and-hold phase detector," IEEE, Trans. Ind Electron, Vol.35, no.2, pp.245~252, May 1988
- 6) G.C.Hsieh, Y.P.Wu, C.H.Lee, and C.H.Liu, "An adaptive digital pump controller for phase-locked servo system," IEEE Trans Ind Electron., Vol. IE-34, no.3, pp.379~386, Aug 1987
- 7) J.C.Li, G.C.Hsieh, "A phase/frequency-locked controller for stepping servo control systems", IEEE Trans Ind Electron, Vol.39, no.2, pp.112~119, Apr 1992
- 8) Prospero C Naval, "Optical shaft encoder processor with stall detection capability", IEEE Trans Ind Electron, Vol. IE-34, no.4, pp.449~450, Nov 1985.
- 9) D.F.Geiger, Phaselock loops for DC motor speed control John willy & sons, pp.17~56, pp.73~92, 1981
- 10) B.C.Kuo, Digital Control System Hdt, 1980

◇ 著者紹介 ◇



조 정 환(趙正煥)

1963年 12月 12日生. 1988年 漢陽大
電子工學科 卒業. 1990年 漢陽大學
院 電子工學科 卒業(碩士). 現在 漢
陽大學院 電子工學科 博士課程, 生
產技術研究院 研究員.



이 철 직(李喆稷)

1955年 11月 25日生. 1978年 漢陽大
電氣工學科 卒業. 1980年 漢陽大學
院 電氣工學科 卒業(碩士). 1993年
漢陽大學院 電氣工學科 卒業(博士).
1985~92年 生產技術研究院 前任研究員. 現在 大林專
門大學 電氣科 助教授.