

Co/GaAs계의 계면반응, 상평형 및 전기적 특성에 관한 연구

곽준섭 · 백홍구 · 신동원* · 박찬경* · 김창수** · 노삼규**

연세대학교 금속공학과, 서울 120-749

*포항공과대학교 재료금속공학과, 포항 790-600

**한국표준과학연구원 소재특성평가센터, 대전 305-606

The Interfacial Reactions, Phase Equilibria and Electrical Properties of Co/GaAs System

J.S. Kwak, H.K. Baik, D.W. Shin*, C.G. Park*, C.S. Kim** and S.K. Noh**

Department of Metallurgical Engineering, Yonsei University, Seoul 120-749

**Department of Materials Science and Engineering, Pohang University*

of Science and Technology, Pohang 790-600

***Korea Research Institute of Standards and Science, Materials Evaluation Center, Daejeon 305-606*

초 록 Co박막과 GaAs 기판과의 계면반응, 상평형 및 전기적 특성에 관한 연구를 300-700°C 열처리구간에서 행하였다. Co/GaAs계의 계면반응에서 첫반응생성상은 준안정상인 Co₂GaAs로, 380°C에서 30분 열처리 후 관찰되었다. 420°C에서는 Co가 모두 GaAs와 반응하여 CoGa 및 CoAs가 생성되어 층구조는 CoGa/CoAs/Co₂GaAs/GaAs로 되었고 460°C까지 유지되었다. 증착직후와 460°C까지의 열처리온도 구간에서 Co/n-GaAs다이오드는 정류접촉 특성을 나타내어, 증착직후의 쇼트키장벽 높이는 0.688eV였고 460°C까지는 약간 증가하여 0.72eV가 되었다. 500°C이상의 열처리 온도에서는 Co₂GaAs가 분해되어 층구조는 CoGa/CoAs/GaAs로 변화되었고, 쇼트키장벽 높이가 급감하였다. Co/GaAs 계면반응 결과는 Co-Ga-As 3원계 상태도로부터 이해될 수 있었다.

Abstract Interfacial reactions, phase equilibria and electrical properties of Co films on (001) oriented GaAs substrate, in the temperature range 300-700°C for 30min, have been investigated using x-ray diffraction and Auger electron spectroscopy. Cobalt started to react with GaAs at 380°C by formation of Co₂GaAs phase. At 420°C, CoGa and CoAs nucleated at the Co and Co₂GaAs interface and grew with Co₂GaAs upto 460°C. Contacts produced in this annealing regime were rectifying and the Schottky barrier heights increased from 0.688eV(as-deposited state) up to 0.72eV(420°C). In the subsequent reaction, the ternary phase started to decompose and lost stoichiometry at 500°C. At higher temperature, Co₂GaAs disappeared and CoGa/CoAs/GaAs layer structures were formed. Contacts produced at higher temperature regime (>500°C) showed very low effective barriers. The results of interfacial reactions can be understood from the Co-Ga-As ternary phase diagram.

1. 서 론

III-V족 화합물 반도체인 GaAs는 높은 전자 이동도(Electron Mobility)와 부정저항(Negative Differential Resistance) 특성 및 직접 천이(Direct Transition)형 광특성을 지니고 있기 때문에, MESFET(Metal Semiconductor Field Effect Transistor), HBT(Heterojunction Bipolar Transistor), HEMT

(High Electron Mobility Transistor), MMIC(Monolithic Microwave Intergrated Circuit) 등 초고속, 초고주파 소자에 널리 이용되고 있다¹⁾. 특히 최근에는 광소자와 전자 소자를 집적화하는 광전집적회로(Optoelectronic Intergrated Circuit)가 차세대 IC로써 그 연구개발이 본격화됨에 따라 광특성과 초고주파 특성을 함께 지니고 있는 GaAs 및 관련 공정 연구가 더욱 활발해 지고 있다²⁾.

이러한 연구중, GaAs기판과 접촉 금속간의 계면반응에 관한 연구는 GaAs소자 제조공정의 재현성 및 소자 동작시의 신뢰성 향상을 위하여 중요하며^{3,4)}, 소자의 집적도가 향상될수록 접촉 금속의 확산 길이 제어가 요구되어 접촉금속과 GaAs의 반응에 따른 미세구조, morphology 및 조성 분포의 변화에 대한 연구가 필수적이다.

대부분의 GaAs소자에 대한 접촉 금속에는 전이금속(Transition Metal)이 포함되며 이러한 전이 금속은 열처리 온도가 증가함에 따라 GaAs와 반응하여 새로운 안정상을 형성한다⁴⁾. GaAs 기판과 전이금속과의 반응은 두 그룹으로 구분할 수 있다. 첫번째 그룹은 Ni과 Pd 등의 준 귀금속들로, Ni 및 Pd와 GaAs와의 반응은 상대적으로 낮은 열처리 온도(<300°C)에서 Ni 및 Pd의 in-diffusion으로 시작되고 준안정상인 Ni₃GaAs 및 Pd₃GaAs 3원계상이 형성된다^{5,6)}. 두번째 그룹은 Ta, Mo등의 내열금속들로, 내열금속과 GaAs와의 반응은 높은 열처리 온도(>500°C)에서 Ga과 As의 out-diffusion으로 시작되고 안정한 이원계 화합물이 형성된다^{7,8)}. 한편, Co와 GaAs의 반응의 경우, 두 그룹의 중간적인 특성을 나타낸다고 보고되었으나⁹⁾ Co/GaAs의 계면반응에 대한 연구는 아직 미흡하다.

본 연구에서는 열처리 온도의 증가에 따른 Co/GaAs계의 계면 반응을 연구하고, Gibbs 상률에 기초하여 열역학 자료로부터 계산한 Co-Ga-As 3원계상태도¹⁰⁾로부터 계면반응을 이해하고자 하였으며, 전기적 특성을 평가하여 계면반응 결과와 비교하고자 하였다.

2. 실험 방법

본 연구에서 사용한 GaAs기판은 두 종류로, 계면반응의 연구는 CrO 도핑된 반절연 GaAs기판을, 다이오드 특성 평가 연구는 Si가 $2.7 \times 10^{17} \text{cm}^{-3}$ 로 도핑된 n형 GaAs 기판을 사용하였다. Co 박막은 R.F. magnetron sputtering으로 증착하였고 증착두께는 500 Å 이었다. 증착하기전의 초기진공은 8.5×10^{-7} Torr이 하였으며 증착중의 진공도는 고순도 아르곤 가스를 주입하여 5mTorr로 유지하였다. 500 Å의 Co증착후, As out-diffusion을 억제시켜 Co/GaAs 계면반응이 닫힌계(Closed System)

에서 일어나게 하기위하여, 1200 Å의 Si capping층을 증착시키고 capping층과 Co층과의 반응을 억제시키고자 Co와 capping층 사이에 얇은 oxide를 증착시켰다. 증착된 시편은 진공 열처리로에서 300-700°C 구간에서 열처리하였고 진공도는 3×10^{-6} Torr 이하였다.

증착 및 진공 열처리 후, 계면반응에 의하여 생성된 결정상을 확인하기 위하여 Glancing angle X-ray Diffraction(GXRD) 분석을 하였고, 열처리 온도에 따른 각 원소의 깊이 방향 분포변화를 측정하기 위하여 AES depth profile 분석을 행하였다. 또한, 다이오드 특성 평가를 위하여 먼저 GaAs기판 뒷면에 1000 Å의 Au-Ge(12wt% Ge)합금을 열증착기로 증착시키고 H₂ 분위기에서 400°C, 3분간 열처리하여 backside ohmic contact를 형성시켰으며, GaAs 기판 표면에는 metal mask를 이용하여 직경 550 μ m의 Cobalt 다이오드 dot를 형성시켰다. Co/n-GaAs 쇼트키 다이오드를 형성시킨 후 순방향 전류-전압법을 이용하여 쇼트키 장벽 높이 및 ideality factor를 구하였다.

3. 결과 및 고찰

3-1 계면반응

(001) GaAs기판에 증착된 Si(1200 Å)/oxide/Co(500 Å)박막의 열처리 전 GXRD 및 AES depth profile 결과를 Fig. 1에 나타내었다. 증착된 박막중 Co만이 GXRD에서 peak으로 검출되었고, Si과 oxide peak은 관찰되지 않았다. 이는 Si 및 oxide를 sputtering시키면 비정질상태로 증착된다는 보고와 일치하는 것으로¹¹⁾, 본 연구에서도 Si 및 oxide는 비정질상태로 증착되어 GXRD에서는 검출되지 않았을 것으로 생각된다. AES depth profile로부터 증착된 박막내에는 미량의 O와 C가 불순물로 존재하였으며, Si과 Co계면에 얇은 oxide가 존재함을 확인하였다.

Co/GaAs계의 첫계면 반응은 380°C, 30분 열처리하였을 때 나타났으며, 이에 대한 GXRD 결과를 Fig. 2(a)에 나타내었다. GXRD 결과, $2\theta=34^\circ$ 및 65° 에서 새로운 peak이 검출되었고, 이는 Co/GaAs 계면반응에 의하여 생성된 상의 peak으로, CoAs 또는 Co₂GaAs 화합물로 추정된다. CoAs와 Co₂GaAs의 결정구조 및 격자상수는 동일하여¹²⁾ GXRD결과로

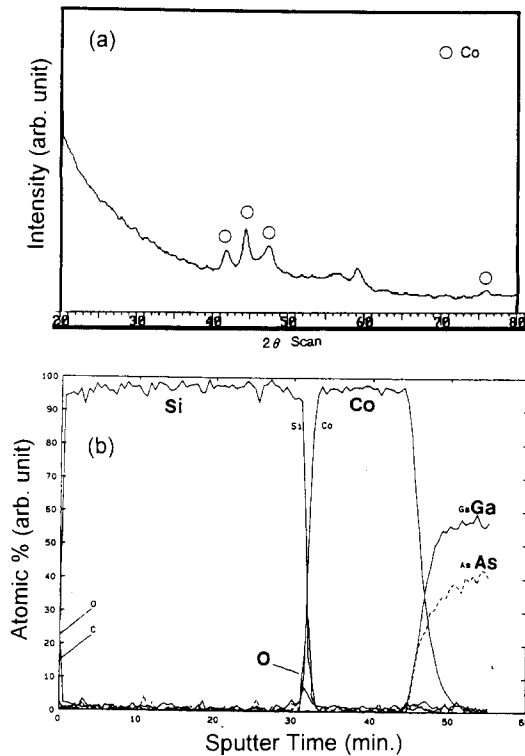


Fig. 1 As deposited state of Si/oxide/Co thin films on (001) GaAs substrates : (a) GXR patterns (b) AES depth profile

는 구별할 수 없으므로, 이를 규명하고자 AES depth profile 분석을 하였으며, 이를 Fig. 2(b)에 나타내었다. Fig. 2(b)로부터 sputter time 56-60분 구간에서 Co와 Ga 및 As이 공존함을 확인하였고, 또한 단면 투과전자현미경 및 Energy Dispersive X-ray Spectroscopy 분석에 의하여 Co와 GaAs계면의 첫 반응생성상은 Co_2GaAs , 3원계상임이 보고되어¹³⁾, Co/GaAs계면의 첫 생성상은 Co_2GaAs 로 판단된다.

Co_2GaAs 는 준안정상인 것으로 보고되었으며⁹⁾, 본 연구에서 준안정상인 Co_2GaAs 가 첫 생성상으로 나타난 원인은 첫째, $\text{Co}_2\text{GaAs}/\text{GaAs}$ 계면이 낮은 계면에너지를 지니 Co_2GaAs 의 핵생성에 대한 장벽이 평형상인 CoGa 및 CoAs의 핵생성 장벽보다 낮기 때문이거나 둘째, Co, Ga 및 As의 상대적인 확산 속도차에 의하여 Co_2GaAs 의 생성이 속도론적으로 우세하기 때문이라 가정할 수 있다. 첫째 가정은 Co_2GaAs 와 GaAs계면은 에피택셜

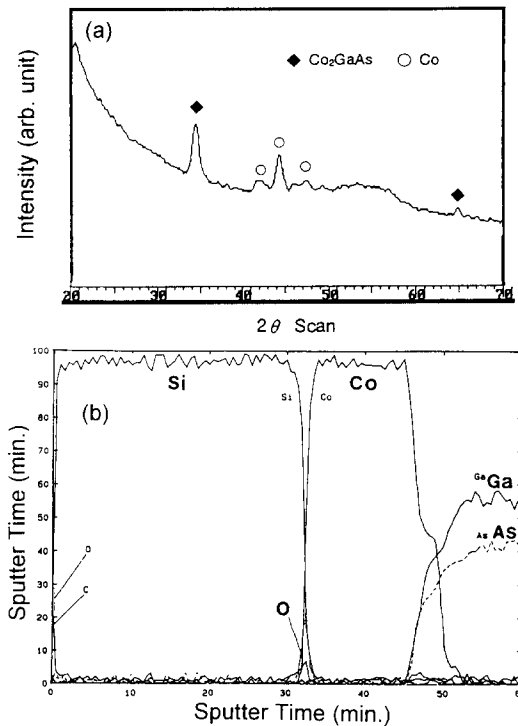


Fig. 2. After annealing at 380°C for 30min : (a) GXR patterns (b) AES depth profile

관계를 지니 낮은 열처리 온도에서는 에피택셜 Co_2GaAs 의 핵생성이 계면에너지면에서 유리하여 준안정상인 Co_2GaAs 가 첫 생성상으로 형성되었다는 M. Genut 등의 보고에 근거하였다⁹⁾. 그러나, 위의 첫째 가정은 평형상인 CoAs 및 CoGa 역시 GaAs와 에피택셜 관계를 형성하여 낮은 계면에너지를 지닌다는 보고⁴⁾로부터 제외하였다. 두번째 가정은 Co, Ga 및 As의 상대적인 확산속도차에 의하여 준안정상인 Co_2GaAs 가 생성된다고 제시한 F.Y. Shiau의 보고에 근거하였다¹⁴⁾. Table 1에서 1025°C 경우 D_{Co} 가 D_{Ga} 또는 D_{As} 보다 10^6 배 이상 큼을 알 수 있고, GaAs 분해온도 이하인 380°C에서는 Co가 GaAs내의 침입형자리를 통하여 매우 빨리 확산한다는 보고로부터¹⁴⁾, Co의 GaAs내로의 in-diffusion이 Ga 및 As의 확산보다 우세하리라 판단된다. 또한, J.C. Lin 등은 금속/GaAs 확산쌍에서 금속이 주확산 원소이면, 금속-GaAs 연결선 근처의 조성을 지닌상이 첫 생성되기 쉽다고 제안하였고, 이

는 상을 형성하기 위한 원소의 이동이 최소화되기 때문이라고 제시하였다⁹⁾. Co/GaAs의 경우 380°C 이하의 열처리온도에서는 Co가 주확산 원자이므로, J.C. Lin등의 제안과 Co의 GaAs내로의 in-diffusion이 용이하다는 판단으로부터 준안정상인 Co₂GaAs의 생성은 평형상의 생성보다 속도론적으로 우세하리라 생각된다.

이상의 고찰로부터 준안정상인 Co₂GaAs가 첫 반응생성상으로 나타난 원인은 Co₂GaAs와 GaAs계면의 에피텍셜 관계에 의한 낮은 계면에너지에 기인한 것이 아니라, Co가 GaAs로 쉽게 in-diffusion함에 따른 Ga과 As의 단범위 원자 재배열에 의하여도 Co₂GaAs가 생성되므로, 장범위 원자 재배열이 요구되는 CoGa 및 CoAs 평형상보다 속도론적으로 우세하기 때문이라 판단된다.

첫 반응생성상 이후의 계면반응과정을 규명하고자 열처리 온도를 420°C이상으로 증가시킨 후 GXRDb분석한 결과를 Fig. 3에 나타내었다. GXRDb 분석결과, 420°C에서는 Co peak

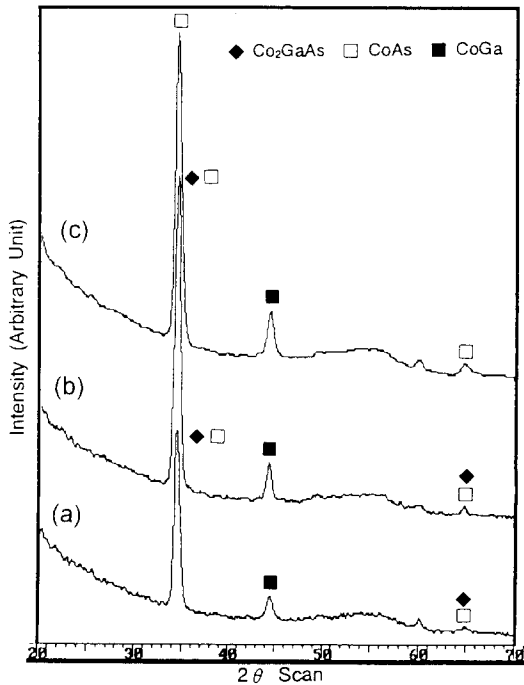


Fig. 3. GXRDb patterns of Si/oxide/Co/GaAs after annealing (a) 420°C, 30min (b) 500°C, 30min (c) 700°C, 30min

은 모두 사라졌고 CoGa peak이 나타났으며 CoAs peak의 강도는 급증하였다. 420°C의 GXRDb Pattern은 열처리온도가 700°C까지 증가하여도 계속 유지되었다. GXRDb로부터 관찰된 생성상들의 위치를 확인하고자 AES depth profile분석을 하였으며, 그 결과를 Fig. 4 및 Fig. 5에 나타내었다. Fig. 4(a)로부터 sputter time 22-26분 구간에서는 주된 원소가 Co, Ga이고 sputter time 27-31분 구간에서는 Co, As 및 소량의 Ga이 존재하였으며, sputter time 32-38분인 구간에서는 Co, Ga, As이 있음을 확인하였다. 이로부터, 420°C 열처리 온도에서의 층 구조는 CoGa/CoAs/Co₂GaAs/GaAs로 판단된다. 500°C 열처리 온도에서는, 420°C의 단면구조를 유지하나, Co₂GaAs에 해당하는 sputter time 30-36분 구간에서 Ga peak의 변화가 관찰되었다. 이는 Co₂GaAs층의 분해가 진행되어, stoichiometry가 깨지기 때문이라 생각된다. 열처리 온도가 600°C이상으로 증가되면 Co₂GaAs의 분해가 진행되어 결국 CoGa/CoAs/GaAs의 단면구조로 변화됨을 Fig. 5로부터 확인하였다.

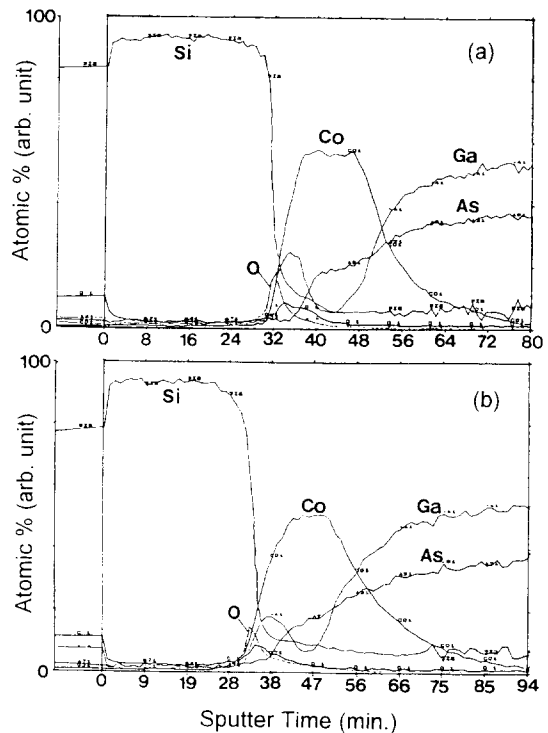


Fig. 4. AES depth profile : (a) after annealing at 420°C, 30min (b) after annealing at 500°C, 30min

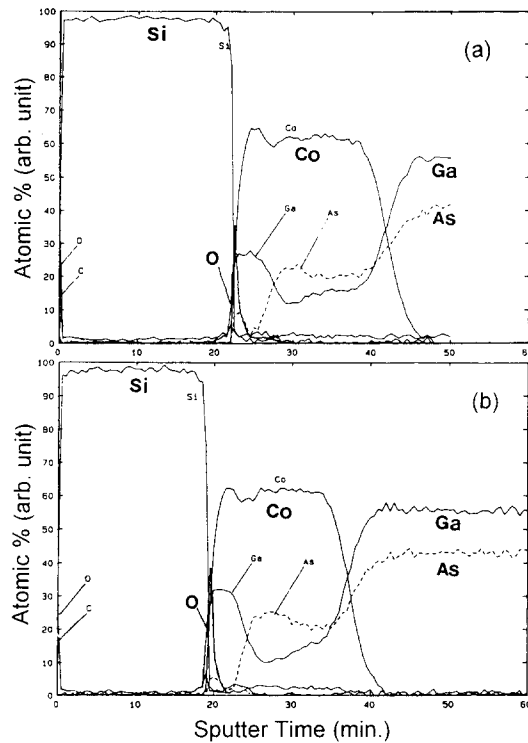


Fig. 5 AES depth profile : (a) after annealing at 600°C, 30min (b) after annealing at 700°C, 30min

열처리 온도 420–700°C 구간에서는 Co와 Co₂GaAs의 계면에서 생성된 CoGa와 CoAs의 수직분리가 관찰되었다. T. Sands 등은 수직분리가 일어나기 위한 조건으로 증착된 Co의 두께가 CoGa 및 CoAs의 평균 결정립 크기보다 커야한다고 제시하였다⁴⁾. 만일, 증착된 Co 두께가 CoGa 및 CoAs의 두께와 비슷하다면, 수직분리는 일어나지 못하고, CoGa 및 CoAs가 서로 번갈아 GaAs계면에 형성된다고 제시하였다. 또한, M. Genut 등은 수직분리가 일어나기 위해서는 Co₂GaAs가 생성된 후, 반응하지 않은 Co가 있어야만 한다고 제안하고, Co가 잔류한 경우와 잔류하지 않은 경우를 비교하여 반응하지 않고 남은 Co가 수직분리를 촉진한다고 제시하였다⁹⁾. 본 연구에서는, Co의 증착 두께가 500Å로 420°C에서 형성되는 CoGa 및 CoAs의 보고된 결정립 크기보다는 두껍고⁴⁾, Fig. 2(b)에서 나타난 바와 같이 Co₂GaAs가 생성된 후에도 Co가 잔류함을 알 수 있으므로, T. Sands 및 M. Genut 등이 제안한 수직분리 조건에 모두 부합하여 수직분리가 일어나기 위한 조건을 만족시켰다.

이러한 수직분리의 원인은 다음의 2가지로 생각된다. 첫째는 Table 1에 제시된 바와같이

Table 1. Diffusion coefficients(cm²/sec) of Co, Ga and As

Element	Diffusion coefficient(cm ² /sec)		
	D	D ⁰	Q(Kcal/mole)
Co ¹⁾	2.97 × 10 ⁻¹¹ (580°C)	19	46.4
Ga ²⁾	2.89 × 10 ⁻¹⁵ (1025°C)	3.9 × 10 ⁻⁵	60.3
As ²⁾	8.7 × 10 ⁻¹⁶ (1025°C)	5.5 × 10 ⁻⁴	69.1

1) G.S. Kulikov et al, Sov. Phys.-Solid State, Vol 14, p2335 (1973)

2) F.S. Shishiyam et al, Phys. Stat. Sol. (a), Vol 40, p29 (1977)

Ga의 확산도가 As의 확산도보다 커서 Ga이 Co쪽으로 빠르게 확산하여 CoGa를 형성시키고, Ga의 확산 후 As만 남은 곳에서 CoAs이 생성된다는 것이고, 둘째는 CoAs와 Co₂GaAs는 동일구조이므로 CoAs가 Co₂GaAs위에 정합 핵생성하는 것이 열역학적으로 유리하기 때문에 수직분리가 일어난다는 것이다. 이는 Ni/GaAs계에서 NiAs와 Ni₃GaAs는 동일구조를 지니며 Ga의 확산도가 As의 확산도보다 커, NiGa/NiAs/GaAs의 수직 분리가 일어남

으로부터⁴⁾ 타당함을 확인하였다. 이상에서, CoGa와 CoAs의 수직분리는 증착된 Co의 두께가 충분히 두꺼워 Co₂GaAs가 생성된 후, 반응하지 않은 Co가 수직분리를 촉진하였으며, Ga의 out-diffusion이 As의 out-diffusion 속도보다 빠르고 CoAs/Co₂GaAs 계면의 에너지가 낮기 때문이라 판단된다.

이상의 실험에서, 열처리 온도에 따른 Co/GaAs 계면의 반응결과는, 380°C, 30분 열처리 후 Co₂GaAs가 첫 반응생성상으로 나타났

고, 열처리온도의 증가에 따른 단면구조는 CoGa/CoAs/Co₂GaAs/GaAs → CoGa/CoAs/GaAs로 변화됨을 알았다.

3-2 Co-Ga-As 3원계 상태도와 계면반응 결과의 비교

이상의 계면반응 결과는 Gibbs 상률에 근거하여 열역학 계산으로부터 구한¹⁰⁾ Co-Ga-As 3원계 상태도(Fig. 6)에서 잘 이해되었다. Fig. 6에서 Co와 GaAs 사이에는 tie line이 존재하지 않으므로, 확산이 충분히 빠르게 진행될 수 있는 온도가 되면 GaAs와 Co계면에서 반응이 일어나야 한다. 이는 본 연구에서 380 °C, 30분 열처리하였을 경우 Co/GaAs 계면에서 반응이 일어나 Co₂GaAs가 생성됨으로 확인되었다.

Co가 GaAs내로 먼저 in-diffusion하며 Co가 제한원소이므로, Co₂GaAs의 분해가 진행되면 최종 평형상태는 CoGa-CoAs-GaAs의 3상이 공존하는 구간이 된다. 즉, Co의 in-diffusion에 의하여 반응이 진행되므로 Co-Ga-As 연결선에서 Materials Balance가 GaAs 근처에서부터 Co쪽으로 이동되어 CoGa-CoAs-GaAs 3상 평형구간에 머무르게 된다. 또한, Co의 공급이 제한되고, Ga 및 As의 공급은 상대적으로 무한히 계속되므로 CoGa-CoAs-GaAs 3상 평형지역에서 CoGa-CoAs-Co₂As 3상 평형지역으로 넘어가지 못하게 된다. 이는 Fig. 3 및 Fig. 5에서 Co가 모두 소비되어 사라진 후, 500 °C 이상에서는 최종적으로

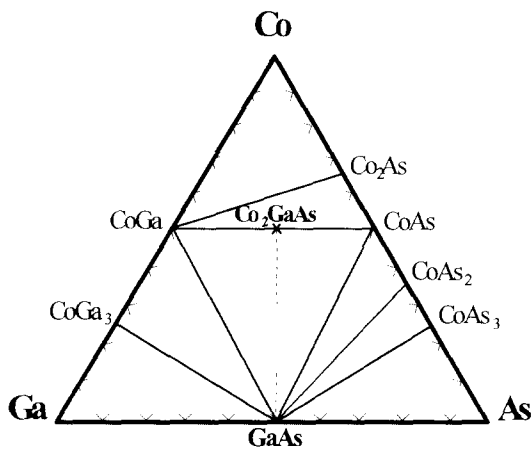


Fig. 6 Co-Ga-As ternary phase diagram(ref. 10)

CoGa/CoAs/GaAs 층이 형성된 본 실험결과와 일치하였다.

3-3 Co/n-GaAs 다이오드 특성 평가

Co/GaAs diode에 대한 순방향 전류-전압(I-V) 측정결과를 Fig. 7에 나타내었다. 열처리 온도가 460 °C이하에서는 ln I와 V의 관계가 직선적임이 관찰되었다. 이는 전류전도가 주로 열전자방출 기구에 의하여 이루어지는 정류접촉(Rectifying Contact)임을 의미한다¹⁵⁾. 500-600 °C구간에서는 Schottky 장벽을 통한 전류값이 수 order 상승하여 I-V곡선에 급격한 변화가 일어났고 ln I와 V의 관계가 더 이상 직선적이지 않았다.

Fig. 8에 나타난 ln I-V곡선의 직선구간을 연장하여 전류축과 만나는 점으로부터 구한 Schottky장벽 높이 및 직선구간의 기울기로부터 구한 Ideality Factor를 Fig. 8에 나타내었다. Fig. 8에 표시된 Error Bar는 한 열처리 온도당 7개 이상의 diode에 대한 순방향 I-V 측정을 하여 얻은 Schottky장벽 높이 및 Ideality Factor의 편차이고, 연결선은 평균값이다.

증착직후의 Schottky장벽 높이는 0.688eV 이고, Ideality Factor는 1.355였다. 380-420 °C 구간에서의 Schottky 장벽 높이는 0.72eV로 약간 증가되었고, Ideality Factor는 1.09로 Ideal값인 1에 접근하여 거의 이상적인 정류 작용을 나타내었다. 열처리 온도의 증가에 따

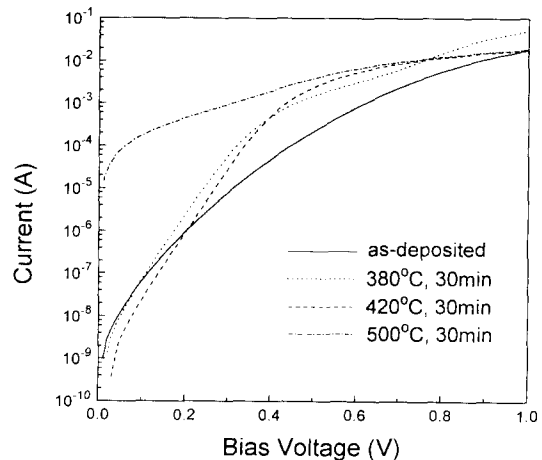


Fig. 7 Current-voltage characteristics(forward bias) of the Co/n-GaAs diodes after annealing at various temperatures.

른 장벽높이의 증가는 계면반응과 연관된다. 증착직후의 Co/n-GaAs 계면상태는 Fig. 1의 AES depth profile에서 나타난 바와 같이 O 및 C 등의 불순물이 약간 존재하였으나, Co의 in-diffusion에 의하여 Co_2GaAs 가 형성되면 새로운 금속/반도체 계면, 즉 Fig. 2(b)에 나타난 바와 같이 불순물이 적고 sharp한 $\text{Co}_2\text{GaAs/n-GaAs}$ 계면이 형성되므로 이상적인 전류작용을 보인다고 판단된다.

500-600°C 구간에서의 Schottky장벽 높이는 0.45eV로 급격히 감소하였고, Ideality Factor는 1.8이상으로 급격히 증가하였다. 500-700°C 구간에서는 ln I-V 곡선에서 직선인 구간이 없으므로, 큰 Series저항이나 낮은 Schottky 장벽 높이 경우에 적용되는 Norde Analysis로¹⁶⁾ Schottky장벽 높이를 구하였다.

500°C 이상의 열처리 온도에서 Schottky장벽 높이가 급감하고 Ideality Factor가 급증하는 원인은 첫째, 계면반응에 의하여 새로이 형성된 금속/반도체 계면, 즉 CoAs/n-GaAs

의 특성 때문이라는 가정과 둘째, Co의 GaAs 내로의 용해로 인하여 재결합 중심이 생성되었기 때문이라는 가정과 셋째, 고온에서의 Ga 및 As out-diffusion 또는 Co_2GaAs 의 분해시 형성된 비화학양론적(Non-stoichiometry) GaAs때문이라는 가정을 할 수 있다. 첫번째 가정은 Fig. 3에 나타난 바와 같이 600°C가 되면, 금속/반도체 계면은 $\text{Co}_2\text{GaAs/n-GaAs}$ 에서 CoAs/n-GaAs로 전이됨에 근거하였다. 그러나, 500°C이상에서 나타난 장벽높이의 급격한 감소는, CoAs을 GaAs기판위에 분자선 에피텍시로 증착시킨 후 Schottky장벽 높이를 측정된 결과, 0.85eV였다는 보고에¹⁷⁾ 근거하여 새로이 형성된 CoAs/n-GaAs 계면에 의한 현상은 아닌 것으로 판단된다.

두번째 가정은 F.Y. Shiao등이 Bulk실험에서 구한 Co-Ga-As 상태도에서 GaAs의 Co에 대한 용해도가 약 2at.%였다는 보고에 근거하였다¹⁴⁾. 이 용해도 값은 $\sim 2.2 \times 10^{20}\text{cm}^{-3}$ 의 dopant 농도에 해당하는 것으로, GaAs의 dopant로서의 Co는 GaAs bandgap내에 Deep Acceptor 준위를 형성한다는 보고로부터¹⁵⁾ 이 준위가 재결합 중심(Recombination Center)으로 작용하여 재결합 전류를 형성하고 이에 의하여 장벽 높이가 낮게 측정되었다고 생각된다.

세번째 가정은 Fig. 5에서 나타난 바와 같이 CoAs와 GaAs의 계면이 sharp하지 않다는 것과 CoAs가 접한 GaAs는 비화학양론임에 근거하였다. non-stoichiometry GaAs는 Ga-As 결합에 의한 반도체의 특성을 나타내지 못하고 Ga-Ga 및 As-As 결합의 특징을 나타내므로, 계면에 존재하는 여러 혼합상인 Microcluster의 일함수와 관계된다는 유효일함수 모델로부터¹⁹⁾ Ga-Ga 및 As-As 결합이 Microcluster로 작용하여 장벽높이가 낮게 측정되었다고 생각된다.

이상의 고찰로부터 500°C 이상의 열처리 온도에서 Schottky장벽 높이가 급감하고 Ideality Factor가 급증하는 원인은 Co의 용해로 인한 재결합 전류의 생성 및 비화학양론적 GaAs의 형성으로 인한 Ga-Ga 및 As-As 결합의 Microcluster작용 때문이라는 추론이 가능하다고 판단되며, 이에대한 보다 집중적인 연구가 필요한 것으로 판단된다.

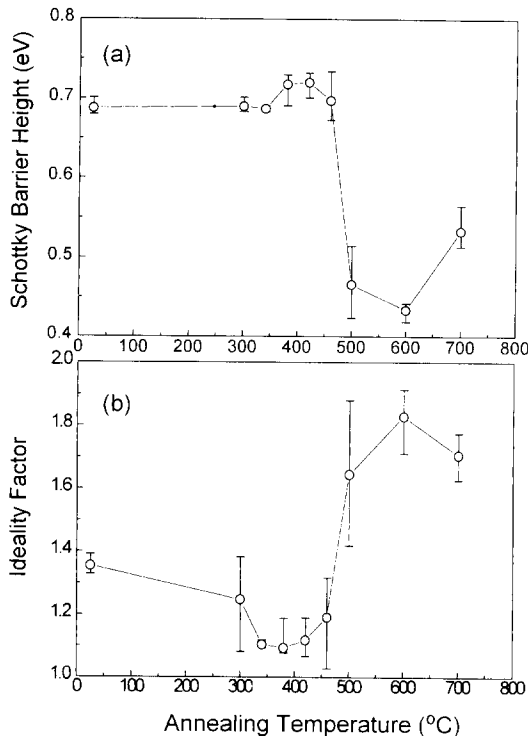


Fig. 8 (a) Schottky barrier heights and (b) ideality factors as a function of annealing temperatures for Co/n-GaAs diodes.

4. 결 론

Co/GaAs계의 계면반응, 상평형 및 전기적 특성평가를 연구한 결과, 첫 계면 반응은 380 °C 열처리 후에 관찰되었고 첫 생성상은 준안정상인 Co₂GaAs였다. 420°C에서는 Co가 모두 GaAs와 반응하여 CoGa 및 CoAs가 생성되어 층구조는 CoGa/CoAs/Co₂GaAs/GaAs로 되었고 이 구조는 460°C까지 유지되었으며, 500°C 이상의 열처리 온도에서는 Co₂GaAs가 분해되어 층구조는 CoGa/CoAs/GaAs로 변화되었다. Co/GaAs계에서 계면반응에 의한 층구조는 Co/GaAs→Co/Co₂GaAs/GaAs→CoGa/CoAs/GaAs로 변화되었고, 이 결과는 Co-Ga-As 3원계 상태도에서의 예측과 일치하였다. Co/n-GaAs diode의 열처리온도에 따른 Schottky장벽 높이를 측정된 결과, 열처리전의 장벽높이는 0.688eV였고, 380-420°C의 열처리온도 구간에서는 0.72eV로 증가하였으며, 500°C 이상에서는 0.5eV이하로 급격히 감소하였다. 이러한 전기적 특성의 변화는 계면반응과 연관되어 이해되었다.

후 기

본 연구는 1994년도 교육부 학술연구조성비(반도체 분야, ISRC-94-E-3053)의 지원에 의한 것으로 이에 감사드립니다.

참 고 문 헌

1. R. Williams, *Modern GaAs Processing Methods*, Artech Press. (1990)
2. H. Morkoç et al, *Principles and Technology of MODFETs*, Wiley, London (1991)
3. T.C. Shen, G.B. Gao, and H. Morkoç, *J. Vac. Sci. Technol. B10*, 2113 (1992)
4. T. Sands, V.G. Keramidas, K.M. Yu, J. Washburn, and K. Krishnan, *J. Appl. Phys.* 62, 2070 (1987)
5. J.C. Lin, K.J. Schulz, K.C. Hsieh, and Y.A. Chang, *J. Electrochem. Soc.* 136, 3006 (1989)
6. T. Sands, *Mat. Sci. Eng B1*, 289 (1989)
7. S.S. Lau, X.X. Chen, E.D. Marshall, C.S. Pai, W.F. Tseng, and T.F. Kuech, *Appl. Phys. Lett.* 47, 1298 (1985)
8. R.S. Williams, *Mater. Res. Soc. Proc.* 54, 335 (1985)
9. M. Genut and M. Eizenberg, *J. Appl. Phys.* 66, 5456 (1989)
10. R. Beyers, K.B. Kim, and R. Sinclair, *J. Appl. Phys.* 61, 2195 (1987)
11. M. Nathan, *J. Appl. Phys.* 63, 5534 (1988)
12. C.J. Palmstrøm, C.C. Chang, A. Yu, G.J. Galvin, and J.W. Meyer, *J. Appl. Phys.* 62, 3755 (1987)
13. J.S. Kwak, H.K. Baik, J.I. Lee, S.K. Noh, D.W. Shin, and C.G. Park, *Mater. Res. Soc. Proc.* 337, 337 (1994)
14. F.Y. Shiau, Ph. D. thesis, Wisconsin University (1991)
15. K.N. Tu, J.W. Mayer, and L.C. Feldman, *Electronic Thin Film Science for Electrical Engineers and Materials Scientists*, Macmillian (1992)
16. H. Norde, *J. Appl. Phys.* 57, 5052 (1979)
17. C.J. Palmstrøm, *J. Appl. Phys.* 65, 4753 (1989)
18. V.I. Fistu and K.D. Agaev, *Fiz. Tverd. Tela.* 7, 3681 (1964)
19. J.L. Freeouf and J.M. Woodal, *Appl. Phys. Lett.* 39, 727 (1981)