

DRAM 技術의 最新 技術 動向

기술해설 1

Recent Trend of DRAM Technology

유병곤, 백종태, 유종선, 유형준

(Byoung-Gon Yu, Jong-Tae Baek, Jong-Son Lyu, Hyung Joun Yoo)

Key Words(중요용어) : Fine patterning(미세가공), Lithography(리소그래피), Transistor technology(트랜지스터 기술), Cell technology(셀 기술), Capacitor structure(캐퍼시터 구조), High dielectric film(고유전율 박막), Ferroelectric film(강유전체 박막)

I. 서 론

1948년 Shockley에 의하여 트랜지스터가 발명된 이래, 1959년에 TI(Texas Instruments)사의 Kilby가 고안한 집적회로는 발명 당시의 예상울 크게 뛰어 넘는 성장을 계속하여 최근에는 최소 가공치수가 $0.35\mu\text{m}$ 인 고밀도 집적회로가 생산되고 $1/4\mu\text{m}$ 의 소자에 대한 연구도 활발하게 진행되고 있다. 이러한 집적회로 개발의 추세를 미래에 적용시켜 보면 서기 2000년경에는 $0.1\mu\text{m}$ (1 Gbit 이상의 소자)의 가공치수를 가진 집적회로가 실현 가능하게 된다. 그러나 미세가공에 따른 제조가격의 급격한 증가로 말미암아 "채널 길이 $0.1\mu\text{m}$ 인 소자가 다량으로 들어 있는 초고집적회로가 경제적으로 적당한 가격에 양산될 수 있을까?"라는 단순한 의문이 공정, 소자 그리고 회로 전문 기술자 사이에서 활발하게 논의되고 있다.

정보처리의 다양화, 고속화를 위하여 장래의 집적회로는 다량의 정보를 단시간에 처리하지 않으면 안된다. 종래, 3년에 4배의 고집적화가 실현되어 LSI개발에 기술 견인차의 역할을 하고 있는 DRAM(Dynamic Random Access Memory)은 미세화 기술의 한계를 우려하면서도 오히려 개발에 박차를 가하고 있다. 이러한 DRAM의 미세, 대용량화에는 미세가공 기술, 새로운 메모리 셀과 트랜지스터 기술, 새로운 회로 기술, 그 이외에 재료 박막 기술, Computer aided design/Design automation(CAD/DA) 기술, 검사 평가 기술 혹은 소형 패키지(package)기술등의 광범위한 기술발전이 뒷받침되어 왔다¹⁾. 그 중에서 미세가공 기술 및 새로운 트랜지스터 기술과 메모리 셀 기술을 중심으로 개발 동향을 살펴보고 최근에 발표된 1Gbit DRAM의 시제품 기술에 대하여 분석해보기로 한다.

II. 미세가공 및 트랜지스터 기술

1. 微細加工 技術

고집적화에는 소자와 배선을 축소하는 것이 중요하다. 게이트 산화막 두께와 소오스, 드레인의 접합 깊이를 축소하여 MOS 트랜지스터의 게이트 가공치수(게이트 길이)를 짧게 하거나, 트랜지스터 간이나 메모리 셀간의 소자분리폭을 작게 하여 소자의 축소를 꾀하고 있다. 또 배선, 특히 급속배선의 미세화는 대용량과 칩대형화에 있어서 특히 중요한 관심사이다. 비저항, 가공성, 신뢰성등을 고려한 관점에서 신배선재료를 포함한 광범위한 검토가 행해지고 있다.

그림 1은 DRAM에 있어서 최소가공치수에 따른 리소그래피 기술 발전의 추이를 나타낸 것이다. 광가공기술의 해상도가 계속 개선되어 1세대마다 60~70%의 치수축소가 가능하게 됨으로써 아직도 가공기술에 광이 주류를 이루고 있다. 광원은 수은 램프가 사용되어 g-선(파장 436nm), h-선(파장 405nm)등의 광이 이용되었다. 그러나 미세화의 요구에 따라 1:1의 치수비로 웨이퍼상에 전침을 일괄노광하는 밀착노광에서 1/5로 축소하여 투영노광하는 방법으로 바뀌었다. 또한 광학렌즈의 NA(개

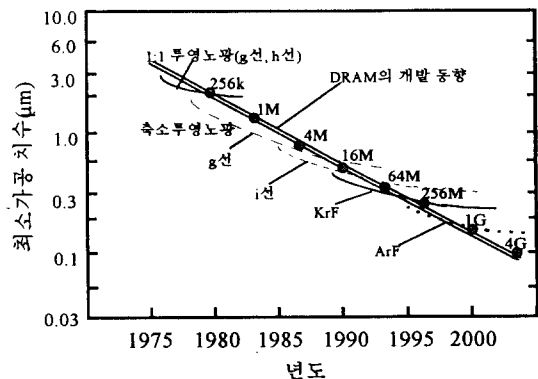


그림 1. 리소그래피 기술의 개발동향
Fig. 1. Development trends of lithography +technology.

구수)의 확대와 더불어 광원은 수은 램프의 g-선에서 미세화가 계속되고 있으며 i-선(파장 365nm)에 의한 단파장화에 의하여 더욱 미세화가 진행되고 있다. 또한 KrF(248nm)와 ArF(193nm)와 같은 엑시머 레이저광원을 이용한 연구도 계속되고 있다. 해상도는 단파장화와 높은 NA화 이외에도 마스크와 광의 조명방법의 개량에 의하여 향상시킬 수 있는데, 최근에는 반파장까지 해상이 되는 기술도 개발되고 있다²⁾. 이러한 종합화에 의하여 236M와 1G의 개발에는 광기술이 여전히 주류가 될 것으로 보인다. 그러나 1Gbit 레벨 이상에서는 시간당의 처리능력이 문제가 되고 있으나 전자선(Electron Beam)과 X선 노광이 유망하게 될 것으로 보인다. 실제로 금번에 발표한 1Gbit DRAM 기술에 NEC와 히다찌에서 부분적으로 이러한 기술을 사용하고 있다.

2. MOS 트랜지스터 技術

MOS 트랜지스터 기술은 주로 CMOS (Complementary Metal Oxide Semiconductor)기술이 사용되고 있는데, 우선 CMOS 구조를 염두에 둔 MOS형 고속 논리회로에 기본적으로 요구되는 특성들을 살펴보고 1Gbit 급에 필요한 기술을 구체적으로 알아보려고 한다.

MOS 소자에 있어서는 그 구조와 전원 전압의 최적화를 동시에 하지 않으면 안된다. 그림 2에 표시한 것처럼 제조 라인의 기술 레벨로 결정되는 최소 패턴치수(design rule)가 제안되면 그림에 표시한 제1차 조건에 맞도록 소자구조의 개요를 결정해야 한다. 이 제 1차조건은 논리 동작 소자가 최소한 만족시켜야 할 최우선 조건인데, 우선 전원

차단 때 누설 전류가 일정한 값 이하로 있을 것, 소자 특성의 장기적 신뢰성을 확보하기 위하여 내부 전계를 최대 허용 전계 이하로 억제하는 것 등이다. 다음에 이 최소 조건을 만족한 후에 논리 게이트를 될 수 있는 한 고속으로 동작시키기 위하여 전류구동력을 최대로 하는 것을 검토하여야 한다. 이 2차 조건을 만족하는 소자 구조(산화막, 기판농도, 접합깊이, 등)를 결정하면 제조 공정 라인(process line)과의 적합성과 다른 시스템과의 전원 전압의 매팅(matching)등을 생각하여 미세조정을 수행하여야 한다.

1Gbit 이상에서 필요한 0.1 μm MOS 소자 기술을 살펴보면 우선 0.1 μm 미세 MOS 소자의 구조를 결정할 때 고려하여야 할 제1 관문이 Brews가 제안한 소자 미세화의 가이드라인(guide line)이다³⁾. 이 가이드라인은 단 채널 효과와 펀치스루우(punchthrough)방지를 위하여 요구되는 것인데, $L_m = A[x_j t_{ox}(w_s + w_d)]^{1/3}$ 식으로 나타나는 조건을 만족하여야 한다. 최소 패턴치수 L_m 을 지정하면 산화막 두께(t_{ox}), 접합 깊이(x_j), 공핍층 두께(w_s, w_d)의 곱에 대한 제약이 가해진다. 즉, 소자의 미세화에는 공정이 허락하는 한 산화막 두께는 될 수 있는 한 얇게, 접합깊이는 얇게, 기판농도는 높은 것이 요구된다. 그러나 산화막을 얇게 하면 핀-홀(pin-hole)의 발생률이 높아지고, 접합을 얇게 하면 면(sheet)저항과 접촉(contact)저항이 증대하는 문제가 있다. 현재는 공정상의 제약 중에서 최적의 산화막 두께와 접합의 깊이를 결정하는 것이 중요하다. 미래에는 공정개선에 의하여 산화막의 핀-홀이 크게 감소하여 더욱 얇은 산화막이 가능하게 되리라고 생각되지만 산화막의 두께는 본질적으로 한계가 있다. 터널(tunnel)을 피하기 위한 산화막의 두께 한계는 거의 3nm 라고 생각되어 왔다. 이 제약에 의하여 0.1 μm 이하의 소자는 지금까지와 같은 스케일링 법칙이 적용되지 않을 것으로 생각되었다. 그러나 IBM, Matsushida(松本)의 발표에서는 0.1 μm 이하의 소자를 실현하고 있다⁴⁾.

또 하나 주요한 것은 드레인 근처의 전계 완화이다. 그러나 시스템과의 논리신호 전압(예를 들면 TTL level)의 정합성을 유지하기 위해서는 전원전압을 간단하게 낮출 수 없다. 그러므로 소자의 미세화에 따라 증가하는 내부전계를 어떠한 방법으로 완화하지 않으면 안된다. 단채널화와 더불어 핫 캐리어(hot carrier)가 관련한 파괴전압이 저하하

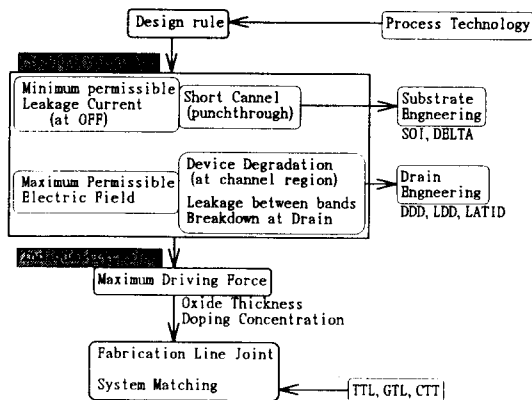


그림 2. MOS 소자 미세화의 순서

Fig. 2. Factors for scaling down the MOS device.

로 동작전압은 이것을 고려하여 충분히 낮은 전압으로 설정하지 않으면 안된다. 동작전압은 64k DRAM(3 μ m 설계규칙)에서 그 이전 세대까지 사용되던 12V가 5V로 낮추어졌고 이것이 4M DRAM까지 사용되었다. 그동안에 파괴전압을 향상시키기 위해서 트랜지스터 구조의 개량이 이루어졌다. 그림 3은 MOS 트랜지스터 구조의 진보를 나타낸 것이다⁵⁾. 종래의 단일 n⁺ 농도의 드레인 구조에 대해서 이것을 저농도로 둘러싼 2중 드레인 구조 (Doubly doped drain: DDD), 더우기 저농도 층으로 오프셋(offset) 구조를 한 드레인 구조 (Lightly doped drain: LDD)가 대표적인 예이다. 그러나 이것도 16M DRAM(0.5 μ m)으로 되면 내압이 부족하게 된다. 그래서 외부전압 5V를 일단 내부전압 3V로 강하시켜서 동작전압으로 사용하는 방식을 채용하고 있다. 다음의 64M에서는 외부전압은 3.3V로 낮추어 칩전체를 3.3V로 동작시키는 방식과 어레이(array)만 내부전압을 낮추어 2~2.5V에서 동작시키는 방식이 사용되고 있다.

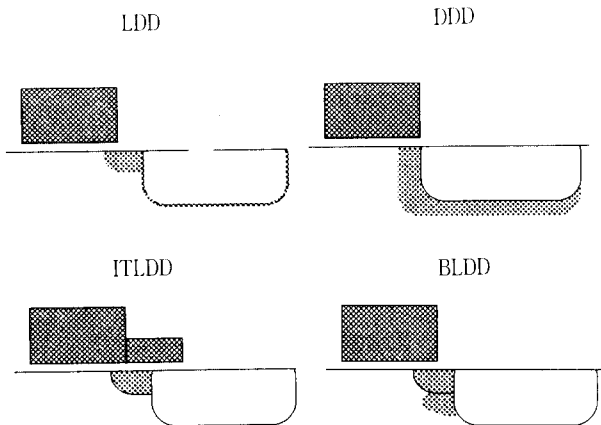


그림 3. 새로운 MOS 트랜지스터의 구조
Fig. 3. Structure of a new MOS transistor.

256M 이상에서는 그림 3에 나타낸 LDD구조의 변형이 연구되고 있는데 이것은 드레인 부근의 전계를 완화하는 것만이 아니고 고-에너지 전자의 발생 위치를 변화시켜서 산화막 중으로의 전자주입을 억제하기도 하고 (Buried LDD: BLDD), 산화막 중의 포획전하의 영향을 억제하기 위해서 게이트를 LDD영역에 오버랩 (overlap)시킨 구조 (Inverse-T gate LDD: ITLDD)등도 있다. 이러한 드레인 끝부분에 있어서 불순물 원자 분포의 최적화는 드레인 엔지니어링이라고 불리는 전계

완화 수단이다.

제 2 차 조건인 전류구동력의 증대에 대한 수단으로 그림 4에 나타낸 캐리어 포화속도를 고려한 MOS 소자의 특성식이 참고가 될 것이다. 이 식에 의하여 전류구동력의 향상에는 (1) 산화막의 박막화에 의하여 게이트 산화막 용량을 증가시키고, (2) 기판 불순물 농도를 낮추어 이동도를 높이고, (3) 기판 농도의 저하와 산화막의 박막화에 의하여 문턱 전압을 저하시키는 것이 효과적이다. 그러나 기판 농도를 낮추면 단 채널효과의 억제에는 역효과로 되어 앞에서 이야기한 Brews의 단 채널 효과 억제책과 모순된다. 실제의 소자구조 설계에 있어서는 제1차 조건(단 채널 효과 방지)을 우선시킴으로써 최적의 채널 불순물 원자분포를 결정하여야 한다. 이 채널 불순물 원자 분포의 최적화 과정이 기판 엔지니어링이라고 불리는 기술이다.

$$I_d = \frac{W}{L} \mu C_{ox} (V_g - V_t - \frac{V_d}{2}) V_d \frac{1}{1 + (V_d/E_{sat}L)}$$

$$V_{dsat} = \frac{E_{sat}L(V_g - V_t)}{E_{sat}L + V_g - V_t}$$

-
- C_{ox} : gate oxide \rightarrow thin
- μ : Substrate doping concentration \rightarrow low
- V_t { : gate oxide \rightarrow thin
- : Substrate doping concentration \rightarrow low
-

그림 4. MOS소자의 전류전압 특성식
Fig. 4. I-V characteristic equation of MOS device.

또 CMOS회로를 전제로 했을 때 p 채널 MOSFET의 설계가 특히 어렵다. 이것은 p 형의 얇은 접합 형성이 어렵기 때문이다. 이 문제를 해결하기 위하여 (1) 비결정화 (채널링 방지) 후에 붕소를 이온 주입한 후 급속열처리(Rapid Thermal Annealing: RTA)를 사용하여 활성화하는 기술과, (2) 다결정 실리콘에 들어 있는 붕소원자가 게이트 산화막을 관통하지 않도록 ONO막을 사용하려는 움직임이 있다. 최종적인 0.1 μ m MOS 소자의 구조에서 요구되는 특징은 (1) 확산층과 게이트 다결정 실리콘 막의 실리콘사이드화에 의한 저저항화, (2) 3.5 ~ 4nm 정도의 얇은 게이트 산화막 두께, (3) 낮게 도핑한 확산영역과 고농도 확산과의 하이브리드(hybride) 형 소오스-드레인 (LDD)

구조, (4) 급격한 프로파일을 가진 채널 불순물 원자 농도 분포, (5) 단 채널 효과에 강한 표면 채널형 MOSFET이다. 최근에 Mitsubishi(三菱)는 Si 주입을 이용한 코발트 실리사이드(CoSi₂)화 집합형성 공정을 개발하여 CMOS의 미세화에 있어서 과제되고 있던 저저항의 얇은 소오스, 드레인 접합의 형성을 가능하게 하였다⁶¹.

3. MOS 트랜지스터 技術의 最近 動向

다음은 현재 발표되고 있는 MOS 트랜지스터 기술에 관한 최근의 동향을 소개하고자 한다. 트랜지스터 기술은 일본의 DRAM maker로 부터 주로 발표되고 있는데 Toshiba(東芝)는 1.5nm (0.0015 μm)의 게이트 절연막을 이용한 MOS 트랜지스터를 개발하여 종래의 마이크로프로세서(Microprocessor:MPU)보다 약 5배의 고속화를 실현하였다고 한다⁷⁾. 또한 Matsushita(松下)는 0.05 μm CMOS 트랜지스터를 개발하여 지연시간 13.1ps를 실현하였고⁸⁾. Mitsubishi(三菱)는 1G DRAM등에 0.15 μm 레벨의 트랜지스터 구조로서 Si 주입을 이용한 코발트 실리사이드화 집합형성 공정을 개발하여 CMOS의 미세화에 있어서 과제로 되고 있던 저저항의 얇은 소오스, 드레인 접합의 형성을 가능하게 했다⁶⁾. 또 게이트 전극에 질소 이온을 주입함으로써 트랜지스터의 수명을 종래보다도 100배 이상 향상시킨 기술도 개발하였다.

A. 고속 MOS 트랜지스터의 開發

Toshiba는 1.5nm의 게이트 산화막을 이용한 MOS 트랜지스터를 개발, 실온에서 동작하는 것을 확인하였다(그림 5). 이 트랜지스터는 1.5V의 저전압 하에서 1010mS/mm, 0.5V에서는 860mS/mm의 상호컨덕턴스를 가지고 있어 현재로서는 최고속 MPU를 위시한 MOS logic LSI에 비하여 약 5배의 고속화가 가능하다⁷⁾.

또 3.3V 동작의 MPU와 비교할 경우, 0.5V의 전압으로 소비전력을 약 1/9로 감소시킬 수 있다. 더우기 현재 최첨단 MPU의 clock 주파수 200MHz에서 동작시킨 경우, 전원전압이 0.3V에서 소비전력은 약 1/100로 감소시킬 수 있다.

LSI의 고속화에는 게이트 산화막을 박막화하여 전자와 정공의 밀도를 높힘으로써 캐퍼시턴스를 증가시키는 방법이 최적으로 되고 있다. 그러나 이 방법에서는 게이트 산화막이 3nm(0.003mm)이하로 되면 양자역학적 터널 효과에 의하여 누설전류가 발생하며, 이 박막두께 이하에서는 동작할 수 없을

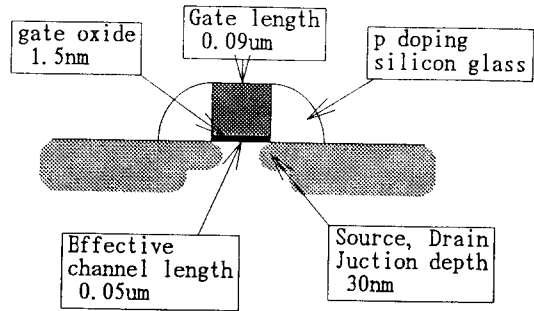


그림 5. 새로운 MOS 트랜지스터의 구조

Fig. 5. Structure of a new MOS transistor.

것이라고 생각해 왔다. 그러나 Toshiba에서는, 전원 전압이 낮아져 게이트 길이가 미세하면 할수록 누설전류가 크게 감소하고 채널에 흐르는 전류는 채널길이에 반비례하므로 게이트 산화막을 3nm이하로 하더라도 누설전류는 거의 발생하지 않는 현상을 이용하여 종래의 문제점을 해결하였다.

B. 0.05 μm CMOS 트랜지스터의 開發

Matsushita 전기산업의 반도체연구소는 0.05 μm CMOS 트랜지스터를 개발하였다⁸⁾. 이것은 얇은 집합을 형성하는 저에너지 이온 주입 기술과 기생저항, 기생용량을 억제한 미세구조 설계기술을 이용한 것이다. 이 기술은 5keV의 저 에너지에서 이온을 주입하여 동일 기관상에서 n-MOS와 p-MOS를 형성하는 기술이고 또한 RTA에 의하여 열 처리시간을 종래의 30~60분으로 부터 10초로 단축하고 확산을 억제함으로써 얇은 집합을 가능하게 하였다.

또 독자적인 SPI(Self-aligned Pocket Implantation)기술에 의하여 단자간 기생용량을 증대시키지 않고 단 채널 효과에 의한 특성의 열화를 억제시켰고, 게이트 전극과 소오스, 드레인 전극을 급속 실리사이드화하는 살리사이드 기술에 의하여 게이트 전극과 소오스, 드레인의 기생저항을 감소시켰다. 이것에 의하여 기생저항, 기생용량을 낮춘 미세구조를 실현하였다. 상기의 기술에 의하여 0.1 μm 이하의 pMOS를 제작하여 0.05 μm CMOS를 실현하였다. 1게이트당 지연 시간은 13.1ps (전원전압 1.5V)을 달성하였다. 이 기술에 의하여 Matsushita는 종래의 미세화의 한계가 돌파되었으므로 차세대의 고집적 CMOS-LSI 실현에의 길이 열려 1.5V에서 동작하는 휴대형 초고속 컴퓨터나 기가비트 메모리등의 실현이 가능할 것으로 보고

있다.

C. 0.15 μ m CMOS로 새로운 프로세스 開發

Mitsubishi는 1Gbit DRAM등의 0.15 μ m 레벨의 트랜지스터 구조로서 실리콘 이온 주입을 이용한 코발트 실리사이드(CoSi₂)화 접합형성 공정을 개발하여 CMOS의 미세화에 있어서 과제라 되고 있던 저적향의 얇은 소오스, 드레인 접합의 형성을 가능하게 하였다(그림 6). 또 게이트 전극에 질소 이온을 주입함으로써 트랜지스터의 수명을 종래보다도 100배 이상 향상시킨 기술도 개발하였다⁶⁾.

새로운 기술은 실리사이드막을 형성할 때 실리콘을 이온 주입하는 것인데, 구체적으로는 실리사이드 형성 때 이온 주입된 Si 이온이 실리콘기판상의 자연산화막을 파괴하여 실리사이드와 실리콘 기판위는 평탄하게 된다. 이로써 실리사이드막의 요철부가 감소하여 얇은 소오스, 드레인 접합의 돌출에 의한 접합 누설전류를 억제할 수 있다.

또 Mitsubishi는 poly-Si 게이트 전극에 질소 이온 주입하여 질화산화막을 형성함으로써 게이트 산화막과 소자특성의 열화를 감소시키는 데 성공하였다. 게이트 전극에 질소를 주입함으로써 게이트 산화막과 Si 기판간의 계면 준위가 감소하고 동시에 전자 트랩의 발생도 감소한다고 한다. 이로써 트랜지스터의 수명이 종래보다 100배 이상 향상되고, 0.15 μ m 레벨에 필수적인 dual gate CMOS 구조의 실현이 가능하게 되었다. 또 이 구조를 적용한 0.15 μ m CMOS inverter 회로에 있어서 2.0V의 전원전압에서 지연시간 21ps의 고속 동작을 실현하고 있다.

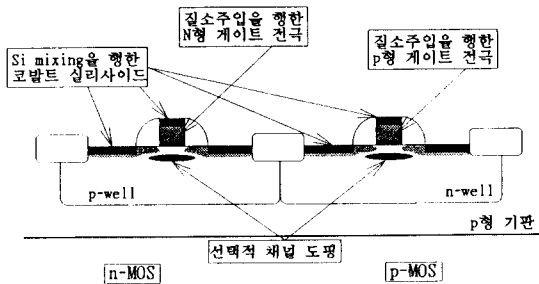


그림 6. 새로운 공정에 의한 0.15 μ m CMOS 구조
Fig. 6. 0.15 μ m CMOS structure fabricated by new processing.

III. 메모리 셀 技術

DRAM의 메모리 셀은 전하를 저장하는 곳과 메

모리를 동작시키는 즉, 스위치 역할을 하는 것으로 나눌 수 있을 것이다. 정보를 저장하는 것은 주로 유전체에 정보전하를 저장하는 기술이 사용되고 있고, 동작시키는 기술은 지금까지 주로 MOS 트랜지스터가 사용되고 있다. 이 MOS 트랜지스터 기술과 정보전하를 저장하는 캐퍼시터 기술이 핵심 기술인데 이 두가지 기술을 미소면적위에서 어떻게 실현할 것인가가 중요한 하나의 기술이다. 즉 셀구조를 어떻게 만들 것인가라는 것인데 이것은 앞에서 언급한 트랜지스터 기술과 함께 캐퍼시터 전극형성 기술이 가장 중요한 기술일 것이다. 여기서는 메모리 셀 구조와 이에 관련된 캐퍼시터 형성기술에 관한 최근 기술동향을 살펴보기로 한다.

1. 메모리 셀 構造

메모리 셀의 소형화를 위하여 메모리 셀을 구성하는 소자수 및 배선수를 적게 하는 개량이 계속되어 최종적으로는 1개의 트랜지스터 셀로 귀착되었다. 이것은 가장 간단한 회로구성이므로 64k 이후 지금까지 유일무이한 메모리 셀로서 제품화되고 있다. 그 이외에 1트랜지스터 셀 내에 refresh 기능을 가진 것, 증폭기 작용을 가지도록 한 것 등도 제안되고 있지만 셀이 한층 더 복잡하게 되어 실용화되고 있지 않다.

이 트랜지스터 셀도 그림 7과 같이 세대마다 복잡하게 되어 3차원(입체)화되고 있다. 4k세대에서는 트랜지스터와 캐퍼시터가 동일 평면상에 있는 가장 단순한 구조이었는데 4M이상에서는 캐퍼시터 구조까지 입체화되기에 이르렀다. 이것은 작은 면적에 큰 정전용량값을 확보하기 위한 것이다. 이 구조는 적층(stack)캐퍼시터와 트랜치(trench)캐퍼시터로 나눌 수 있는데 각종의 구조적 개량 및 캐퍼시터의 박막화, 고유전율화 등이 피해지면서 현재에 이르고 있다.

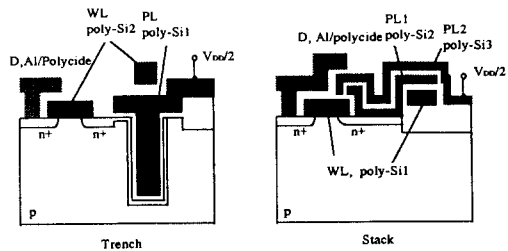


그림 7. 트랜지스터 셀의 구조
Fig. 7. Structure of transistor cell.

이러한 셀의 구조와 재료 이외에 캐퍼시터 전극에 인가하는 직류전압도 용량값에 밀접하게 관계된다. 64k까지는 인가전압은 V_{DD} 이었다. 그것에 의해서 형성되는 실리콘 기판표면의 반전층과 전극간을 캐퍼시터에 이용하기 위한 것이다. 그러나 그 후에 V_{DD} 의 과도변동에 의한 셀 전압 마진의 저하를 막기 위하여 인가전압은 $V_{SS}(0V)$ 로 바뀌었다. 다만 반전층이 형성되지 않는 대신에 기판표면에는 n+층이 형성되는 것이다. 더우기 1M이상에서는 인가전압은 모두 $V_{DD}/2$ 로 통일되었다. 이 $V_{DD}/2$ 전위는 내부에서 발생시킨다. 전위전압을 셀 축전전압($V_{DD}, 0V$)의 중간에 설정시키면 캐퍼시터 절연막에 인가되는 스트레스 전압은 반감된다. 같은 스트레스 전압이면 절연막 두께는 반으로 줄일 수 있다. 즉, 단위면적당의 용량값($C_s = \epsilon_i(S/T_{eff})$)을 2배로 할 수 있다.

이처럼 입체화와 전극전압을 $V_{DD}/2$ 로 하면서까지 정전용량값을 확보하려고 하는 것은 셀 신호전압의 확보와 소프트 에러(soft error) 내성의 확보라는 두가지 이유 때문이다. 셀로부터 데이터선에 보내지는 신호전압의 크기는 신호전하량 즉, C_s 에 비례하지만 신호전압을 안정하게 검출하는 데는 일정한 값 이상의 C_s 가 필요하다. 또 패키지 재료와 칩내의 배선재료는 자연계와 같은 정도의 우라늄(U), 트리튬(Th)등의 방사선 원소가 극히 미량 포함되어 있다. 이러한 원소로부터 나오는 α 선(He 입자)이 메모리 셀에 입사하면 셀정보가 일시적으로 파괴된다. 소위 소프트 에러 현상이 발생하게 된다. 이에 대한 내성을 높이기 위해서는 C_s 확보가 필요하다.

최근에 NEC가 발표한 메모리 셀 기술은 0.2 μm 전자선 노광기술에 의하여 0.375 μm^2 의 셀을 실현한 것인데 이 새로운 기술은 메모리 셀내를 통과하는 비트선을 경사지도록 위치시키는 것에 의하여 메모리 셀 면적을 축소하였다. 이 경사 비트선 구조는 open bit선 구조에 메모리 셀 내를 통과하는 비트선을 경사지게 위치시킴으로써 메모리 셀 면적을 종래의 75%로 축소시켰다⁹⁾.

2. 캐퍼시터 形成 技術

필요한 축전용량($C_s = \epsilon_i(S/T_{eff})$)을 확보하기 위한 캐퍼시터 형성의 기술동향은 크게 두가지로 구분할 수 있을 것이다. 첫째로 캐퍼시터 면적을 입체화등으로 늘리는 방법과 둘째로 고유전율의 박막을 개발하여 유효두께를 낮추는 방법이다. 그림 8은 축전용량(storage capacitor)을 확보하기 위해

필요한 캐퍼시터 면적과 절연막 두께의 관계를 표시한 것이다. 그림 중에는 각종 절연막의 박막화의 예상한계를 동시에 표시하였다. 여기서 실효절연막 두께 T_{eff} 는 SiO_2 막의 두께로 환산한 두께를 나타내는 즉, $T_{eff} = (\epsilon_{SiO_2} / \epsilon_i) T_i$ 이다. (ϵ_{SiO_2} 는 SiO_2 막의 비유전율, ϵ_i 는 절연막의 비유전율, T_i 는 절연막의 두께), 여기서 면적이 축소되면서도 축전용량값을 일정하게 확보하기 위하여 종래에는 용량전극 면적의 증가와 용량절연막의 박막화로서 대응해 왔다.

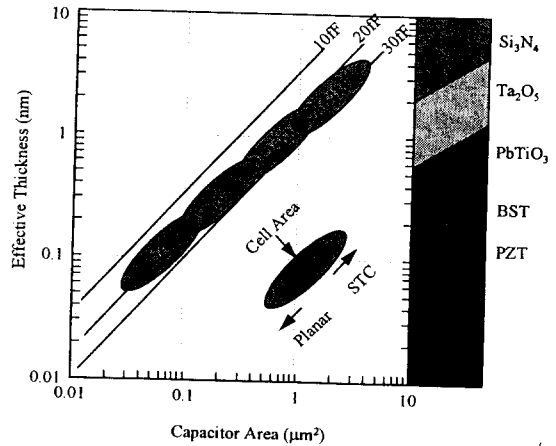


그림 8. 캐퍼시터 표면적과 절연막 두께 예측
Fig. 8. Prediction of capacitor area and dielectric thickness.

면적을 증가시키는 방법으로서 용량 전극을 입체화하는 방법이 최근에 많이 개발되고 있다. NEC에서는 표면적을 실질적으로 증가시키기 위하여 HSG(Hemi-Spherical-Grain)기술, 즉, poly-Si 표면에 요철부분을 발생시켜 표면적을 배가시키는 방법을 채용하였다. 또한 히다찌(日立)등에서는 이중왕관구조(Duble-Crown)를 채용하고 있고 후지쯔(富士通)를 비롯한 몇몇 회사는 핀(fin)형 전극을 채용하고 있는데 비트선위에 캐퍼시터를 형성하여 기생용량을 줄일 수 있다고 한다.

또 하나의 연구방향은 고유전율 혹은 강유전체를 사용하여 유효두께를 줄이는 방법이다. 현재 DRAM에 응용을 목표로 개발되는 고유전율 및 강유전체막은 $SrTiO_3$, $(Ba,Sr)TiO_3$, PZT등이다. 10nm정도까지 박막화가 되어도 bulk와 동등한 특성을 유지한다면 $SrTiO_3$, $(Ba,Sr)TiO_3$ 등으로는 1Gbit DRAM까지, PZT로는 4Gbit DRAM까지 구현시킬 수 있을 것으로 전망된다.

여기서는 지난 IEDM에 발표된 1Gbit DRAM의

캐퍼시터 기술을 간단하게 살펴보고자 한다.

A. 히다찌(日立)의 技術

히다찌(日立)는 self-aligned poly-Si CROWN 구조로 $0.29 \mu\text{m}^2$ (0.38x0.76)의 작은 셀을 실현하고 있다¹⁰⁾. Poly-Si로 형성된 CROWN을 WF_6 가스를 사용하여 W으로 치환시킨다. 그 위에 Ta_2O_5 막을 증착한 후 상부전극으로는 TiN을 CVD법으로 증착하여 사용한다. Ta_2O_5 박막은 MOCVD법으로 형성된 유효두께 1.6nm의 박막을 사용하고 있다. 그림 9는 캐퍼시터 형성 공정과 SEM 사진을 나타낸 것이다.

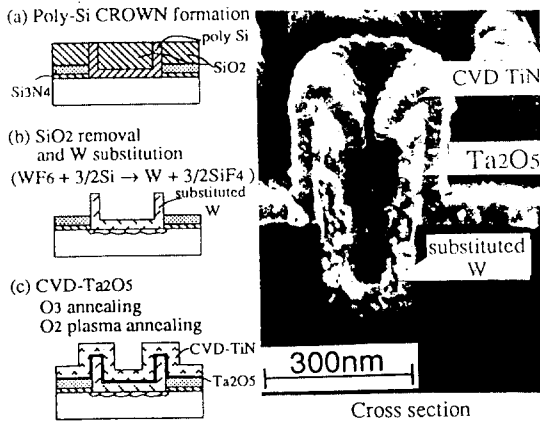


그림 9. 히다찌의 캐퍼시터 형성 공정과 SEM 사진
 Fig. 9. Process sequence and SEM picture of the capacitor fabricated by the HITACHI.

B. NEC의 技術

NEC는 1Gbit DRAM에 필요한 캐퍼시터 기술을 두가지의 각각 다른 재료를 사용하여 실현하였다. 하나는 LPCVD법에 의해 형성된 Ta_2O_5 로 유효두께가 2.5nm인데 이것을 HSG위에 증착시켜 실현한 것이다¹¹⁾. 지금까지 문제가 되었던 누설전류는 산소 또는 오존 분위기에서 800°C의 RTO와 전극 형성 후에 질소분위기에서 열처리를 500°C이하로 하는 것으로 1V에서 10^{-8}A/cm^2 수준으로 줄었다. 하부전극은 poly-Si을 형성한 후 암모니아 가스 분위기에서 900°C 1분간 열처리하여 사용하고 있고, 상부전극은 산화방지를 위하여 100nm두께의 TiN plate를 스퍼터로 증착한 후 WSi막을 형성하여 사용하고 있다. 그림 10은 단면 구조의 모식도와 SEM 사진이다.

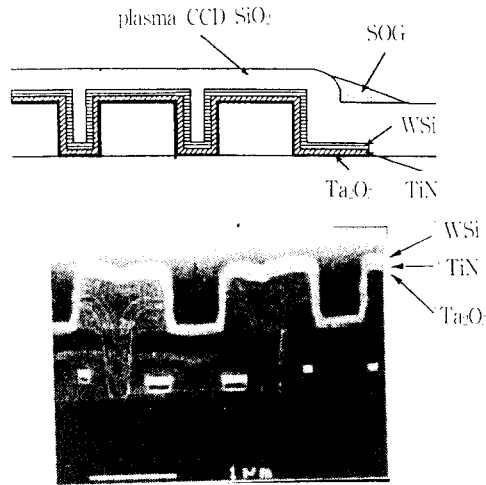


그림 10. NEC의 Ta_2O_5 절연막을 사용한 캐퍼시터 구조 및 SEM사진
 Fig. 10. Structure and SEM picture of the capacitor with Ta_2O_5 films fabricated by NEC.

또 하나는 고유전율막인 SrTiO_3 을 사용한 것인데 아직 누설전류가 $8 \times 10^{-7} \text{A/cm}^2$ 으로 약간 높지만 이것은 최초로 고유전율막을 실제로 적용했다는 데 의의가 크다고 할 수 있을 것이다¹²⁾. 하부전극은 Pt대신에 패턴 식각이 용이한 RuO_2 을 사용하고 있는데 이것은 반응성 DC 마그네트론 스퍼터링에 의하여 형성되었다. Barrier층으로서 TiN 50nm을 스퍼터법으로 형성한 후 Ar과 O_2 의 혼합 가스 분위기에서 500nm의 RuO_2 를 형성하였다. RuO_2/TiN 구조의 패턴형성은 전자선(Electron Beam) 리소그래피와 반응성 이온 에칭(RIE)에 의해 만들어졌다. 그 후에 고유전율막인 SrTiO_3 막을 450°C에서 ECR MOCVD방법으로 100nm을 형성하였다. 상부전극은 Al/TiN을 사용하고 있다. 그림 11은 단면 구조의 모식도와 SEM 사진이다.

IV. 1Gbit DRAM의 試製品 制作技術

1995년은 16M DRAM의 생산량과 시장환경이 호조를 나타낼 뿐만 아니라 16M에 뒤이은 대용량 DRAM의 기술개발이 착실하게 진행되고 있다. 1Gbit DRAM은 비로소 학회발표가 나오고 있고, 256M DRAM은 전기 특성평가용 샘플 출하, 64M는 폭 400mil(1/1000 inch; 25.4 μm)의 패키지에 들어가는 칩(chip)생산용 개시하는 곳도 나오고 있다. 그 중에서도 95년 중으로 256M의 전기특성

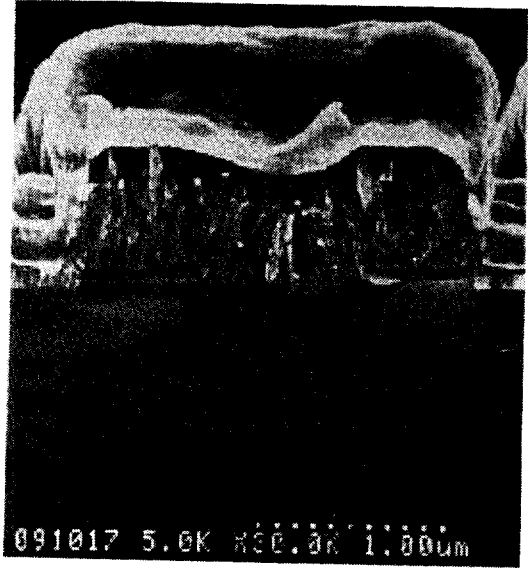
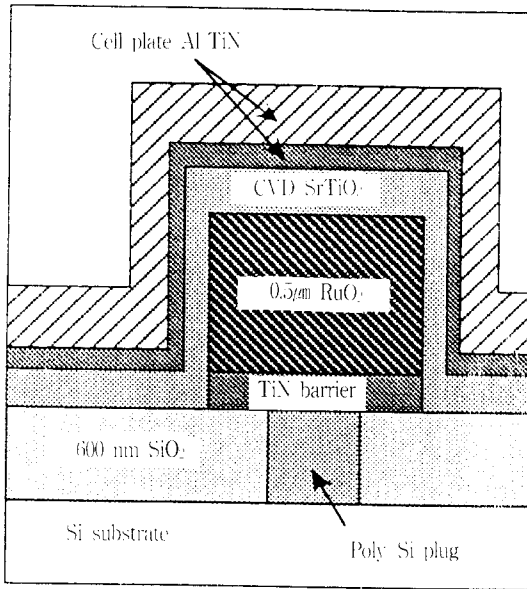


그림 11. NEC의 SrTiO₃ 절연막을 사용한 캐피시터 구조 및 SEM사진

Fig. 11. Structure and SEM picture of the capacitor with SrTiO₃ films fabricated by NEC.

평가용 샘플을 출하하려고 하고 있는 곳은 NEC와 삼성전자이다. 400mil의 패키지에 들어가는 64M의 양산출하에 관해서는 NEC와 삼성전자가 95년 중에 시작할 계획이다. NEC는 칩면적이 161.9mm²의 EDO(Engineering duties only)판을 95년의 제3사분기에, 약 165mm²의 싱크로트론판을 95년의 제4사분기에 출하한다. 삼성전자는 정확한 출하시기 등을 확실하게 밝히지 않지만 95년중에는 출하할 것으로 보인다.

1Gbit DRAM의 학회발표가 95년의 3월에 미국 샌프란시스코에서 열린 [1995 IEEE International Solid-State Circuits Conference(ISSCC 95)]에 등장하였다¹⁴⁾. NEC와 히다찌(日立製作所)가 시험 제작한 칩을 발표하였다. 3년마다 1세대씩 용량을 확대해온 종래의 학회 발표 추세를 지키고 있는 셈인데 그중에서 히다찌의 칩은 설계 룰이 0.16 μm로 미세화 추세를 지키고 있지만 NEC 칩은 0.25 μm Rule로 256M의 공정을 사용하고 있다. "0.25 μm 이하, 노광기술이 급작스럽게 어렵게 된다"(LSI maker 공정기술 담당자) 라고 하는 것을 반영하여 미세화 이외에서 칩면적을 줄이기 위하여 셀 레이아웃(cell layout)을 연구하고 있다.

표 1은 ISSCC95에 발표된 NEC와 Hitachi의 1Gbit DRAM기술의 요점을 나타낸 것이고 표 2는 주요 사용기술에 대한 분석을 종합적으로 요약한

것이다.

V. 結 論

단일 소자로서는 0.015 μm의 채널 길이 소자가 보고되고 있지만 실용적인 관점으로 부터 실은 동작의 집적회로를 생각하면 0.05 μm이 한계가 될 것으로 생각된다. 이 벽을 타개하는 하나의 방법으로서 새로운 architecture에 의하여 종래 이상의 성능을 가진 집적회로의 개발과 새로운 기능의 소자에 의하여 실현하는 방법이 있을 것이고, 또 하나의 방법은 최근에 다시 연구가 집중되고 있는 SOI(Silicon-on-insulator) 기판에 대표되는 소자 구조의 근본적인 개혁일 것이다. 또한 현재의 소자 기술로써 4Gbit DRAM까지 적용이 가능하다고 생각된다.

메모리 셀 기술 분야에서는 축전용량을 확보하기 위하여 입체적인 구조에 대한 연구와 고유전율 및 강유전체 박막에 대한 연구가 병행되어야 한다. 또한 생산공정 및 생산원가 측면에서도 1~16Gbit DRAM을 보다 간단한 구조로 실현할 필요가 있다. 이를 위해서는 보다 높은 유전율을 가진 새로운 물질인 강유전체 박막의 개발이 시급한 실정이다.

표 1. ISSCC95에서의 발표내용(DRAM)

Table 1. Summary of the important papers related to DRAM technology presented at the "ISSCC95" conference.

논문명	발표기관	발표내용
An Experimental 220MHz 1Gb DRAM	Hitachi Hitachi ULSI Engineering	공정은 0.16 μ m. 1.5V구동으로 RAS access time이 33ns. 8개의 bank가 독립된 timing, linking-cancelling 출력 buffer에 의해 220MHz의 동기동작이 가능. Memory cell의 면적을 0.29 μ m ² 로 함으로써 다이(die)크기는 714mm ² 을 달성.
A 1Gb DRAM for File Application	NEC	공정은 0.25 μ m CMOS. cell 크기는 0.54mm ² , 다이크기는 936mm ² , I/O BAND 폭은 400MB/s. Micro layout를 multi 화해서 flexibility를 향상. 분기-소거 sensing의 시분할화. Charge와 recycle의 serial화. Defective한 word 선. Hi-Z standby에 의해 종래 설계보다 다이크기 30%축소. 수율을 10% 향상.

표 2. 1Gbit DRAM에 사용된 주요 사용기술에 대한 분석

Table 2. Analysis of the core technologies utilized in the development of the 1Gbit DRAM.

주요기술 항목	NEC	Hitachi
미세가공 기술	Lithography: Excimer laser/i-line	Lithography:Phase-shift Excimer Laser (KrF;0.248nm) Direct E-beam hybrid
트랜지스터 기술	Design Rule: 0.25 μ m CMOS (256M DRAM급)	Design Rule: 0.16 μ m CMOS
셀 기술	Cell Size: 0.375 μ m ²	Cell Size: 0.29 μ m ²
칩 설계기술	Chip Size: 2.5x3.6cm ² (900mm ²) 경사진 비트-선 구조에 의해 30% 칩 면적 감소 1 sens amp. 에 4개의 비트-선 접속(시간 분할)	Chip Size: 1.9x3.7cm ² (715mm ²) 분산형 제어로써 사이클 시간을 25% 단축 계단파 출력 방식으로 칩간 고속 데이터 전송
성능	Data transfer rate: 400(MB/sec) Operating current & voltage: 68mA & 2V (136mW)	Data transfer rate: 440(MB/sec) Operating current & voltage: 170mA & 1.5V (255mW)
용도	휴대용 정보단말기 파일 메모리	고속 W/S용 메인 메모리
비고	대부분의 공정기술에 256M DRAM 수준이 사용되어 칩이 큼 Test vehicle 수준의 칩으로 판단 됨.	게이트와 콘택 등의 critical layer에만 E-beam을 사용 하여 셀크기에 비해 칩이 큼. Full working die는 아닌 것으로 생각 됨.

참 고 문 헌

[1] 伊藤清男, 超LSI memory,(培風館,東京,1994)
 [2] S. Okazaki, et al., "0.3 μ m 리소/양산 기술의 선택", Semiconductor World, No.6, 70~97 (1994)
 [3] J.R. Brews, Physics of the MOS Tra-

nsistor,(Academic, New York, 1981).

[4] H.Iwai, et al., Si LSI 한계를 추구-게이트 길 이 0.04 μ m 에서 동작을 실현" NIKKEI MIC-RODEVICE, No.4, 91~97 (1994).
 [5] K.Taniguchi, et al., "Gbit Integration의 소자기술 과제", 應用電子物性分科會 研究報告,1~9 (1993).

- [6] S.Shimizu, et al., "0.15 μm CMOS Process for High Performance and High Reliability", IEEE IEDM, 67-70(1994).
- [7] H.S. Momose, et al., "Tunneling Gate Oxide Approach to Ultra-High Current Drive in Small-Geometry MOSFETs", IEEE IEDM, 593-596(1994).
- [8] A.Hori, et al., "A 0.05 μm CMOS with Ultra Shallow Source/Drain Junctions Fabricated by 5keV Ion Implantation and Rapid Thermal Annealing, IEEE IEDM, 485-488(1994).
- [9] K.Shibahara, et al., "1GDRAM Cell with Diagonal Bit-Line(DBL) Configuration and Edge Operation MOS(EOS) FET, IEEE IEDM, 639-642(1994).
- [10] T. Kaga, et al., "A 0.29- μm^2 MIM-CROWN Cell and Process Technologies for 1-Gigabit DRAMs", IEEE IEDM, 927-929 (1994).
- [11] Y.Takaishi, et al., "Low-Temperature Integrated Process Below 500°C for Thin Ta₂O₅ Capacitor for Giga-Bit DRAMs, IEEE IEDM, 839-842(1994).
- [12] P-Y. Lesaichere, et al., A Gbit-scale DRAM Stacked Capacitor Technology with ECR MOCVD SrTiO₃ and RIE Patterned RuO₂/TiN Storage Nodes, IEEE IEDM, 831-834(1994).
- [13] K.W. Kwon, et al., "Ta₂O₅ Capacitor for 1Gbit DRAM and Beyond", IEEE IEDM, 835-838(1994).
- [14] IEEE International Solid-State Circuits Conference(ISSCC), 252-255(1995).

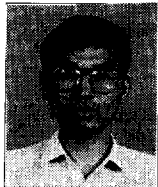
저자소개

유병곤



1957년 4월 18일생. 1978년 3월-84년 2월 경북대학교 물리학과 졸업. 1984년 4월-85년 3월 일본 동경공업대학 원자핵공학과 연구원. 1985년 4월-87년 3월 일본 동경공업대학 원자핵공학과 (석사). 1987년 4월-1990년 3월 일본 동경공업대학 원자핵공학과(박사). 1990년 4월-1991년 3월 일본 HITACHI 중앙연구소 연구원. 1991년 3월-현재 한국전자통신연구소 선임연구원.

유종선



1957년 1월 9일생. 1975년 3월-79년 2월 경북대학교 물리학과 (학사). 1979년 3월-81년 2월 한국과학기술원(KAIST) 물리학과(석사). 1988년 3월-1993년 2월 KAIST물리학과(이학박사). 1981년 3월-84년 2월 구 한국전자기술연구소 연구원. 1984년 3월-93년 2월 한국전자통신연구소 선임연구원. 1993년 3월-현재 한국전자통신연구소 책임연구원.

백종태



1956년 5월 16일생. 1980년 2월 한양대학교 금속공학과. 1982년 2월 한국과학기술원 재료공학과. 1992년 3월 한국과학기술원 재료공학과 박사과정. 1982년 3월부터 한국전자통신연구소 반도체연구단 근무. 공정장비연구실장. 현재 차세대반도체 선행기초기술 연구 수행.

유형준



1953년 5월 30일생. 1979년 서울대학교 물리학과 학사. 1990년 KAIST물리학과 석사. 1994년 KAIST물리학과 박사. 1979년-82년 국방과학연구소 연구원. 1983년 이후 한국전자통신연구소 근무. 현재 반도체연구단 기반기술연구부장, 책임연구원.