

비휘발성 기억소자의 저항효과에 관한 연구

논문
8-5-13

A Study on the Impedance Effect of Nonvolatile Memory Devices

강 창 수*
(Chang-Soo Kang)

Abstract

In this paper, The effect of the impedances in SNOSFET's memory devices has been developed. The effect of source and drain impedances measured by means of two bias resistances - field effect bias resistance by inner region, external bias resistance. The effect of the impedances by source and drain resistance shows the dependence of the the function of voltages applied to the gate. It shows the differences of change in source drain voltage by means of low conductance state and high conductance state. It shows the delay of threshold voltages. The delay time of low conductance state and high conductance state by the impedances effect shows 3[μsec] and 1[μsec] respectively.

Key words (기술용어) : SNOSFET, Threshold voltage(문턱전압), Source impedance(소오스저항), Drain impedance(드레인저항), High conductance state(고전도상태) Low conductance state(저전도상태), Delay time(지연시간)

I. 서 론

반도체 기억소자는 반도체 공정기술의 급속한 발전에 따라 차세대 ULSI 설계에 필요한 sub-micron에 관심이 증대되고 있다. 이러한 미세패턴에 의해 제작되는 비휘발성 반도체 EEPROM 기억소자는 다층절연막 구조의 FAMOSFET, MILESFET, MONOSFET 소자등이 있다.

SNOSFET(polySilicon Nitride Oxide Semiconductor Field Effect Transistor) 반도체 기억소자는 EEPROM(Electrically Erasable Programmable Read Only Memory)으로 응용되어 상업용, 군사용등으로 사용되고 있다. 그러나 물성에 관한 정확한 정보 뿐만아니라 비휘발성 반도체 기억소자로서의 기록, 소거, 저전압화, 고속동작, 고집적, 고신뢰성등의 개선에 많은 연구를 필요로 한다.

제조공정기술의 발전은 ULSI 설계에 필요한 deep-submicrometer의 소자제작기술을 가능하게 하고 있으나 많은 문제점을 갖고있다.^{1,2)} 집적회로 설계시 중요한 변수중 하나는 저항과 캐패시턴스 효과이다.^{3,4)} 소오스와 드레인저항에 의한 전압강하

는 공급전압을 강하시키고 소자의 전류 구동능력을 감소시킨다.^{5,6)} 이러한 실험적 연구는 기술개발의 방향과 소자요소를 결정하는데 중요한 정보를 제공한다.^{7,8)} 비휘발성 EEPROM 기억소자의 고집적 어레이⁹⁻¹¹⁾를 구현함에 있어 소오스와 드레인 저항성분에 따른 저항특성이 현저하게 나타나며 SNOSFET 기억소자¹²⁾의 논리기능 수행에서 많은 영향을 준다. 본 연구에서는 SNOSFET EEPROM을 CMOS 1 Mbit 설계규칙에 따라 제작하고 단위면적당 칩 면적의 스케일 다운으로 인한 동작특성과 어레이 특성에 영향을 미치는 비휘발성 기억소자의 저항특성을 파악 조사함으로써 실제 회로설계시 필요한 응용 가능성 및 개선점을 고찰한다.

II. 실 험

2.1. 시편의 제작

본 실험을 위하여 제작한 비휘발성 SNOSFET EEPROM 기억소자는 CMOS 1[Mbit] 제조공정에 Si₃N₄막의 증착공정을 삽입하여 사용하였다. 사용 기판은 비저항이 6~9[Ω-cm]인 P형 실리콘 <100> 웨이퍼이다.

터널링 산화막은 건식산화법으로 775[°C]의 확산로에서 3.83[Å/min]의 비율로 23[Å] 성장하였다. 절화막은 저압화학증착로에서 10:1의 NH₃:SiH₂Cl₂

* : 유한전문대학 전자과
접수일자 : 1995년 4월 12일
심사완료 : 1995년 7월 8일

혼합기체반응가스 유량비, 27~30[Å/min]의 증착율로 530[Å] 증착시켰다. 소오스와 드레인은 DDD(Double Doped Drain) 구조이다. 인을 50[KeV], 4×10^{13} [cm^{-2}]로 이온주입하여 n 영역을 형성하고, 같은 영역에 비소를 80[KeV], 4×10^{15} [cm^{-2}]로 이온주입하여 n'영역을 형성한다. 접합깊이가 0.25[μm]인 n'영역과 이 영역주위를 0.1~0.15[μm]로 둘러쌓고 있는 n'영역으로 이루어진 소오스와 드레인을 만들었다. 게이트전극은 450[$^{\circ}\text{C}$]에서 30분동안 저항접촉하였으며 전극면적은 7.38×10^{-3} [cm^2]이다. 시료의 제작과정은 그림 1과 같다.

2.2. 실험방법

임피던스 특성을 조사하기 위한 측정상의 구성도는 그림 2와 같다. 측정장치의 주요 부분은 기역전압 인가, 소자의 측정 초기상태의 조정, 저항 측정, 문턱전압 측정 부분으로 구성되어 있다. 비휘발성 반도체 기억소자의 임피던스 특성은 기역전압의 크기 및 인가시간에 따른 기역전하량의 관계를 측정함으로써 조사한다.

SNOSFET 기억소자의 질화막내에 기역전하를 트래핑과 디트래핑시키기 위하여 두 개의 펄스발생기를 이용한다. 펄스발생기 A(Leader, LFG 1300)는 기준 전압레벨을 설정하기 위하여 사용한다. 펄스발생기 B(Kikusui, Model 458A)는 게이트전압을 인가하기 위한 것이다. 펄스발생기 A와 B는 펄스폭과 크기를 변화시키면서 출력단자를 소자의 드레인, 소오스 그리고 기판을 공통으로한 단자와 게이트단자에 각각 연결한다.

기록은 드레인, 소오스 그리고 기판을 공통으로한 단자에 대해 게이트단자에 펄스폭과 크기를 변화시킨 양의 전압을 인가한다. 소거는 드레인, 소오스 그리고 기판을 공통으로한 단자에 대해 게이트단자에 음의 전압을 인가하여 실행한다. 그리고 모든 실험은 실온하에서 실행한다.

비휘발성 SNOSFET 기억소자에 기록과 소거를 행한 후 드레인전압을 일정하게 고정 공급하여 게이트전압의 변화에 대하여 드레인전류를 측정한다.

게이트전압의 변화에 대한 드레인전류는 소오스와 기판을 공통으로 하여 접지한 후 드레인에 일정 직류전압원 $V_{DD}=5[V]$ 로 공급하고 선형램프발생기를 사용하여 선형적으로 게이트전압을 증가시키면서 드레인전류를 측정한다. 직접 제작한 $\pm 28[V_{DD}]$ 의 선형램프발생기의 전압 스위칭율은 0.586[V/s]로 한다. 출력은 X-Y 기록기(Sankei 8U27)의 X축에 연결하고, 드레인단자에 흐르는 전류를 측정하기 위하여 일렉트로미터(Keithley Model

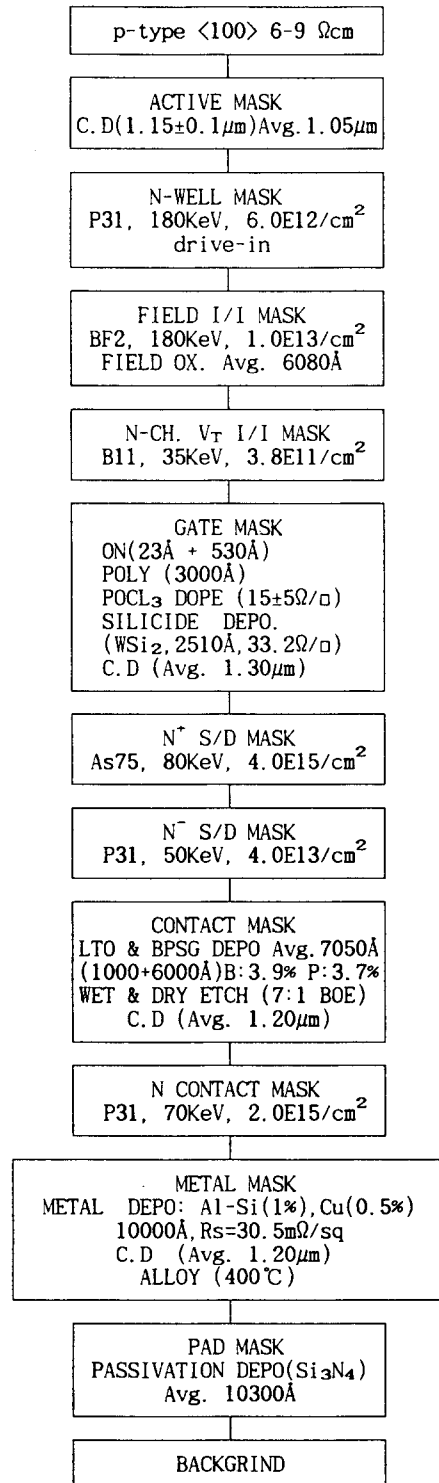


그림 1. SNOSFET 제작공정 흐름도
Fig. 1. SNOSFET process flowchart.

614)를 사용하여 Y축에 연결한다. 게이트전압의 변화에 대한 드레인전류를 측정한다.

비휘발성 SNOSFET 기억소자에 기록과 소거를 행한 후 게이트전압을 일정하게 고정시키고 드레인전압의 변화에 대한 드레인전류를 측정한다.

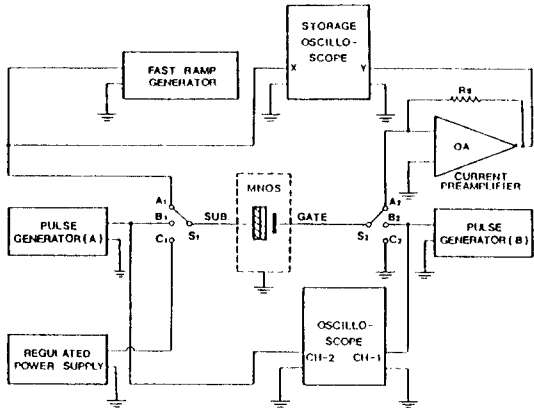


그림 2. 측정 장치도
Fig. 2. The schematic diagram for measuring system

소오스와 기판을 공통 접지한 후 게이트전압 V_G 를 일정하게 변화시키면서 선형램프발생기로 드레인전압을 $0.586[V/s]$ 로 스위핑하여 드레인전류를 측정하는 실험이다. 선형램프발생기의 출력을 X-Y 기록기의 X축에 연결하고 일렉트로미터는 드레인 단자에 연결한다. 일렉트로미터 출력은 Y축에 연결한다. 이와 같은 결선 방법으로 드레인전압에 대한 드레인전류를 측정한다.

전송 및 저항특성은 초기상태를 고전도상태 또는 저전도상태로 만들기 위하여 드레인, 소오스 그리고 기판을 공통 접지한 후 펄스발생기 B로 게이트에 인가한다. 게이트에 펄스폭과 크기가 다른 전압을 인가하여 일정 시간 경과 후 정상상태에서 드레인 공급전압 $V_{DD}=5[V]$ 로 고정하여 게이트전압의 변화에 대한 드레인 전류 변화 즉, 문턱전압의 이동량을 측정하여 조사한다.

III. 결과 및 토의

3.1. 스위칭 전달콘덕턴스

SNOSFET EEPROM 기억소자의 전달콘덕턴스는 기록과 소거전압의 크기와 폭을 변화시키면서 스위칭 전달콘덕턴스를 측정하였다.

채널폭과 길이가 $15 \times 1.5[\mu m]$ 인 비휘발성 기억

소자의 저전도상태와 고전도상태에서 기록 소거전압 펄스폭과 크기에 따른 게이트전압에 대한 스위칭 전달콘덕턴스를 측정된 특성은 그림 3과 같다.

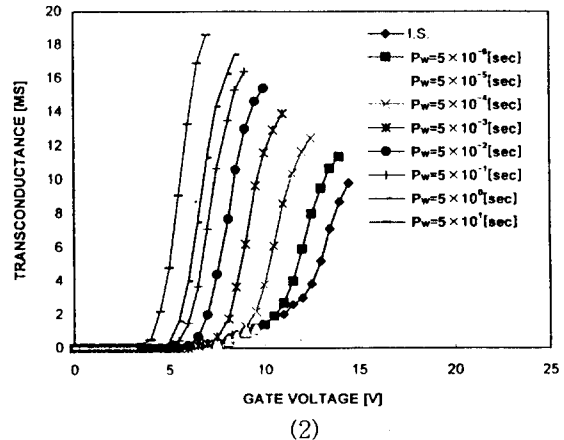
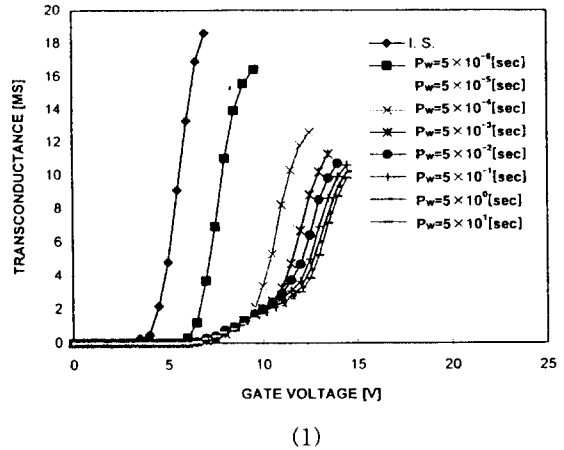


그림 3. 스위칭 전달콘덕턴스
(1) 고전도상태 → 저전도상태
(2) 저전도상태 → 고전도상태

Fig. 3. Switching transconductance
(1) High conductance state → Low conductance state
(2) Low conductance state → High conductance state

소거전압 $V_E=-34[V]$, 소거전압 펄스폭 $P_E=50$ [sec]를 게이트에 인가하여 문턱전압이 $V_{TH}=4.4[V]$ 인 고전도상태가 되도록 초기조건을 설정한 후, 기록전압 $V_W=+34[V]$, 기록전압 펄스폭 $P_W=5[\mu sec]$, $50[\mu sec]$, $500[\mu sec]$, $5[msec]$, $50[msec]$, $500[msec]$, $5[sec]$, $50[sec]$ 로 변화시키면서 문턱전압을 측정하여 스위칭 전달콘덕턴스의 기록특성 결과는 그림

3의 (1)과 같다. SNOSFET 기억소자의 초기조건을 문턱전압 $V_{Th}=11.8[V]$ 인 저전도상태로 초기조건을 설정한 후, 소거전압 $V_E=-34[V]$, 소거전압 펄스폭 $P_E=5[\mu\text{sec}], 50[\mu\text{sec}], 500[\mu\text{sec}], 5[\text{msec}], 50[\text{msec}], 500[\text{msec}], 5[\text{sec}], 50[\text{sec}]$ 로 변화시키면서 측정된 소거의 스위칭 전달콘덕턴스 특성 결과는 그림 3의 (2)와 같다.

그림 3의 (1)과 (2)로부터 문턱전압의 이동량은 펄스폭이 증가함에 따라 대수함수적으로 증가하다가 포화 경향을 보였다. 실패 메모리 윈도우는 펄스의 크기와폭을 조절하면 가능함을 알았다. 기록상태는 $[\mu\text{sec}]$ 펄스폭에서 급하게 변화하여 $[\text{msec}]$ 에서 포화되는 현상을 보였다. 소거상태는 $[\text{msec}]$ 대의 펄스폭에서 급하게 변화하여 $[\text{sec}]$ 대의 시간 펄스폭에서 포화되는 현상을 보였다. 고전도상태에서 저전도상태, 저전도상태에서 고전도상태의 최대 메모리 윈도우는 $\Delta V_{th}=7.4[V]$ 이었다. 디지털레벨인 $3.3[V]$ 의 메모리 윈도우를 얻기 위해서 $[\mu\text{sec}]$ 대의 기록과 소거전압으로 행할 수 있음을 보였다.

이상의 결과로부터 비휘발성 기억소자의 초기 문턱전압 변화가 정방향 바이어스 쪽이 부방향 바이어스 쪽보다 큼을 보여준다. 이와같은 현상은 기억전하의 산화막 터널링 시정수가 다르기 때문이다. 그리고 스위칭 전도특성이 양의 영역에서 나타났다. 이것은 정논리 디지털 레벨에 적합함을 알 수 있다.

3.2. 드레인저항 변화에 의한 드레인 소오스전압

채널폭과 길이가 $15 \times 1.5[\mu\text{m}]$ 인 이중절연막 소자의 드레인저항 변화에 의한 드레인 소오스전압을 측정된 결과는 그림 4와 같다. 소거전압 $V_E=-34[V]$, 소거전압 펄스폭 $P_E=50[\text{sec}]$ 를 인가하여 고전도상태로 설정한 후, 게이트전압 V_G 를 $3[V], 4[V], 5[V], 6[V], 7[V]$ 로 인가하고 드레인저항 R_D 을 $1 \sim 10[K\Omega]$ 으로 변화시키면서 드레인 소오스전압 V_{DS} 의 변화를 측정된 결과는 그림 4의 (1)과 같다. 기록전압 $V_W=+34[V]$, 기록전압 펄스폭 $P_W=50[\text{sec}]$ 를 인가하여 저전도상태로 한 후, 게이트전압 V_G 를 $3[V], 4[V], 5[V], 6[V], 7[V]$ 로 인가하고 드레인저항 R_D 을 $1 \sim 10[K\Omega]$ 으로 변화시키면서 드레인 소오스전압 V_{DS} 의 변화를 측정된 결과는 그림 4의 (2)와 같다.

그림 4의 (1), (2)에서 알 수 있는 바와같이 게이트전압 V_G 가 $3[V], 4[V], 5[V], 6[V], 7[V]$ 로 증가하면, 드레인 소오스전압 V_{DS} 는 감소하였다. 드레

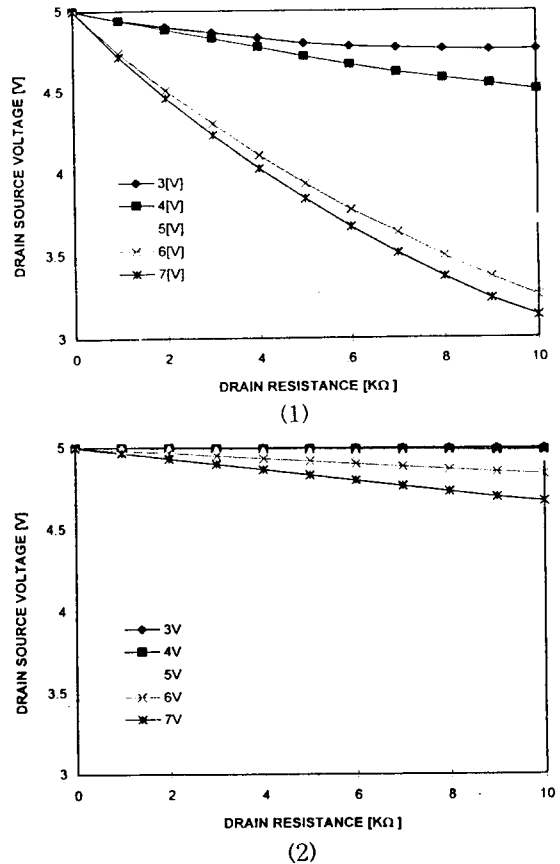


그림 4. 게이트 인가전압 V_G 에 대한 드레인 소오스전압 V_{DS} 대 드레인저항 R_D
(1) 고전도상태
(2) 저전도상태

Fig. 4. Drain source voltage V_{DS} vs. drain resistance R_D as the applied voltage V_G
(1) High conductance state
(2) Low conductance state

인저항 R_D 가 증가할 수록 드레인 소오스전압 V_{DS} 는 감소하였다.

이상의 결과로부터 게이트전압 V_G 가 증가하면 절화막의 기억전하 축적에 의한 채널형성과 게이트 바이어스 전압 영향에 의해 드레인 소오스전압 V_{DS} 는 감소한다. 드레인저항 R_D 가 증가하면 드레인 단자저항의 전압강하가 커져서 드레인 소오스전압 V_{DS} 는 감소한다.

3.3. 소오스저항의 변화에 대한 드레인 소오스전압

소오스저항 변화에 대한 드레인 소오스전압을

측정한 결과는 그림 5와 같다.

소거전압 $V_E = -34[V]$, 소거전압 펄스폭 $P_E = 50 [sec]$ 를 소자에 인가하여 고전도상태로 한 후, 게이트전압 V_G 를 3[V], 4[V], 5[V], 6[V], 7[V]로 인가하고 소오스저항 R_S 을 1~10[K Ω]으로 변화시키면서 드레인 소오스전압 V_{DS} 의 변화를 측정한 결과는 그림 5의 (1)과 같다. 기록전압 $V_W = +34[V]$, 기록전압 펄스폭 $P_W = 50 [sec]$ 를 인가하여 저전도상태로 한 후, 게이트전압 V_G 를 3[V], 4[V], 5[V], 6[V], 7[V]로 인가하고 소오스저항 R_S 을 1~10[K Ω]으로 변화시키면서 드레인 소오스전압의 변화를 측정한 결과는 그림 5의 (2)와 같다.

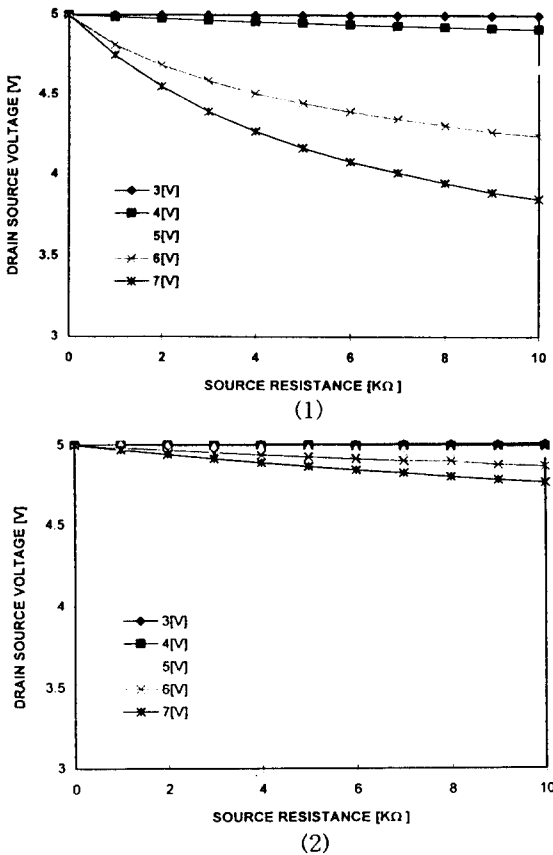


그림 5. 게이트 인가전압 V_G 에 대한 드레인 소오스 전압 V_{DS} 대 소오스저항 R_S
 (1) 고전도상태
 (2) 저전도상태

Fig. 5. Drain source voltage V_{DS} vs. source resistance R_S as the applied voltage V_G
 (1) High conductance state
 (2) Low conductance state

그림 5의 (1)과 (2)에서 알 수 있는 바와같이 소오스저항 R_S 가 증가할 수록 드레인 소오스전압은 감소하며, 게이트전압이 증가할 수록 드레인 소오스전압은 감소함을 알았다.

이상의 결과로부터 게이트전압 V_G 가 증가하면 질화막 축적전하에 의한 채널 형성과 게이트 바이어스전압 V_G 에 대한 영향 때문에 드레인 소오스전압 V_{DS} 는 감소하였다. 소오스저항이 증가하면 소오스 단자저항의 전압강하 때문에 드레인 소오스전압 V_{DS} 는 감소하였다.

그림 4와 그림 5로부터 드레인저항 R_D 와 소오스저항 R_S 를 1[K Ω]에서 10[K Ω]까지 균등하게 변화시키면서 측정한 드레인 소오스전압 V_{SD} 의 변화를 비교하면, 소오스저항 R_S 의 변화에 대한 드레인 소오스전압 V_{DS} 의 변화가 드레인저항 R_D 에 대한 드레인 소오스전압 V_{DS} 의 변화보다 영향이 작음을 보였다.

3.4. 소오스와 드레인저항에 의한 스위칭특성

SNOSFET EEPROM 기억소자의 소오스와 드레인단자에 각각 2[K Ω], 10[K Ω]의 저항을 삽입하여 소거전압 $V_E = -34[V]$, 소거전압 펄스폭 $P_E = 50 [sec]$ 를 인가하여 고전도상태로 초기상태를 설정한 후, 기록전압 $V_W = +34[V]$, 기록전압 펄스폭 $P_W = 50 [\mu sec]$, 500[μsec], 5[msec], 50[msec], 500[msec], 5[sec]로 변화시키면서 스위칭특성을 조사한 결과는 그림 6과 같다.

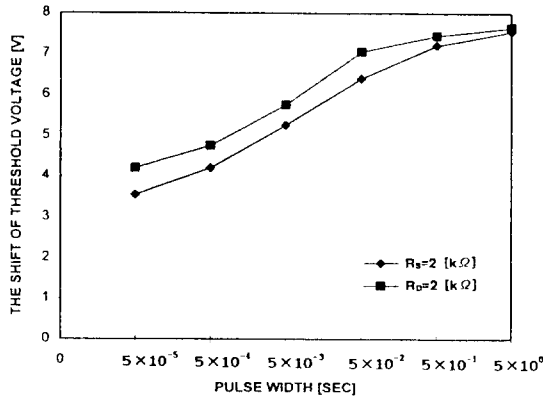
그림 6의 (1)에서 알 수 있는 바와같이 소오스와 드레인단자에 각각 2[K Ω]의 저항을 삽입하여 각각의 펄스폭 변화에 대한 문턱전압의 이동량을 측정 한 결과, 소오스단자에 직렬로 연결하였을 경우 드레인단자에 직렬로 연결하였을 경우보다 문턱전압의 이동량은 작았다.

그림 6의 (2)에서 알 수 있는 바와같이 드레인과 소오스단자에 각각 10[K Ω]의 저항을 직렬로 연결하여 펄스폭 변화에 대한 문턱전압의 이동량을 측정한 결과 소오스단자에 직렬로 연결한 문턱전압의 이동량보다 드레인단자에 직렬로 연결한 문턱전압의 이동량이 작음을 보였다. 그리고 드레인과 소오스단자에 큰 직렬저항이 연결될 경우 문턱전압의 이동량 변화가 초기에 나타났다.

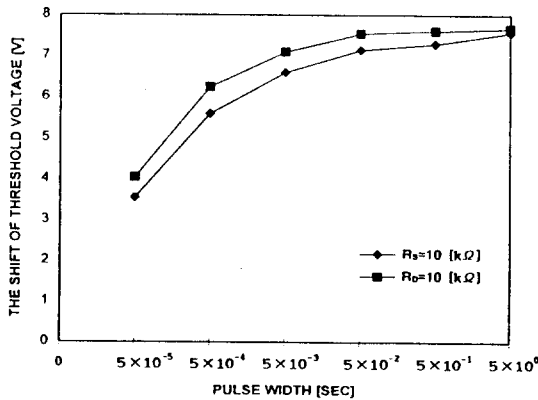
3.5. 반전특성

비휘발성 SNOSFET EEPROM 기억소자에서 저전도상태와 고전도상태의 게이트 인가전압에 따른 구동특성을 측정한 결과는 그림 7과 같다.

SNOSFET는 구동단으로 동작하고 출력은 부하



(1)



(2)

그림 6. 소오스와 드레인저항 효과에 의한 스위칭특성

- (1) $R_S = 2 [k\Omega]$, $R_D = 2 [k\Omega]$
- (2) $R_S = 10[k\Omega]$, $R_D = 10[k\Omega]$

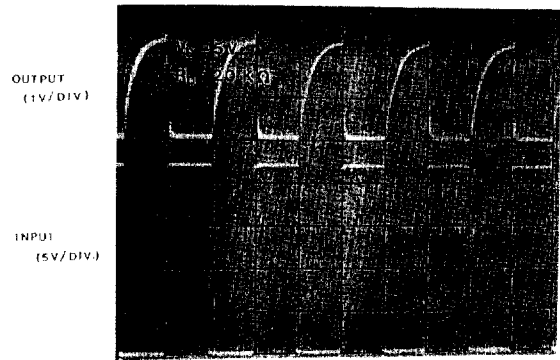
Fig. 6. Switching characteristics by the effect of source and drain resistance

- (1) $R_S = 2 [k\Omega]$, $R_D = 2 [k\Omega]$
- (2) $R_S = 10[k\Omega]$, $R_D = 10[k\Omega]$

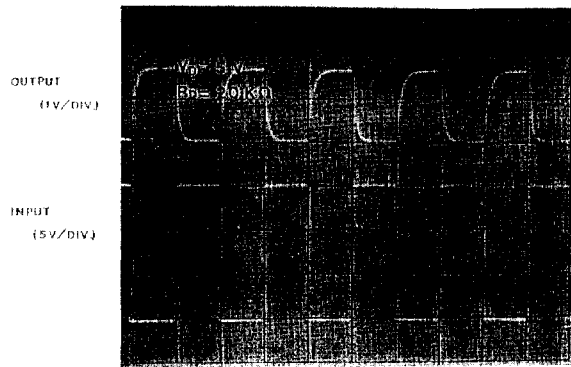
20[KΩ] 선형저항을 사용하여 측정하였다. 입력펄스는 구동단으로 동작하는 SNOSFET의 게이트에 인가하였다. 반전출력은 20[KΩ]의 부하저항으로부터 출력되는 신호를 측정하였다.

채널폭과 길이가 $15 \times 1.5[\mu m]$ 인 이중절연막 소자에 소거전압 $V_E = -34[V]$, 소거전압 펄스폭 $P_E = 50 [sec]$ 를 인가하여 고전도상태로 한 후 반전출력을 측정된 결과는 그림 7의 (1)과 같다. 기록전압 $V_W = +34[V]$, 기록전압 펄스폭 $P_W = 50 [sec]$ 를 인가하여 저전도상태로 한 후 반전출력을 측정된 결과는 그림 7의 (2)와 같다.

그림 7의 (1)과 (2)에서 알 수 있는 바와같이 절



(1)



(2)

그림 7. SNOSFET의 반전특성 파형

- (1) 정펄스에 대한 기록시 동작모드
- (2) 정펄스에 대한 소거시 동작모드

Fig. 7. Waveform for inverting characteristics of SNOSFET

- (1) Write operation mode with positive pulse
- (2) Erase operation mode with positive pulse

화막의 전하저장에 의한 저전도상태에서 구동단 출력파형은 채널형성을 위하여 게이트단자에 높은 바이어스 전압이 요구되었으며, 질화막 기억전하 소거에 의한 고전도상태에서 출력파형은 작은 게이트전압으로도 구동단을 동작할 수 있었다.

저전도상태시 구동단 출력파형을 나타내기 위한 게이트전압은 11.8[V] 이상이 되어야 하고, 고전도상태시 구동단 출력파형을 출력하기 위한 게이트전압은 4.4[V] 이상이 되어야 한다. 전형적 출력파형을 출력하기 위해서는 저전도상태시 13[V] 이상의 게이트전압이 필요하며, 고전도상태시 6[V] 이상의 게이트전압이 인가되어야 출력파형은 질화막 전하의 영향을 받지 않는다. 입력파형에 대한 출력

과형의 시간지연은 저진도상태에서는 3[usec]이고, 고진도상태에서는 1[usec]이다. 시간지연은 구동단으로 동작하는 SNOSFET의 절연막 용량과 채널 저항에 의한 것이다.

IV. 결 론

본 논문은 비휘발성 SNOSFET EEPROM 기억소자의 기록과 소기상태에서 전도특성에 따른 외부 바이어스 영향을 조사하였다.

1. 저진도상태와 고진도상태의 스위칭 전달콘덕턴스의 실효 메모리 윈도우는 7.4[V]였으며 전달콘덕턴스는 인가전압과 폭에 따라 변화하였다.
2. 외부 바이어스 저항에 의한 드레인 소오스전압의 변화는 게이트전압이 커질수록 증가하였다.
3. 저진도상태와 고진도상태에서 드레인 소오스전압의 변화는 저진도상태 변화보다 고진도상태 변화가 큼을 보였다.
4. 기록과 소기상태에서 소오스와 드레인저항을 삽입한 문턱전압의 이동량 변화는 드레인 임피던스성분이 소오스 임피던스성분보다 영향이 작았다.
5. 저진도상태에서의 시간지연은 3[usec]이고, 고진도상태에서의 시간지연은 1[usec]이었다. 임피던스와 캐패시턴스 성분은 SNOSFET EEPROM의 구동능력과 지연시간에 영향을 주며 기능을 저하시켰다.

※ 본 연구는 유한전문대학 부설 산업과학기술연구소 연구비 지원으로 수행되었음.

V. 참 고 문 헌

- 1) P.I. Sucus, et al., "Experimental Derivation of the Source and Drain Resistance of MOS Transistors", IEEE Tran. on Electron Devices, Vol.ED-27, No.9, p.1846, 1980
- 2) K.L. Peng, et al., "An Improved Method to Determine MOSFET Channel Length", IEEE Electron Device Letters, Vol.EDL 3, No.12, p.360, 1982
- 3) B.J. Sheu, et al., "A Capacitance Method to Determine Channel Lengths for Conventional and LD MOSFET's", IEEE Electron Device Letters, Vol. EDL-5, No.11, p.491, 1984

- 4) J. Whitfield, "A Modification on An Improved Method to Determine MOSFET Channel Length", IEEE Electron Device Letters, Vol. EDL 6, No.3, p.109, 1985
- 5) K.K. Ng, et al., "The Impact of Intrinsic Series Resistance on MOSFET Scaling", IEEE Tran. on Electron Device, Vol.ED 34, No.3, p.503, 1987
- 6) F.L. Schuermeyer, et al., "Gate Voltage Dependence Source and Drain Series Resistances and Effective Gate Length in GaAs MESFET's", IEEE Trans. on Electron Devices, Vol.35, No.8, p.1241, 1988
- 7) S. Minami, et al., "New Phenomena in MNOS Retention Characteristics and Their Application to Memory Devices Design for Megabit EEPROM's", Conference on Solid State Devices and Materials, p.169, Tokyo, 1988
- 8) C. Hu, et al., "The Effect of Source and Drain Resistance on Deep Submicrometer device Performance", IEEE Trans. on Electron Devices, Vol.37, No.11, 1990
- 9) G. Mahinthakumar, et al., "Contact Resistance for Small Contacts", IEEE Trans. on Electron Devices, Vol.38, No.12, 1991
- 10) H. Arima, et al., "A High Density High Performance Cell for 4M Bit Full Feature Electrically Erasable Programmable Read Only Memory", J. J.Applied Physics, Vol.30, p.L334, 1991
- 11) G. Merckel, et al., "Negative Resistance VLSI Integrable Devices", IEDM p.549, 1993
- 12) 강창수 외 "Short Channel SNOSFET EEPROM의 제작과 특성에 관한 연구", 전기전자재료학회지, Vol.6, No.4, p.330, 1993

저자소개



강창수

1956년 10월 6일생. 1982년 2월 광운대학교 공대 전자공학과 졸업. 1986년 2월 한양대학교 전자공학과 석사. 1992년 2월 광운대학교 대학원 전자재료공학과(공학). 1995년 현재 유한전문대학 전자과 조교수.