

超薄膜 酸化膜 MOS 캐패시터에서 電子波 干涉의 極性 效果

논문
8-5-9

The Polarity Effect of Electronic Waves Interference in the Ultra Thin Oxide MOS Capacitor -

강 정진*
(Jeong-Jin Kang)

Abstract

This study was concerned, after the oxide films(50 [Å]) were grown in a furnace and the MOS capacitor fabricated, with experimental comparison and verification about the Interference Effect of Electronic Waves in the ultra thin oxide/silicon interface. The average error was about 0.8404[%] in n⁺gate/p-sub and about 0.2991[%] in p⁺gate/p-sub. Therefore, it was predicted that the Interference Effect of Electronic Waves can overcome somewhat according to the gate polarity.

Key words(중요용어) : Interference effect(간섭효과), Electronic waves(전자파)

1. 서 론

Si 반도체 제조 기술의 집적도가 ULSI (Ultra Large Scale Integrated circuit)급으로 발전함에 따라, 최소 선폭이 크게 감소하고 미세 가공 기술은 많은 한계점에 도달하였다. 특히 단위 소자인 MOS소자의 박막화된 게이트 산화막(Only Oxide; 이하 O 라 표기)에 고 전계가 인가되면 산화막 붕괴등의 전기적 특성 및 신뢰성에 심각한 문제가 야기된다.^{1,2)} 따라서, 실리콘 산화막의 박막화에 대한 물리적인 한계성을 극복하기 위하여 초박막 MOS 캐패시터를 제작한 후, 게이트 극성에 따른 초박막 산화막/실리콘 계면에서 반사된 전자파 간섭 효과를 실험적으로 검증하고, 박막 MOS 구조에 적합하도록 일정 비율 이동하여 수정시킨 Fowler-Nordheim (이하 FN 이라 약칭) 터널 전류밀도와와의 비교를 통하여 극성에 따른 전자파 간섭의 감쇠효과를 확증함으로써, ULSI 급의 단위소자인 MOSFET에의 적용가능성을 검토하고자 한다.

2. 이론적 고찰

산화막에 인가하는 전계를 크게 하면 전류가 흐르게 되며, 더욱 크게 하면 산화막 붕괴 (Oxide breakdown)특성이 나타난다. 박막 MOS 구조에서 게이트 산화막의 붕괴현상에 대한 물리 모델은 충격 이온화(Impact ionization) 및 정공 포획(Hole trapping)에 근거하고 있으며, 이의 물리적 이해를 위해서는 게이트 전극과 절연체 간의 전위 장벽을 통한 전자의 양자역학적 터널링 (Quantum mechanical tunneling)에 대한 이해와 주입된 전송자의 정성적·정량적 해석이 요구된다. 에너지 장벽을 통한 전자 방출 모델에서 전계 방출 모델(Field-emission model)은 최초로 Fowler와 Nordheim이 주장하여 FN 터널링이라 하며, 후막 산화막에서의 전자·전송은 FN 터널링이 지배적인 것으로 알려져 있으며, FN 터널 전류 혹은 이에 따른 현상에 관한 연구로서 전위장벽의 높이 및 산화막 속의 전자의 유효 질량을 구하는 시도 및 산화막속에 포획된 전하밀도의 측정, 그리고 전류 스트레스를 인가한 경우의 산화막 수명의 추정 및 계면 준위의 발생 속도등 많은 연구가 진행되어 왔다.

발생 속도등 많은 연구가 진행되어 왔다.

본 연구에서는 전자파 간섭 효과를 명확하게 이해하기 위하여 FN 터널링 방정식 및 인가 전압 극성에 따른 전송자 주입 방향의 변화와 장벽의 높이 효과에 대해 검토하였다.

* : 대우공업전문대학 전자통신과

접수일자 : 1995년 2월 14일

심사완료 : 1995년 7월 8일

2-1. 터널링 방정식

산화막에서의 전자 전송을 지배하는 FN 터널링 방정식 즉 방출 전류 밀도 방정식(1)은 다음과 같다.⁴⁾

$$\frac{J}{E_{ox}^2} = C \exp(-\beta/E_{ox}) \quad (1)$$

여기서,

$$C = \frac{q^3 m_o}{8\pi h \phi m^*} = 1.54 \times 10^{-6} \frac{m_o}{m^*} \frac{1}{\phi} [A/V^2]$$

$$\beta = \frac{8\pi}{3} \frac{(2m^*)^{1/2}}{hq} \phi^{3/2} = 6.83 \times 10^7 \left(\frac{m^*}{m_o}\right)^{1/2} \phi^{3/2} [V/cm]$$

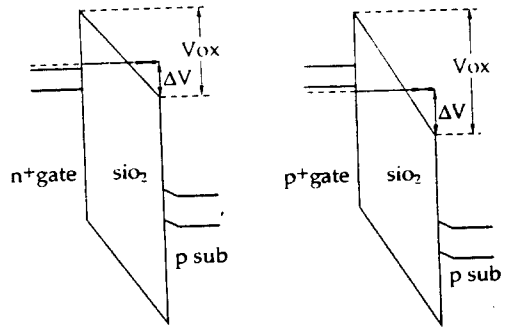
또한, J는 전류 밀도, q는 전자의 전하량이며 h는 Planck 상수이다. m*는 산화막 속의 전자 혹은 정공의 유효질량을 의미하며, 전자인 경우 m* = 0.5 m_o (m_o는 자유공간에서 전자 질량) 으로 가정하였다.⁵⁾ φ는 계면의 장벽 높이 즉, 산화막 전도대 아래(혹은 가전자대 상) 와 음극 (혹은 양극)의 Fermi에너지 차이이며, E_{ox}는 게이트 산화막에 걸린 전계이다.

2-2. FN 전류에서 전자파 간섭의 극성 효과

1975년 Lewicki와 Maserjian은 최초로 MOS 캐패시터 구조의 산화막/실리콘 계면에 있어서 물결과 현상을 실험적으로 발견하였는데, FN 전류에서의 전자파 간섭을 그 원인으로 설명할 수 있다.^{4,7)}

그림 1의 (a)는 n⁺ 전극/p 기판인 경우로서 전송자의 흐름은 방향은 전자가 (기판 혹은 전극)실리콘의 전도대로 부터 산화막의 삼각 전위를 관통하여 산화막의 전도대로 흐르고, (b)는 p⁺ 전극/p 기판인 경우로서 MOS 구조의 에너지 대 모델과 FN 전류를 나타낸 것으로, 전송자의 흐름은 방향은 전극 실리콘의 가전자대로 부터 산화막의 삼각 전위를 관통하여 흐르거나 기판 실리콘의 정공이 관통하여 흐르게 된다. 그러므로, 전자파 간섭은 삼각 전위를 관통한 일부 전자가 산화막/실리콘 계면의 전위 차에 의해 반사되며, 입사 전자와의 간섭에 의해 발생하는 현상으로 해석할 수 있다.

그림 2는 전위 장벽을 간단한 삼각형으로 보고 Fermi 에너지차와 전위 장벽 높이의 관계

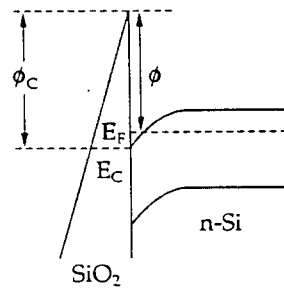


(a) n⁺ 전극/p 기판 (b) p⁺ 전극/p 기판
(a) n⁺ gate/p sub (b) p⁺ gate/p sub

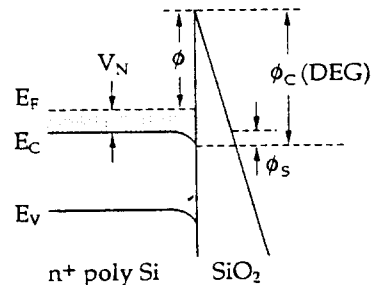
그림 1. MOS 구조의 에너지대 모델과 FN 전류

Fig. 1. Energy band model and FN current of MOS structure

를 나타낸 것으로, (a) 비 축퇴된 단결정 실리콘의 경우 산화막 전도대와 실리콘 전도대의 장벽 높이 φ_c는 다음 식(2)에 의해 구할수 있다.



(a) 비 축퇴된 단결정 실리콘
(a) Non-degenerated crystal silicon



(b) 축퇴된 다결정 실리콘
(b) Degenerated poly-silicon

그림 2. Fermi 에너지 차와 전위 장벽 높이의 관계

Fig. 2. Relation of Fermi energy difference and potential barrier height

$$\varphi_c(\text{비축퇴}) = \varphi + (E_F - E_C)_s \quad (2)$$

여기서, $(E_F - E_C)_s$ 는 단결정 실리콘 산화막 계면에서의 전도대 아래와 Fermi 에너지의 차이이며, 이 값은 인가 전압에 따라 다르지만 0.2 [eV] 정도이다. 그리고, (b) 축퇴된 다결정 실리콘의 경우, 전도대와 Fermi 에너지의 차이 V_N 과 밴드의 굽어진 양 φ_s 부터 식(3)이 된다.

$$\varphi_c(\text{축퇴}) = \varphi + V_N + \varphi_s \quad (3)$$

여기서, V_N 은 $(KT/q) [\ln(N_D/N_i) + 0.35(N_D/N_i)]$ 이며, $V_N + \varphi_s$ 값은 0.15 + 0.1 [eV] 이다. 따라서, 식(3) - 식(2) 즉, $\varphi_c(\text{축퇴}) - \varphi_c(\text{비축퇴})$ 값은 0.05 [eV] 오차가 있으나, 대역 감소 (band narrowing) 량을 고려하면 타당하게 되고 그 값의 반이 전도대의 에너지 준위를 저하시킨다고 생각하면 잘 일치하게 된다.

3. 시료 제작 및 측정 방법

본 연구는 초 박막 구조의 산화막 (O) 을 열산화 (Thermal Oxidation: 이하 TO 라 표기) 시스템으로 성장하였다. 시료 제작은 표준 세척 공정을 거친 뒤 1100[°C]로 14초 동안 dry O₂ 분위기에서 50[Å] 두께로 성장시켰으며, 열산화막을 wet O₂ 분위기에서 800 [°C], 10분 30초 동안 산화하여 SiO₂를 성장하였다. 전극은 LPCVD 방법으로 620 [°C] 에서 SiH₄를 열분해하여 다결정 실리콘을 1719 [Å] 증착한 후 850 [°C]에서 25분 POCl₃도핑하였다. 절연막 두께 측정 방법으로 50 [Å]의 O는 Nanospec을 사용하여도 가능하지만 초점 조절을 사용자가 해 주어야 하므로 계기 오차등의 불정확성이 발생하므로, 자동 초점 조절등 초 박막 측정에 더욱 정확한 Ellipsometer를 사용하여 모니터 웨이퍼상에서 측정하고 유효 두께는 수식 계산에 의해 구하였다.

다결정 실리콘과 O 박막을 Dot mask/ Etching으로 패턴 형성하여 MOS Capacitor를 제작하였으며 전체 공정 순서도는 그림3과 같다. 절연막의 전기적 특성을 분석하기 위한 I-V 측정은 HP 4140B를 이용하였으며, P형 기판이 Accumulation mode가 되도록 하기 위해 게이트 전극에 (-)전압을 인가하면서 Sweep 하였다.

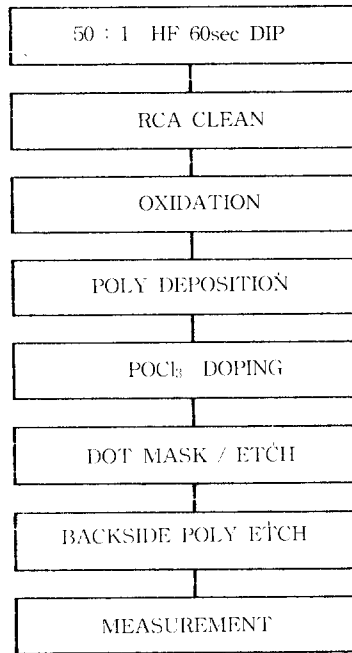


그림 3. MOS캐패시터 제작의 공정 순서도

Fig. 3. Process flowchart for MOS capacitor fabrication

4. 실험 및 결과 고찰

그림4는 FN 터널 전류를 $\ln(J/E_{ox}^2)$ (y축)과 $1/E_{ox}$ (x축)으로 도시한 것으로, p' 전극/p 기판인 경우는 거의 선형적으로 나타나지만 n' 전극/p 기판인 경우 $1/E_{ox}$ 가 $10 \times 10^{-8} \sim 12 \times 10^{-8}$ [cm/V]에서 물결 현상이 일어남을 실험적으로 확인할 수 있었는데, 이와같이 게이트 극성에 따라 간섭 현상을 제거할수 있음을 제시하고 있다. 그림5의 (a), (b)는 FN터널링 이론식 (1)을 n' 전극/p 기판 곡선 및 p' 전극/p 기판 곡선에 일정 비율로 이동시켜 fitting 시킨 상태이며, 이론치와 실험치의 오차값을 V_{ox} 값 변화에 따라 도식적으로 나타내면 그림6과 같은 파형을 나타낸다.

식(1)은 고 전계에서 선형 특성을 갖는 전류 전압 관계식으로, 후막으로 부터 얻어진 결과와 잘 일치하는 이론식이다. 그러나, 초 박막에서는 그림 4 및 5 와 같이 직선 주변의 데이터 값을 갖는 일정한 진동 현상이 관찰되며, 그 이유는 SiO₂/Si 계면에서 입사 및 반사된 전자파의 간섭에 의해 일어나는 것으로, 삼각 장벽을 통한

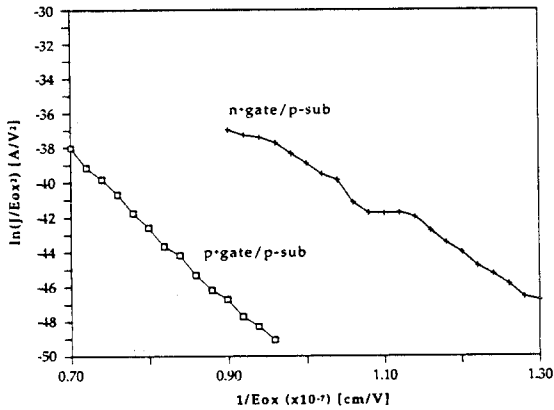


그림 4. 게이트 전극에 따른 $\ln(J/E_{ox}^2) - 1/E_{ox}$ 특성

Fig. 4. $\ln(J/E_{ox}^2) - 1/E_{ox}$ characteristics according to the gate polarity

전자 터널링을 예측할 수 있다.

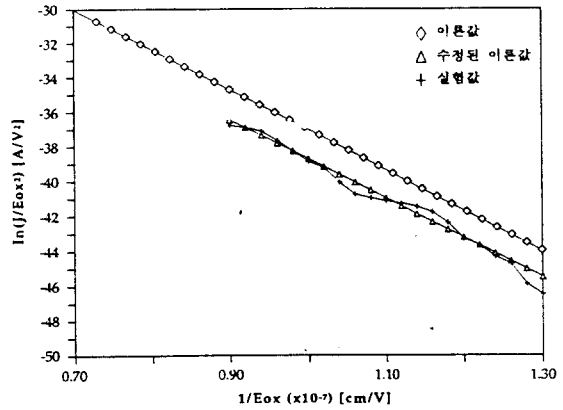
이러한 전류 포화(Current saturation) 현상 혹은 부정 저항(Negative resistance) 특성은 n⁺ 전극/p 기판인 경우 이론치와 실험치의 평균 오차는 약 0.8404[%]이며, p⁺ 전극/p 기판인 경우 약 0.2991[%]이므로 게이트 극성에 따라 EWIE현상이 감소함을 알 수 있다. 또한, $\ln(J/E_{ox}^2)$ 의 이론 및 실험치는 선형 의존 함수이며, $\Delta \ln(J/E_{ox}^2)$ 는 V_{ox} 증가에 따라 진동함을 알 수 있다.

p⁺ 전극/p 기판의 경우에는 간섭 효과가 극히 적은데 그 원인으로 첫째, 산화막 계면의 불균일성(요철)이 심한 경우 둘째, 산화막의 전도대에서 음자(Phonon)와의 충돌등으로 비탄성 산란을 받게 되어 전자파의 위상이 변화되는 경우 등의 가능성을 생각할 수 있다.

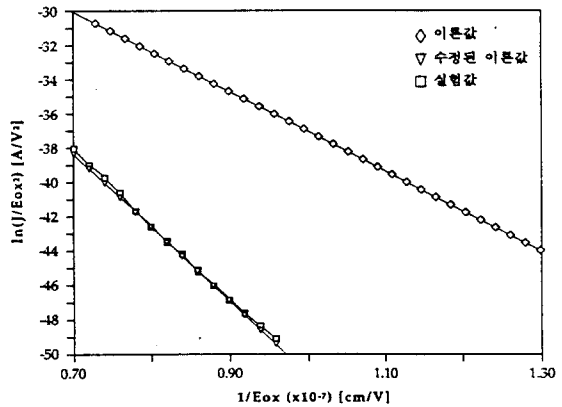
5. 결 론

본 연구는 전기로에서 열적 산화시킨 50 [Å]의 산화막위에 n⁺ 게이트와 p⁺ 게이트의 두 극성을 갖는 초 박막 MOS 캐패시터를 제작하여, 초 박막 산화막/실리콘 계면에서 반사된 전자파 간섭 효과를 이론치와 실험치의 비교를 통하여 검증하고, 게이트 극성에 의해 박막화의 한계를 극복할 수 있음을 예측하였다.

제작된 MOS 캐패시터에 고 전계를 인가한 경우, EWIE 현상은 n⁺전극/p기판인 경우 우세하게 나타나며, p⁺전극/p기판인 경우에는 약하게



(a) n⁺gate/p-sub인 경우



(b) p⁺gate/p-sub인 경우

그림 5. 극성에 따른 이론 및 실험치의 $\ln(J/E_{ox}^2) - 1/E_{ox}$ 특성

Fig. 5. $\ln(J/E_{ox}^2) - 1/E_{ox}$ of theoretical and experimental values according to the polarity

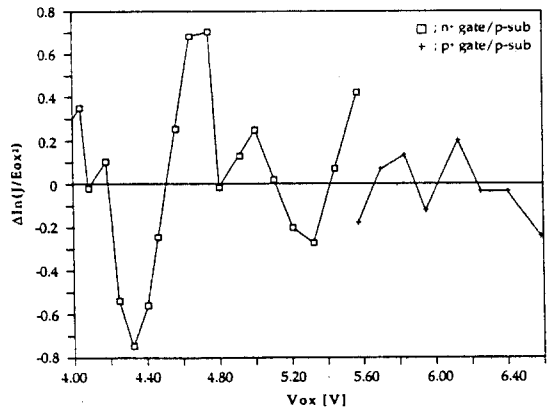


그림 6. $\Delta \ln(J/E_{ox}^2) - V_{ox}$ 특성

Fig. 6. $\Delta \ln(J/E_{ox}^2) - V_{ox}$ characteristics

나타나는 특성을 보였다. $\ln(J/E_{ox}^2) - (1/E_{ox})$ 특성의 이론 및 실험치에 대한 평균 오차는 n⁺ 전극/p기판인 경우 약 0.8404[%]이며, p⁺ 전극/p기판인 경우 약 0.2991[%]이므로, 게이트 극성에 따라 EWIE 현상은 어느 정도 극복될 수 있음을 예측하였으며, 이것은 향후 ULSI 급의 초 박막 MOSFET 제작 시 적용 가능성을 시사하고 있다.

참 고 문 헌

1. H.Sunami et.al., "Trends in megabits DRAM's", Int.Sym.on VLSI Tech. Systems and Application, 4, 1985
2. M.S.Liang et.al., "Hot Carriers Induced Degradation in Thin Gate Oxide MOSFETs", in IEDM Tech.Dig., 186, 1983
3. S.K.Lai et.al., "Electrical properties of nitrated oxide systems for use in gate dielectrics and EEPROM", in IEDM Tech. Dig., 190, 1983
4. M.Lenzlinger et.al., "Fowler-Nordheim tunneling into thermally grown SiO₂" J. Appl. Phys. Vol.40, 28, 1969
5. Z.A.Weinberg, "On tunneling in metal-oxide-silicon structure", J.Appl. Phys., Vol.53, No.7, 5052, 1982
6. G.Lewicki and J.Maserjian, "Oscillations in MOS tunneling", J. Appl. Phys. Vol.46, No.7, 3032, 1975
7. J.Maserjian and N.Zamani, "Behavior of the Si/SiO₂ interface observed by Fowler-Nordheim tunneling", J. Appl. Phys. Vol. 53, No.1, 559, 1982
8. 姜廷震外 2人, "超薄膜 誘電體/실리콘 界面에서의 電子波 干涉 效果", 韓國電氣電子材料學會誌, Vol.4, No.1, 38, 1991

저자소개



강정진

1959년 12월 21일생. 1982년 2월 건국대학교 전자공학과 졸업. 1986년 2월 동 대학원 전자공학과 졸업(석사). 1991년 2월 동 대학원 전자공학과 졸업(공학박사). 1995년 현재 대우공전 전자통신과 조교수.