

Furnace의 N₂O 분위기에서 성장시킨 Oxynitride MOS 캐패시터 특성

박진성 · 문종하* · 이은구

조선대학교 재료공학과

*전남대학교 무기재료공학과

(1995년 1월 9일 접수)

Characteristics of Oxynitride MOS Capacitor Prepared in N₂O Atmosphere of Furnace

Jin-Seong Park, Jong-Wha Moon* and Eun-Goo Lee

Dept. of Mater. Sci. & Eng., Chosun Univ.

*Dept. of Ceram. Eng., Chonnam Univ.

(Received January 9, 1995)

요 약

노를 이용해서 Si(100) 웨이퍼 위에 반응기체로 O₂와 N₂를 조합해서 8 nm의 극박막 질화산화막을 성장시켰다. 기존의 순수한 실리콘산화막에 비해서 Q_{bd}, I-V 특성이 우수했고 flat-band 전압 이동도 작았다. 질화산화막은 붕소 원소에 대한 투과 억제성도 우수함을 확인할 수 있었다.

ABSTRACT

Ultrathin oxynitride (SiO_xN_y) films, 8 nm thick, were formed on Si(100) in furnace using O₂ and N₂O as reactant gas. Compared with conventional furnace grown oxide, oxynitride dielectrics show better characteristics of Q_{bd} and I-V, and less flat-band voltage shift. Excellent diffusion barrier property to dopant (BF₂) is also confirmed.

Key words: Oxynitride, MOS capacitor, Electrical property

1. 서 론

VLSI의 기억 소자, 특히 MOSFET와 같은 제품의 고집적화에 따라 극박막화된 SiO₂ 막이 요구되고 있다^{1,2}. 게이트 절연물질은 누설전류가 작고, 유전 특성이 우수하면서 충분한 신뢰성을 갖는 것이 필수적이다.

반도체 기억소자의 급속한 집적도 증가에 따라 게이트 절연물질인 SiO₂의 두께도 계속 감소해서 0.25 μm 급 반도체 소자의 산화막 두께는 10 nm 이하가 될 것이 확실시 되어 고전계 인가에 따른 절연파괴 가능성과 함께 장기 신뢰성 저하가 문제되고 있다. 또 DRAM 분야의 소자 크기 축소에 따른 punch-through 특성 저하, 이중 게이트 적용에 있어서의 문턱전압 불안정성 등이 문제점으로 제기되고 있다^{3,4}.

이러한 점들을 개선하기 위해 신물질 및 신공정에 대한

다양한 연구가 현재 진행되고 있다. 특히 이들 연구 중 기존의 SiO₂ 물질과 유사하면서 수 %의 질소 성분만을 더 포함하고 있는 질화산화물(oxynitride : SiO_xN_y)이 산화막 신뢰성 향상과 함께 트랜지스터 특성을 개선할 수 있는 물질로 보고되고 있다⁴. 이제까지의 질화 산화막 연구는 급속가열장치(rapid thermal processor)를 이용해 제조한 물질에 대해 주로 이루어져 왔다^{5,6}. 그러나 급속가열장치에 의한 질화산화막은 제조온도가 1100°C 이상의 고온이어야 하고, 급속가열장치의 기술적 한계인 온도 불균일성에 의해 두께 균일성이 매우 나쁘며, 또한 재현성도 매우 불안정해서 실제 응용에 큰 취약성을 보였다. 따라서 현재의 게이트 절연막용 질화산화막 연구는 급속가열장치가 아닌 기존의 노(furnace)를 이용한 연구가 진행되고 있다⁷.

본 논문에서는 노(furnace)를 사용해서 성장시킨 질화

산화막으로 제조한 MOS(metal oxide semiconductor) 캐패시터의 소자 특성을 순수한 실리콘 산화막으로 제조한 MOS 소자와 비교하였다.

2. 실험 방법

비저항이 10 Ω-cm인 P-type (100) Si 웨이퍼를 사용하였다.

산화막은 N₂, O₂, 그리고 N₂O 기체를 조합하거나, 순수한 O₂ 만을 사용해서 성장시켰다. MOS 캐패시터는 LOCOS(local oxidation of silicon) 공정으로 450 nm 두께의 소자 분리 산화막을 형성시키고, 전처리 세정후 실리카산화막(SiO₂)과 질화산화막(SiO_xN_y)을 절연막으로 성장시켰다. 질화산화막 성장 열처리는 노의 초기 온도를 800°C, 승온속도를 10°C/min, 그리고 질화막 성장 경우는 온도를 950°C로 하였다. 웨이퍼 장입 온도인 800°C에서는 N₂ 만을 흘려주었고, 8 nm의 게이트 절연막 성장 시간을 줄이기 위해서 승온 중에 O₂와 N₂를 혼합해서 약 5.5 nm의 산화막을 우선 성장시켰고, 950°C에서는 N₂O 만을 흘려 질화산화막을 성장시켰다⁷⁾. 순수한 실리콘 산화막은 막성장 온도를 900°C로 해서 O₂ 기체를 사용해서 8 nm 산화막을 성장시켰다. 절연막의 게이트 전극으로 다결정 실리콘을 200 nm 증착하고 전극 특성을 부여하기 위해 n-type 경우는 POCl₃ 침적으로 인을 확산시키거나, p-type 경우는 BF₂를 30 KeV, 3×10¹⁵ atoms/cm²로 이온 주입하여 900°C, 30 min 열처리해서 활성화시켰다. 붕소(boron) 투과성은 시편 제조 후 950°C, 60 min의 후속 열처리 실시 후 SIMS로 비교하였다.

산화막 두께 측정은 Si 기판에 산화막을 성장시킨 경우는 굴절율(refractive index)을 1.47로 해서 Ellipsometer로 측정했고, MOS 구조에서는 유전용량을 측정해서 C_{max} 값을 두께로 환산하였으며, 일부는 고분해능 TEM으로 이 값들을 확인했다. 이차이온질량분석기(SIMS)와 AUGER 전자현미경(AES)을 이용해서 질화산화막 내의 질소(nitrogen) 함량을 순수한 실리콘 산화막과 비교 분석하였다.

산화막의 절연파괴 특성은 측정시 전압을 0.2 volt 씩 증가시키며 각 구간에서 유지 시간을 0.2초로 하는 전압증가(voltage ramping) 방법을 사용하였으며, 절연파괴의 기준은 누설전류가 0.1 mA/cm²를 기준으로 했다. C-V 특성은 LCR 미터기로 10 kHz에서 측정하였고 flat-band 전압 변화는 -10 mA/cm²의 일정한 전류를 게이트 전극에 인가해서 측정하였다.

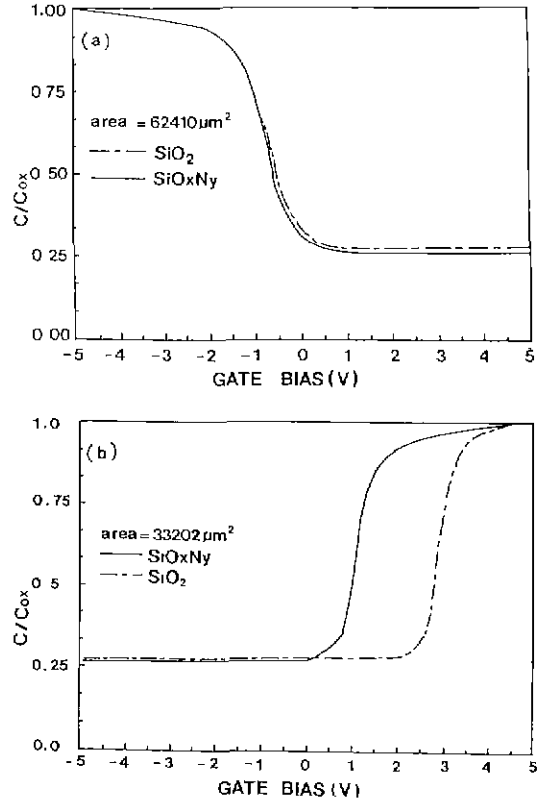


Fig. 1. High frequency behavior of MOS capacitor for (a) n-MOS and (b) p-MOS.

3. 결과 및 고찰

Fig. 1은 n-과 p-MOS capacitor의 C-V 측정결과로 측정조건은 주파수를 10 KHz로 하고 전압을 0.1 V 간격으로 inversion에서 accumulation로 인가하였다. Fig. 1(a)는 p-well 형성 후 게이트 절연막으로 순수한 실리콘산화막(SiO₂)과 질화산화막(SiO_xN_y)을 성장시킨 후, 게이트 전극 물질로 다결정 실리콘을 증착시켜 여기에 인을 침적시켜 게이트 전극(electrode) 특성을 갖도록 한 n-MOS 캐패시터의 C-V 결과이다. 순수한 실리콘산화막과 질화산화막 간에 flat-band 전압이 거의 차이가 없음을 알수 있다. (b)는 n-well 위에 순수 실리콘 산화막과 질화산화막을 성장시킨 후, 역시 게이트 전극 물질로 다결정 실리콘을 증착시키고 여기에 n-MOS의 인 대신 BF₂를 이온 주입 및 활성화시켜 게이트 전극 특성을 갖도록 한 p-MOS 캐패시터의 C-V 결과이다. (a)의 n-MOS에

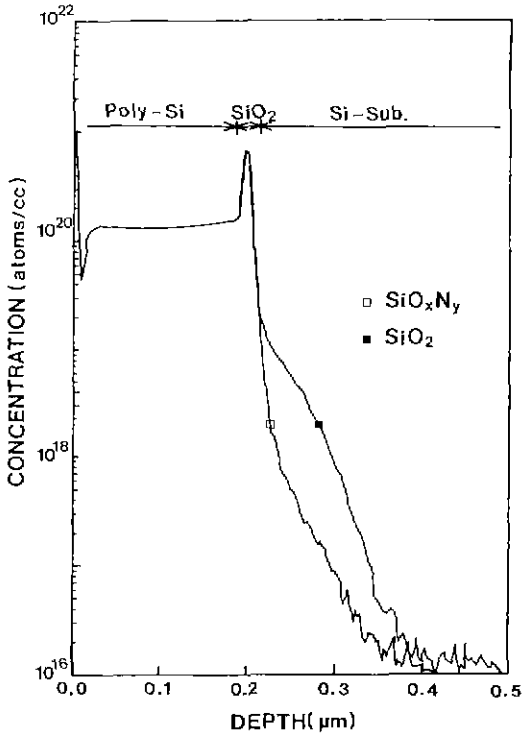


Fig. 2. SIMS depth profile of boron for poly-Si/SiO₂ (or SiO_xN_y)/Si-substrate structure.

서는 순수한 실리콘산화막과 질화산화막 간에 flat band 전압 변화가 미미했으나 (b)의 p-MOS 캐패시터는 약 2 V 정도의 비교적 큰 전압 변화가 측정된다. 이러한 결과는 n-MOS 캐패시터 경우는 게이트 전극 형성시 이온반경이 큰 인을 사용함에 반해서 p-MOS 경우는 붕소를 사용해서 전극 특성을 갖도록 한 것이 주요 원인이다. 즉 flat band 전압 변화는 게이트 절연막 막질 변화에 의해 질화산화막을 통해서 붕소가 실리콘 기판쪽으로 투과가 어렵지만 실리카산화막 경우는 투과가 잘되어 기판 농도가 변화해서 나타난 결과로 해석할 수 있으며 SIMS 분석 결과를 Fig. 2에 도시했다. 최종적으로 flat-band 전압 변화는 MOS 소자를 작동시키는 임계전압(threshold voltage) 변화와 관련된 소자 불안정성을 야기하므로 p-MOS 경우 질화산화막이 순수한 실리콘산화막보다 안정한 소자특성을 나타낼 것이다.

두 절연막의 절연특성을 검토하기 위해 n-MOS 캐패시터의 게이트 전극에 -100 mA/cm²의 일정한 전류 밀도를 인가하여 파괴 시간까지 절연막을 지나간 전하밀도(Q_{bd})를 Weibull 분포로 Fig. 3에 도시했다. 질화산화막

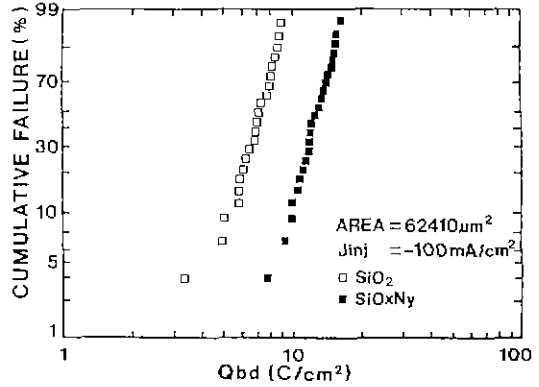


Fig. 3. Weibull plot of charge to breakdown of MOS capacitors.

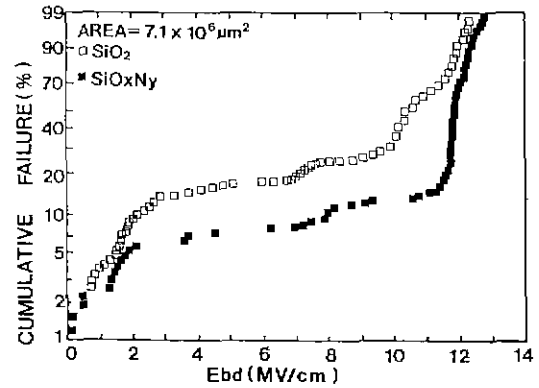


Fig. 4. Weibull plot of breakdown failure with electric field.

(SiO_xN_y)이 실리카산화막(SiO₂)에 비해 전체적으로 큰 Q_{bd} 값 분포를 보이고 있고, 누적 불량율 50%에서 SiO₂는 7.0 C/cm², SiO_xN_y는 12.8 C/cm²로 약 2배가 향상된다. 실제 고집적 소자와 같이 결함이 분포할 확률이 큰 넓은 면적의 절연과피 전체에 따른 누적 불량율을 Fig. 4에 나타냈다. 일반적인 DRAM 동작시 게이트 전극에 인가되는 평균전계인 3 MV/cm의 누적불량율은 SiO_xN_y가 SiO₂에 비해서 약 10% 감소했고 장기 신뢰성 실험에서 불량율을 야기하는 6 MV/cm 미만의 누적불량율도 약 10% 감소한 것을 알 수 있다.

0.1 V/sec로 게이트 전극에 전압을 인가하여 게이트 누설전류(leakage current)가 10 μA 되면서 처음부터 전압을 인가하는 방법으로 10회 반복 측정된 결과를 Fig. 5에 도시했다. SiO_xN_y가 SiO₂보다 터널링이 시작되는 전계 부근에서 누설전류가 적다. 이 누설전류는 포획중심

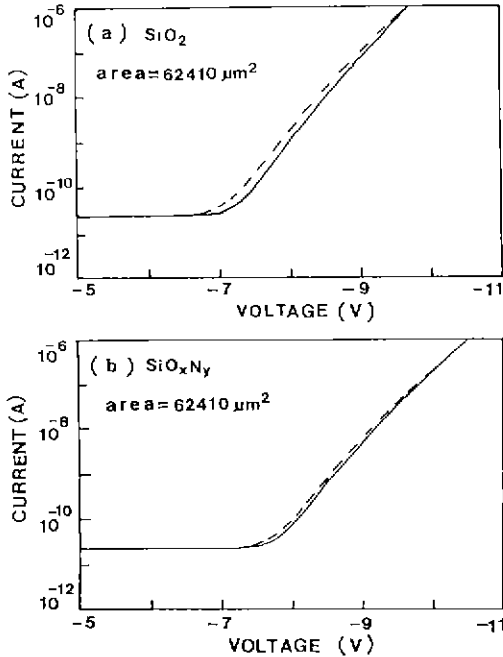


Fig. 5. Dependence of the leakage current induced by voltage stressing up to 10 μA (solid line: 1st stressing, dotted line: 10th stressing).

(trap center)에 의해 hopping 방식으로 터널링하는 특성을 가지므로 SiO_xN_y 가 SiO_2 에 비해 포획중심이 적다고 할 수 있다.

-10 mA/cm^2 의 일정한 전류밀도를 n-MOS의 게이트 전극에 인가하여, 절연막에 주입된 전하량에 따른 flat band 전압 변화를 측정하여 Fig. 6에 나타냈다. SiO_2 는 초기부터 flat band 전압 변화가 매우 크고 그 후부터 파괴 전까지는 전압 변화가 포화되는 경향을 보이고 있는 반면 SiO_xN_y 는 처음 전하 주입시부터 거의 일정한 변화율을 갖고 그 변화량도 SiO_2 에 비해 작으므로 같은 양의 전하 주입시 SiO_xN_y 가 SiO_2 에 비해 포획되는 전하량이 적다고 할 수 있다.

실리콘 열산화막에서 절연파괴 현상을 정공 트랩핑으로 설명되고 있다⁵⁰⁾. 산화막의 전체 전류 성분은 1) 가해진 전계에 의해 산화막 주위 전하가 이동해서 마지 전류가 흐르는 것처럼 나타나는 변위전류, 2) 충분히 높은 에너지를 갖는 전자가 음극과 산화막간의 전위장벽을 넘어 터널링 되어 나타나는 F-N(Fowler-Nordheim) 터널링 전류, 그리고 3) F-N 터널링에 의해 이동하는 전자가 격자 원자들과 충돌하는 충격이온화에 의해 발

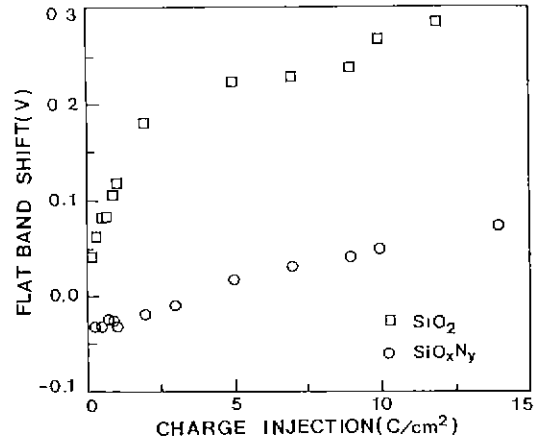


Fig. 6. Flat-band voltage shift with injected charge.

생한 전하 이동의 충격이온화 전류로 이루어진다. 저전계 상태에서는 변위 전류가 지배적이지만 일정전계 이상에서는 F-N 터널링과 함께 충격이온화 전류가 지배적으로 이들 두 성분이 거의 동시에 발생해서 일반적으로 이들 두 성분을 F-N 터널링 전류라 한다. 실리콘 산화막의 파괴 현상은 F-N 터널링으로 산화막 내를 통과하며 충격이온화 현상을 일으켜 생성된 전자-정공 쌍중 정공이 음극쪽으로 이동하여 산화막 표면에 트래핑 되어 전계를 더욱 증가시키고, 따라서 충격이온화 현상이 더욱 가속화되어 나타나는 정공 트래핑에 의한 파괴 현상이 진행된다. 각종 결함들은 산화막의 실제 두께(effective thickness)를 감소시켜 F-N 터널링을 국부적으로 급속 진행시켜 절연파괴를 가져오고 이것이 MOS 소자의 절연막 불량률의 주 원인이다. 즉 산화막 절연 파괴현상은 막 내에 트랩되는 전하량과 관계가 있다고 할 수 있다.

Fig. 5와 Fig. 6에 따른 결과로부터 질화산화막이 순수한 실리콘산화막보다 포획중심 농도가 적다고 할 수 있고 따라서 불량률도 적으며 flat band 전압변화도 작아서 안정하면서 우수한 MOS 소자의 게이트 절연막이 될 수 있다.

질화산화막이 순수한 실리콘산화막보다 우수한 특성을 보이는 이유는 위의 트랩중심 농도의 감소와 함께 급속가열장치(rapid thermal process)로 제조한 질화산화막에서 설명되었던⁵⁶⁾ 질화산화막내의 2~4% 정도를 분석되는 질소성분에 의한 막질 향상과 질소성분 유입에 따른 질화산화막의 유전율 증가로 인한 소자의 전계감소등이 복합적으로 작용한 것이라 하겠다.

4. 결 론

노(fanace)에서 O₂와 N₂O 기체로 성장시킨 8 nm의 질화산화막을 기존의 실리콘산화막과 비교한 특성은 다음과 같다.

질화산화막이 순수한 실리콘산화막에 비해서 큰 전하 밀도(Q_{ss})를 나타내며 누적 절연불량율 및 누설전류도 적었다. 전류 주입 없이 측정된 flat band 전압 변화는 n-MOS 경우는 거의 비슷했으나 p-MOS 경우는 질화산화막이 작았으며, 전하 주입에 따른 flat band 전압 변화는 모두 관찰되었으나 그 정도는 순수한 실리콘산화막이 컸다. 이러한 특성은 산화막 성장시 사용한 N₂O 기체의 질소 성분이 산화막 내에 유입되어 막질을 향상시켜 나타난 결과로 추정된다.

감사의 글

본 논문은 조선대학교 학술연구지원(1994)에 의해 이루어졌으므로 이에 감사드립니다.

REFERENCES

1. A. Uchuyama, H. Fukuda, T. Hayashi and S. Ohno, "High performance dual-gate sub-halfmicron CMOS-FETs with 6nm-thick nitried SiO₂ films in N₂O am-

bient," IEDM 90, pp. 425-428 (1990).
 2. H. Fukuda, T. Arakwa and S. Ohno, "Highly reliable thin nitrided SiO₂ films formed by rapid thermal processing in an N₂O ambient," Intended Abstract the 22nd (1990 International) Conference on SOLID STATE DEVICES and MARERIALS, Sendai, pp. 159-162 (1990).
 3. H. Hwang, W. Ting, D. Kwong and J. Lee, "Electrical and reliability characteristics of ultra-thin oxynitride gate dielectric prepared by rapid thermal processing in N₂O ambient," IEDM 90, pp. 421-424 (1990).
 4. E.H. Nicollian and J.R. Brews, "MOS physics and technology," John Willy and Sons. pp. 406-409 (1989).
 5. J.S. Park, W.S. Lee, T.E. Shim and J.G. Lee, "Material and electrical characteristics of oxynitride gate dielectrics prepared in N₂O ambient by RTP," *Kor. J. Matls Research*, 2(4), 285-292 (1992).
 6. J.S. Park, W.S. Lee and T.E. Shim, "Oxidation reaction of silicon oxide fabricated by RTP in N₂O ambient," *Kor J Matls Research*, 3(1), 7-11 (1993).
 7. E.G. Lee, I.K. Park and J.S. Park, "Characteristics of oxynitride dielectrics prepared in N₂O ambient by furnace," *J. Kor. Ceram. Soc.*, 32(1), 31-36 (1995).
 8. I.C. Chen, S. holland and C. Hu, "Oxidebreakdown dependence on thickness and hole current," IEDM 1986, pp. 660-663 (1986).
 9. M. Songling and C. Hu, "Electron trapping in very thin thermal silicon oxides," IEDM 1991, pp. 396-399 (1991).