

Furnace로 N₂O 분위기에서 성장시킨 Oxynitride 절연막 특성

이은구 · 박인길* · 박진성

조선대학교 재료공학과

*한국과학기술원 전자세라믹재료 연구센터

(1994년 8월 11일 접수)

Characteristics of Oxynitride Dielectrics Prepared in N₂O Ambient by Furnace

Eun Gu Lee, In Kil Park* and Jin Seong Park

Dept. of Materials Eng. Chosun University

*Electronic Ceramic Materials Research Center, KAIST

(Received August 11, 1994)

요 약

(100) Si 웨이퍼를 N₂O 분위기에서 산화시킨 질화 산화막 특성을 순수한 실리콘 산화막과 비교 연구했다. O₂/N₂ 혼합 기체를 승온 중 주입해서 일정 두께의 순수한 실리콘 산화막을 먼저 생성시킨 후 N₂O 기체로 질화 산화막 성장시킨 경우가 O₂/N₂O 혼합 기체 처리 후 성장시킨 경우보다 성장 속도가 빨랐다. 질소 성분은 SiO₂/Si 기판 계면에 축적되며 그 양은 약 2 atom% 정도이다. 순수한 SiO₂ 막과 비교해서 질화 산화막은 절연 파괴 불량율이 적고 flat-band 전압 변화도 작았다. 또한 붕소에 대한 확산 장벽 특성도 양호하다.

ABSTRACT

(100) Si was oxidized in N₂O ambient, and the film properties of oxynitride dielectrics were compared with pure SiO₂. The growth rate, after pre-oxidation in O₂/N₂ ambient with raising temperature, is faster than that of O₂/N₂O treatment during the same condition. Nitrogen piles up at the interface of SiO₂ and Si substrate and the content is about 2 atom%. Comparing with pure SiO₂, oxynitride dielectrics shows less dielectric breakdown failures and flat-band voltage shift, and good diffusion barrier property to dopant(BF₂) is also observed.

Key words: Oxynitride, Furnace, Oxidation, Thin oxide, Dielectric breakdown

1. 서 론

VLSI의 기억 소자, 특히 MOSFET와 같은 제품의 고집적화에 따라 극박막화된 SiO₂ 막이 요구되고 있다^{1,2)}. 게이트 절연물질은 누설전류가 작고, 유전 특성이 우수하면서 충분한 신뢰성을 갖는 것이 필수적이다.

반도체 기억소자의 급속한 집적도 증가에 따라 게이트 절연물질인 SiO₂의 두께도 계속 감소해서 0.25 μm급 반도체 소자의 산화막 두께는 10 nm 이하가 될 것이 확실시 되어 고전계 인가에 따른 절연파괴 가능성과 함께 장기 신뢰성 저하가 문제 되고 있다. 또 DRAM 분야의 소자 크기 축소에 따른 punch-through 특성 저하, 이중 게이트 적용에 있어서의 문턱전압 불안정성 등이 문제

점으로 제기되고 있다³⁾.

이러한 점들을 개선하기 위해 신물질 및 신공정에 대한 다양한 연구가 현재 진행되고 있다. 특히 이들 연구 중 기존의 SiO₂ 물질과 유사하면서 수%의 질소 성분만을 더 포함하고 있는 질화산화물(oxynitride: SiO_xN_y)이 산화막 신뢰성 향상과 함께 트랜지스터 특성을 개선할 수 있는 물질로 보고되고 있다⁴⁾. 이제까지의 질화 산화막 연구는 급속가열장치(rapid thermal process)를 이용해 제조한 물질에 대해 주로 이루어져 왔다^{5,6)}. 그러나 급속가열장치에 의한 질화 산화막은 제조온도가 1100°C 이상의 고온이어야 하고, 급속가열장치의 기술적 한계인 온도 불균일성에 의해 두께 균일성이 매우 나쁘며, 또한 재현성도 매우 불안정해서 실제 응용에 큰 취약성을

보였다. 따라서 현재의 게이트 절연막용 질화 산화막 연구는 급속가열장치가 아닌 기존의 노(furnace)를 이용한 연구가 진행되고 있다.

본 논문에서는 노를 이용한 질화 산화막 제조에 있어서 온도와 시간을 감소시키기 위한 방법과 이렇게 제조한 질화 산화막 물성과 절연과피 특성에 대해서 순수한 SiO₂ 막과 비교 하였다.

2. 실험방법

비저항이 10 Ω-cm인 P-type (100) Si 웨이퍼를 사용 하였다.

산화막은 N₂, O₂, 그리고 N₂O 기체를 조합하여 성장 시켰다. MOS 캐패시터는 LOCOS(local oxidation of silicon) 공정으로 450 nm 두께의 소자 분리 산화막을 형성시키고, 전처리 세정후 실리콘 산화막(SiO₂)과 질화 산화막(SiO_xN_y)을 절연막으로 성장시켰다. 절연막의 게이트 전극으로 다결정 실리콘을 200 nm 증착하고 전극 특성을 부여하기 위해 n-type 경우는 POCl₃ 침적으로 인을 확산 시키거나, p-type 경우는 BF₃를 30 KeV, 3E15 atoms/cm²로 이온 주입하여 900°C, 30 min 열처리해서 활성화 시켰다. 붕소(boron) 투과성은 시편 제조후 950°C, 60 min의 후속 열처리 실시후 SIMS로 비교 하였다.

산화막 두께 측정은 Si 기판에 산화막을 성장시킨 경우는 굴절률(refractive index)을 1.47로 해서 Ellipsometer로 측정했고, MOS 구조에서는 유전용량을 측정해서 Cmax값을 두께로 환산하였으며, 일부는 고 분해능 TEM으로 이 값들을 확인했다. 이차이온질량분석기

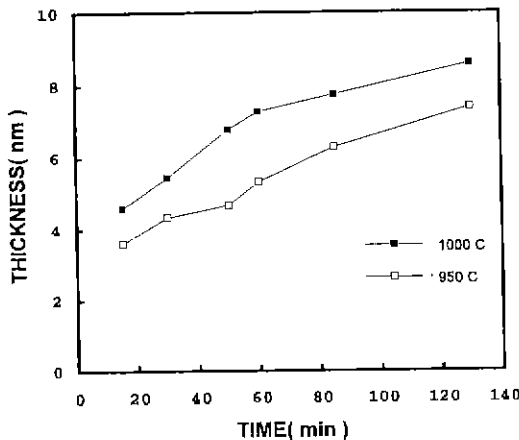


Fig. 1. Oxide thickness as a function of oxidation time and temperature.

(SIMS)와 AUGER 전자현미경(AES)을 이용해서 질화 산화막 내의 질소(nitrogen) 함량을 순수한 실리콘 산화막과 비교 분석하였다.

산화막의 절연과피 특성은 측정시 전압을 0.2 volt씩 증가시키며 각 구간에서 유지 시간을 0.2초로 하는 전압증가(voltage ramping) 방법을 사용 하였으며, 절연과피의 기준은 누설전류가 0.1 mA/cm²를 기준으로 했다. C-V 특성은 LCR 미터기로 10 kHz에서 측정하였고 flat-band 전압 변화는 -10 mA/cm²의 일정한 전류를 게이트 전극에 인가해서 측정하였다.

3. 결과 및 고찰

N₂O 기체만을 10 l/min으로 흘려주면서 성장시킨 산화막 두께를 Fig. 1에 도시했다. 산화막 두께는 시간에 따라 증가하고 950°C 보다 1000°C 경우가 더 잘 성장함을 알 수 있다. 그러나 0.25 μm급 소자에서 요구되는 8 nm의 두께를 충족하기 위해서는 950°C 경우 약 2시간, 그리고 1000°C 경우는 약 1시간 이상의 시간이 필요하다. 현재 및 향후의 VLSI 공정이 저온화 공정을 요구하고 있어서 이결과는 응용성이 매우 열등하다.

산화막 성장시간을 단축하기 위한 방법으로 사용한 공정 조건을 Table 1에 요약 했다.

대기 온도(standby temperature)는 800°C 이고, 승온 속도는 10°C/min, 그리고 질화 산화막 성장 온도는 950°C 였다. 대기 온도인 800°C에서는 N₂만을 흘려주었고, 승온 및 막성장 중에는 O₂와 N₂ 혹은 N₂O 기체를 혼합해서 사용하였고, 혼합시 산소분압은 0.02 atm이 되도록 조절 하였다. Table 1에 따른 막성장 결과를 Fig. 2에 도시했다. ON₂/N₂ 및 ON₂/ON₂ 경우의 8 nm 성장에 소요되는 시간은 약 20분 정도이나 ON/N₂ 경우는 약 8분이 소요된다. ON/N₂ 경우의 막 성장 속도가 가장 빠르다. ON/N₂ 경우는 승온도중에는 N₂O 기체를 주입 하지 않아 승온 중 성장한 막 내에 질소 성분이 존재하지 않는다. 따라서 이후 N₂O 기체에 의한 막 성장시 기존의 막이 O₂나 N₂O 기체 성분 중 산화막 성장에 기여하는 산화제 성분들의 확산 억제 정도가 나머지 공정보다

Table 1. Preparation Sequences with Temperature and Mixed Gases

recipe\temp.	Stand by	Raising	Growth
ON/N ₂	N ₂	O ₂ & N ₂	N ₂ O
ON ₂ /N ₂	N ₂	O ₂ & N ₂ O	N ₂ O
ON ₂ /ON ₂	N ₂	O ₂ & N ₂ O	O ₂ & N ₂ O

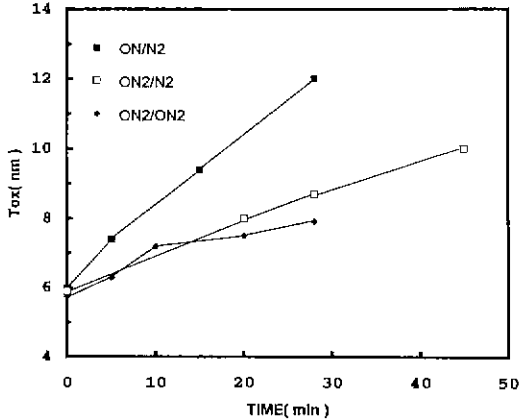


Fig. 2. Oxide thickness as a function of oxidation time and processing recipes.

작다고 할 수 있다. 나머지 공정들은 승온 초기부터 N₂O 기체를 주입해서 기판과 계면상에 산화제의 확산을 억제하는 질소 성분이 존재하고, 이것이 막성장을 억제하므로서 성장 속도가 낮다고 할 수 있다⁶⁾. 특히 ON/N₂ 경우 두께변화는 시간에 따라 거의 직선적인 관계를 갖는다고 볼 수 있고, 이러한 전제에서 성장속도는 약 0.2 nm/min이었다. 약 8 nm의 산화막 두께를 기준으로 이들에 대한 두께 균일성을 정상적인 실리콘 열산화막과 비교해서 Table 2에 요약했다. 기존 열산화막보다 두께 균일성이 우수함을 알 수 있고, 또한 급속열산화장치를 이용한 질화 산화막막의 두께 균일성이 약 10% 이상이었던 것에 비하면 노를 사용하는 막 성장 방법이 보다 개선된 방법이다^{5,6)}.

Fig. 3과 4는 질화 산화막에 존재하는 질소 성분을 각각 이차이온질량분석기(SIMS)와 AUGER 전자 현미경(AES)으로 분석한 것을 순수한 실리콘 산화막과 비교한 것이다. SIMS 결과로부터 순수한 열산화막에 비해 질화 산화막의 질소 성분이 약 10배 정도 많은 것을 알 수 있고, 또한 질소 성분이 SiO₂와 Si 기판 계면에 축적되어 있음을 알 수 있다. AES에서 그 양은 2 atom% 정도이고, 그 양은 RTP 경우와 유사한 값이다³⁾. Table

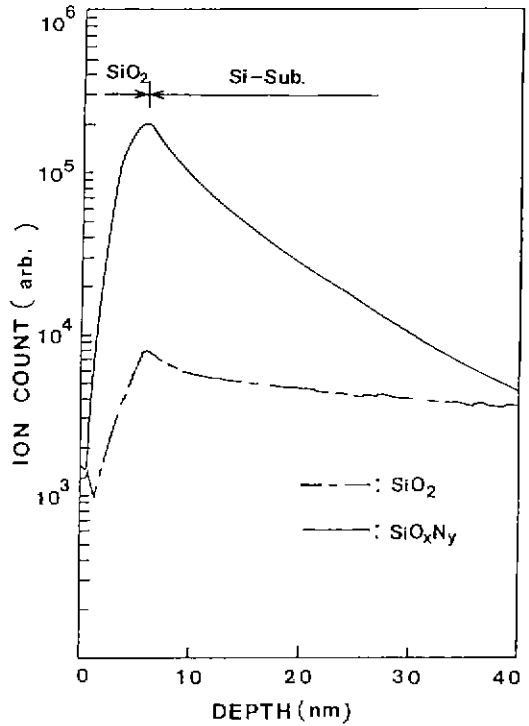


Fig. 3. SIMS depth profile of nitrogen for silicon dioxide and oxynitride.

1의 각 공정에 따른 질소 함량 비교에서는 공정에 따라 약간의 양 차이는 있었지만 거의 미미한 수준이었다. 질소 성분만으로 질화 산화막을 제조한 경우가 질소 함량이 더 많았고, 온도증가로 그 함량이 증가했지만 그 정도는 역시 매우 미소해서 Fig. 3 및 4와 유사한 결과를 확인했다.

질화 산화막의 붕소 원소 투과 억제성을 비교한 SIMS 결과를 Fig. 5에 도시 했다. 순수한 열산화막에 비해 붕소 원소 투과 억제성이 양호함을 확인할 수 있다. 붕소 투과 억제성도 N₂O만으로 1000℃에서 성장시킨 막의 투과 억제성이 가장 좋았지만 고온이므로 다른 공정과의 조화를 고려해야만 할 것이다.

Table 2. Oxide Thickness Uniformity with Preparation Condition

	TOP	CENTER	BOTTOM	LEFT	RIGHT	AVG.	Unifor.(%)
SiO ₂	8.70	8.73	8.62	8.68	8.92	8.73	1.71
ON/N ₂	8.67	8.62	8.67	8.64	8.66	8.65	0.28
ON2/N ₂	8.13	8.14	8.12	8.20	8.16	8.15	0.49
ON2/ON ₂	8.11	8.20	8.20	8.24	8.18	8.19	0.79

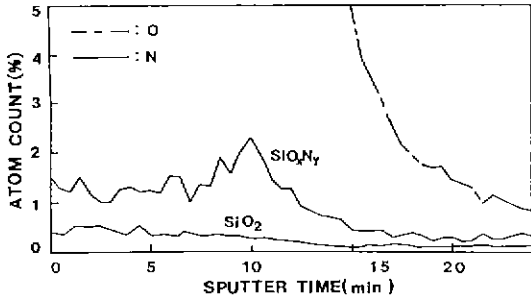


Fig. 4. AES depth profile of nitrogen and oxygen for silicon dioxide and oxynitride.

Table 3은 순수한 실리콘 산화막과 질화 산화막의 투과전자 현미경(TEM) 사진과 C-V 측정에 의한 등가(equivalent) 산화막 두께를 비교해서 유전율을 각각 구한 것이다. 가시적으로 TEM 사진의 두 막질은 유사했으나 질화 산화막은 C-V에 의한 환산 두께가 TEM의 실제 두께와 달랐고, 따라서 유전율이 달라져 3.9보다 큰 4.2 정도로 측정 되었다. 이것은 질소 성분이 산화막에 존재해서 야기된 결과로 추정된다.

Table 1의 공정조건에 따른 poly gate module을 이용한 질화 산화막의 불량률 분포를 막대그래프로 Fig. 6

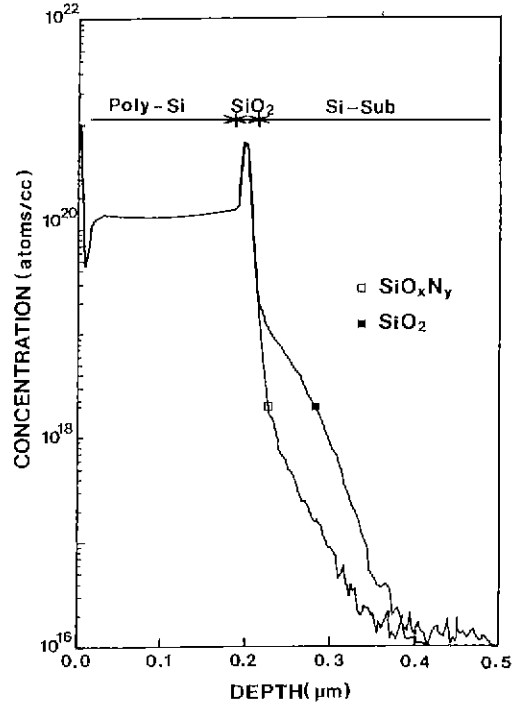


Fig. 5. SIMS depth profile of boron for poly-Si/SiO₂(or oxynitride)/Si structure.

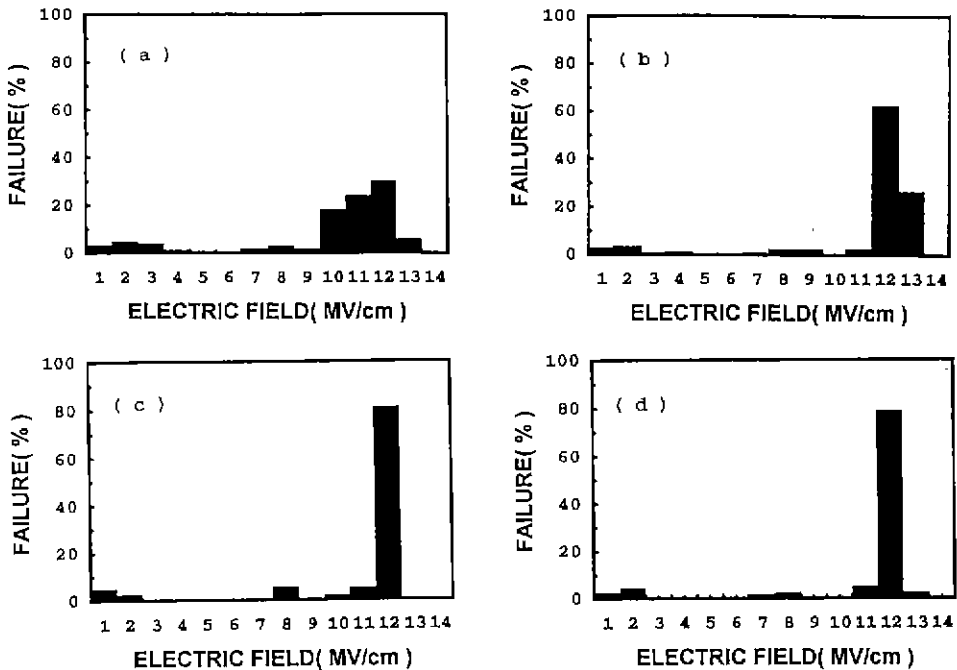


Fig. 6. Distribution of dielectric breakdown with electric field. (a) pure SiO₂, (b) ON/N₂, (c) ON₂/N₂, and (d) ON₂/ON₂

Table 3. Dielectric Constant with Oxidation Ambient

	Toxeq. by C-V (nm)	Tox by TEM (nm)	DIELECTRIC CONSTANT (ε)
Silicon Oxide	8	8.1	3.9
Oxynitride	8.8	9.55	4.2

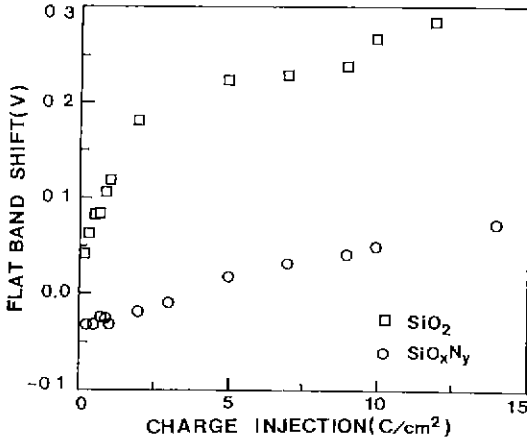


Fig. 7. Flat-band voltage shift with injected charge.

에 도시했다. 모두 불량을 분포가 비교적 양호하지만 12 MV/cm 이상까지 건디는 시편이 상당량 존재하는 ON/N₂ 경우가 가장 양호하다고 할 수 있겠다. 급속가열장치에서 관찰한 바와 같이 질화 산화막의 불량율이 적어서 보다 우수한 막질임을 알 수 있다. Fig. 7은 ON/N₂ 조건으로 성장시킨 질화 산화막과 순수한 실리콘 산화막의 p-MOS 시편에서의 전하주입에 따른 flat band 전압이동(voltage shift)을 전하량에 따라 비교한 것으로 질화 산화막이 변화폭이 적어서 산화막 내에 포획(trap)되는 전하가 적다는 것을 알 수 있다^{7,8)}. 즉 질화 산화막이 flat-band 전압 이동으로 표현되는 포획중심이 적다.

Poly-gate module 및 capacitor module의 절연과피 분포에서 질화 산화막이 순수한 SiO₂ 막보다 우수한 것은 Fig. 7로부터 알 수 있는 포획중심이 적은 것과 Table 3의 막 두께 관찰로부터 등가 두께일 경우 질화 산화막이 더 두꺼워 동일 전압에서 막에 걸리는 전계가 감소한 것들의 영향이라고 할 수 있다.

4. 결 론

노에서 O₂와 N₂O 기체로 성장시킨 질화 산화막(SiO_xN_y) 물질은 다음과 같다.

N₂O 기체만을 사용해서 질화 산화막을 성장시키는 경우는 950°C, 1시간 이상의 고온 및 장시간 열처리를 해야만 가능하고, 약간의 산소를 혼입하므로써 열처리 시간을 크게 단축할 수 있다. 950°C 승온 중 질소와 산소를 혼합해서 산소분압이 0.02 atm이 되도록 하고, 950°C에서는 N₂O 기체만을 흘려서 질화 산화막을 제조하는 경우 950°C, 8 min의 열처리로 8 nm의 막을 성장시킬 수 있다.

이렇게 성장시킨 질화 산화막의 두께 균일성을 약 1% 이하로 할 수 있다. 질화 산화막 내의 질소 함량은 순수한 SiO₂ 막에 비해 약 10배 정도 많고 그 함량은 약 2 atom%이다. 붕소 투과 억제성도 양호하다. 질소 함량은 온도 증가와 N₂O 기체량 증가로 많으며, 붕소 투과 억제성도 향상되나 그 정도는 크지 않다.

산화막의 절연과피 특성과 flat-band 전압 변화 경향도 순수한 SiO₂ 열산화막에 비해서 향상되었다. 질소 존재에 의한 산화막 내의 포획중심 감소와 유전상수 증가에 의한 전계감소가 질화 산화막의 절연특성을 향상시킨 것으로 추정된다.

감사의 글

본 논문은 1993년도 조선대학교 학술 연구 지원에 의해 이루어졌으므로 이에 감사드립니다.

REFERENCES

1. A. Uchiyama, H. Fukuda, T. Hayashi and S. Ohno, "High Performance dual-gate sub-halfmicron CMOS-FETs with 6 nm-thick Nitrided SiO₂ Films in N₂O Ambient," IEDM 90, pp. 425-428.
2. H. Fukuda, T. Arakawa and S. Ohno, "Highly Reliable Thin Nitrided SiO₂ Films Formed by Rapid Thermal Processing in an N₂O ambient," Intended Abstracted the 22nd(1990 International) Conference on SOLID STATE DEVICES and MATERIALS, sedai, 1990, pp. 159-162.
3. H. Hwang, W. Ting, D. Kwong and J. Lee, "Electrical and Reliability Characteristics of Ultra Thin Oxynitride

- Gate Dielectric Prepared by Rapid Thermal Processing in N_2O Ambient," IEDM90, pp. 421-424.
4. E.H. Nicollian and J.R. Brews, "MOS Physics and Technology," John Willy and Sons, pp. 406-409.
 5. J.S. Park, W.S. Lee, T.E. Shim and J.G. Lee, "Material and Electrical Characteristics of Oxynitride Gate Dielectrics prepared in N_2O ambient by RTP," *Kor J. Matls Research*, **2**(4), 285-292 (1992).
 6. J.S. Park, W.S. Lee and T.E. Shim, "Oxidation Reaction of Silicon Oxide Fabricated by Rapid Thermal Process in N_2O Ambient," *Kor. J. Matls Research*, **3**(1), 7-11 (1993).
 7. I.C. Chen, S. Holland and C. Hu, "Oxidebreakdown Dependence on Thickness and Hole Current," IEDM 1986, pp. 660-663.
 8. M. Songling and C. Hu, "Electron Trapping in Very Thin Thermal Silicon Oxides," IEDM91, pp. 396-399.