

n형 다공성 실리콘의 기공 내에서의 전기장 분포

정원영, 김도현

한국과학기술원 화학공학과, 대전, 305-701

Electric field distribution in pores of n-type porous silicon

Won Young Chung and Do Hyun Kim

*Department of Chemical Engineering, Korea Advanced Institute of Science and Technology,
Taejon 305-701, Korea*

요 약 다공성 실리콘의 기공은 n형 실리콘의 경우 기판에 수직으로 성장하여 이는 큰 곡률을 가지는 기공 끝 부분에서의 높은 전기장에 의한 tunneling 기구로 설명된다. 본 연구에서는 불산 수용액에서 전기화학적 방법으로 다공성 실리콘을 제조할 때 n형 단결정 실리콘 기판과 전해질 용액의 계면에서의 전압 분포를 Poisson식에 의하여 수치적으로 계산하였다. 이 전압 분포로 기공 벽에서의 전기장 세기 및 전류 세기를 구하여 기공이 기판에 수직으로 성장하는 것을 설명하였다. 기공 사이의 거리는 고갈층의 두께에 의해 결정되며, 고갈층의 두께를 계산하여 그 원인에 대해서도 고찰하였다.

Abstract The pore morphology of porous silicon formed on n-type silicon is explained in terms of a tunneling mechanism due to a high-electric field region at the pore tip with large curvature. In this study, the potential distribution at the interface of electrolyte and n-type single crystalline silicon was calculated by solving the Poisson's equation when pores were formed by electrochemical method in hydrofluoric acid solution. The vertical propagation of pores across the wafer was explained with the electric field strength and current at the pore wall calculated from the potential distribution. Also the pore spacing was found to be determined by the thickness of depletion layer.

1. 서론

다공성 실리콘은 불산 수용액에서 단결정 실리콘을 전기화학적인 방법으로 식각시켜 얻을 수 있으며[1-4] 응용 가능성이 많은 전자재료로서 점차 중요시되고 있다. 다공성 실리콘에 Ar 레이저를 조사하여 가시광선 영역인 500~800 nm 파장범위의 발광 현상이 확인된 이래[5,6] 광전자 소자와 관련된 분야에서 그 응용 가능성이 크게 기대되어 다공성 실리콘의 PL(photoluminescence)과 EL(electroluminescence)에 관한 연구가 활발하게 진행되어 왔다. 또한 1970년대에 다공성 실리콘을 이용한 집적회로 제조 공정에서 고립공정인 IPOS(isolation by oxidized porous silicon) 공정이 발표된[7] 이후 다공성 실리콘의 저온 산화와 전기화학적으로 쉽게 산화되는 특성 때문에 SOI(silicon-on-insulator)와 FIOPS(fully isolated porous oxidized silicon) 공정 등 고립 기술에 응용하기 위한 연구가 진행되어 왔다[3].

반도체 소자에서 기억용으로 사용되는 DRAM의 고집적화에 따른 유전체의 유전용량의 감소를 해결하기 위한 방편으로 다공성 실리콘의 큰 표면적을 이용하여 유전용량을 증대시킬 수 있어 고집적회로에의 응용 가능성도 기대되고 있다. 또한 self-supporting 다공성 실리콘 막(membrane)을 제조하여 분자체, 분리기, 촉매 지지체, 여과기 및 sensor 등에의 새로운 응용 가능성도 보고되었다[8,9].

다공성 실리콘은 많은 응용 가능성에도 불구하고 생성 기구와 여러 가지 물성들이 밝혀지지 않고 있어 아직 상업적인 소자에의 응용은 이루어지지 않고 있다. 특히 전기화학적인 식각 공정에서 기공의 성장기구의 해석은 기공 구조의 3차원적인 형태와 공급

전압의 강하가 실리콘의 space-charge층과 Helmholtz 이중층[10]으로 분리되어 일어나므로 매우 복잡하다.

n형 실리콘은 n^+ , p, p^+ 형 실리콘들과 다른 기공의 형태를 보이며 공급 전압의 분포도 다르게 나타나는 것으로 보고되고 있다[3]. 본 논문에서는 불산 수용액에서 전기화학적인 방법으로 단결정 실리콘 기판을 식각하여 기공을 형성할 때 tunneling mechanism에 의해 일어나는 기공 벽에서의 전기장 분포를 계산하여 n형 실리콘에 형성된 다공성 실리콘 층의 기공 성장 및 기공 형태를 설명하고자 한다. 기공 벽에서의 전기장 분포 및 tunneling current와 고갈층(depletion layer)의 두께에 의하여 기공이 웨이퍼면에 수직으로 성장하는 것과 기공 간 거리에 대하여 설명하고자 하며 Poisson식을 수치해석적인 방법으로 풀어 그 전압 분포를 구하였으며 그 결과로부터 전기장 분포를 계산하였다.

2. 실리콘 기판에서의 전기장 분포에 대한 모델

다공성 실리콘의 기공 성장에 대하여는 실리콘과 전해질 용액의 계면에 형성된 Schottky barrier에 기초를 둔 모델들이 제안되었다[10,11]. 이 모델들은 2.3 RT/F의 Tafel 기울기를 가지는 전류 흐름에서 p형 실리콘에서의 실험적 결과와 잘 일치하지만 n형 실리콘에서의 실험 결과와는 일치하지 않는다. 반면에 n형 실리콘에서의 기공의 성장과 기공 형태는 tunneling mechanism에 의한 전류 흐름이 생성되는 기공 바닥에서의 전기장의 증가로 설명된다[12]. 이 모델을 통하여 실험에서 관찰된 기판에 수직인 방향으로 평

형하게 기공이 성장하는 것과 기공 간의 거리에 대하여 설명할 수 있다.

공급된 전압은 대부분이 실리콘과 전해질의 접촉에 의해 형성되는 고갈층에서 강하가 일어나므로[3] bulk 실리콘에서의 전압 강하 및 전해질에서의 전압 강하는 무시할 수 있다고 가정하였다. 기공 벽에서의 전기장 세기 분포 및 전류 분포를 추정하기 위하여 우선 실리콘 기판에서의 전압 분포를 구하여야 하는데 이는 다음의 축대칭 2차원 Poisson 방정식으로 나타난다.

$$\nabla^2 \phi = \frac{\partial^2 \phi}{\partial r^2} + \frac{1}{r} \frac{\partial \phi}{\partial r} + \frac{\partial^2 \phi}{\partial z^2} = \frac{\rho(r, z)}{\epsilon} \quad (1)$$

여기서 ϕ 는 전위(potential), $\rho(r, z)$ 는 전하 밀도(charge density), ϵ 은 유전율(dielectric constant)이다. 전하 밀도 $\rho(r, z)$ 는 상수 qN (q = electronic charge, N = donor concentration)으로 가정하며 N 은 비저항에 따라 결정되어진다. 예를 들면, n형 실리콘의 경우 비저항이 $20 \Omega \cdot \text{cm}$ 인 경우 $N = 3.5 \times 10^{14}/\text{cm}^3$ 이며 비저항이 $10 \Omega \cdot \text{cm}$ 인 경우엔 $5.0 \times 10^{14}/\text{cm}^3$ 이다[13]. Scaling factor인 qN/ϵ 는 해의 크기에만 영향을 미친다. 즉 다른 농도와 공급 전압의 경우에서도 scaling만 하면 적용 가능하다.

형성된 기공의 끝 부분은 타원으로 가정하였고 전기장의 크기는 (1)식에서 구한 전압 분포로부터 (2)식과 (3)식에 의하여 계산하였다.

$$E_r = -\frac{\partial \phi}{\partial r}, \quad E_z = -\frac{\partial \phi}{\partial z} \quad (2)$$

$$|\vec{E}| = \sqrt{E_r^2 + E_z^2} \quad (3)$$

여기서 \vec{E} 는 전기장을 나타낸다.

모델에 사용한 수치해석영역을 Fig. 1에

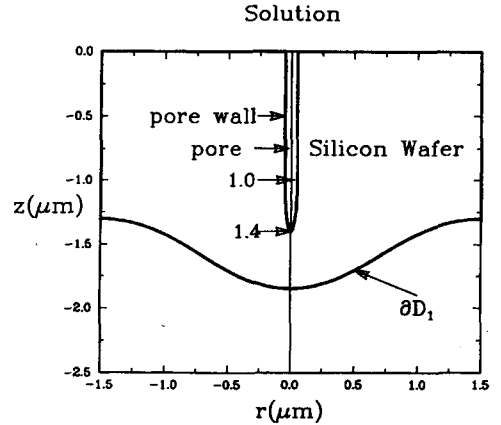


Fig. 1. A domain for mathematical model.

나타내었는데 기공의 중앙을 중심으로 좌우가 대칭이므로 한쪽만을 수치해석의 대상으로 하였다. 경계조건은 (4) ~ (6)식을 사용하였으며 고갈층의 경계(∂D_1) 역시 해의 일부로 풀어야 하기 때문에 (7)식을 경계를 결정하는 식으로 사용하였다.

$$\phi(r, z) = 1.0 \text{ at surface} \quad (4)$$

$$|\vec{E}| = 0 \text{ at } \partial D_1 \quad (5)$$

$$\frac{\partial \phi(0, z)}{\partial r} = 0, \quad \frac{\partial \phi(1.5, z)}{\partial r} = 0 \quad (6)$$

$$\phi(r, z) = 0.0 \text{ at } \partial D_1 \quad (7)$$

또 기공의 깊이는 Fig. 1에서와 같이 $1.4 \mu\text{m}$ 로 하고, 기공의 끝 부분은 타원이며 타원 모양의 구간은 $0.4 \mu\text{m}$ 이고 직선 구간은 $1 \mu\text{m}$ 로 정하였다. 기공의 크기는 $1 \mu\text{m}$ 와 $0.1 \mu\text{m}$ 두가지의 경우에 대하여 모두 기공 간 거리를 $3 \mu\text{m}$ 와 $6 \mu\text{m}$ 로 가정하여 전압 분포와 기공 벽에서의 전기장의 세기 및 전류 세기 등을 계산하였다.

여기서 수치해석기법은 2차원 축대칭 원통 좌표에서 Galerkin 유한요소법을 60×30

mesh(1,891 nodes)에 대하여 사용하였다. 유한요소는 사각형요소를 사용하였으며 기본함수로 쌍 2차 기본함수를 사용하고 수치 적분은 9점 Gauss 적분법을 이용하였다.

3. 결과 및 고찰

앞에서 제안된 모델을 비저항이 $20 \Omega \cdot \text{cm}$ 인 n형 실리콘에 형성된 기공에 관하여 전압 분포, 전기장 세기 및 전류 밀도를 기공 크기가 $1 \mu\text{m}$ 와 $0.1 \mu\text{m}$ 두가지 경우에 전압차를 1 V 로 고정하여 계산을 하였다. 기공의 크기가 $0.1 \mu\text{m}$ 인 경우 등전위선을 Fig. 2에 나타내었다. 등전위선은 0.2 V 간격으로 나타내었는데 기공 끝에서 등전위선의 간격이 조밀한 것을 알 수 있으며 $\phi=0$ 인 선이 고갈층(depletion layer)의 경계에 해당한다. 전압 분포로부터 기공 벽에서의 전기장 세기를 계산하여 Fig. 3에 나타내었다. 이 그림을

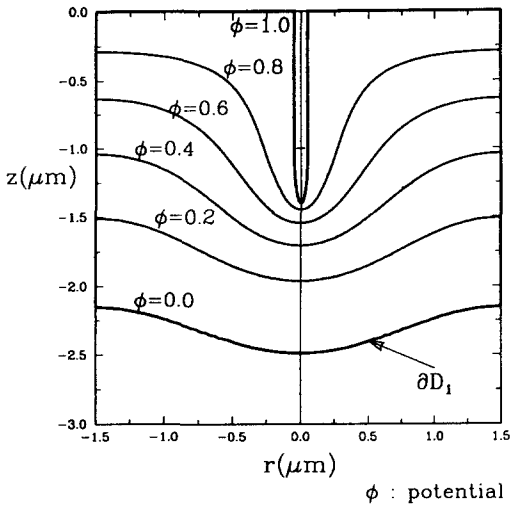


Fig. 2. Potential contour around a pore on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $0.1 \mu\text{m}$.

보면 기공 끝에서 전기장의 세기가 최대값을 나타내며 전기장의 세기가 기공 벽을 따라서 감소하여 표면과 기공의 교차점에서는 영을 나타낸다.

Tunneling 확률은 Wentzel-Kramers-Brillouin Approximation에 의해 결정되며 전기장 세기에 따라 지수적으로 증가한다[14]. 결과적으로 tunneling 전류 밀도는 전기장의 세기에 따라 증가하여 다음 식으로 표현되며 전기장 세기에 대한 지수함수로 나타나며 Fermi-Dirac 분포함수 $[F_c(E) - F_v(E)]$ 를 적분한다.

$$J_t = \frac{qm^*}{2\pi^2 h^3} \exp\left(-\frac{\pi m^{*1/2} E_g^{3/2}}{2\sqrt{2} qh |E_{\perp}|}\right) \int [F_c(E) - F_v(E)] \exp(-2E_{\perp}/E) dE dE_{\perp} \quad (8)$$

여기서 J_t 는 tunneling current, m^* 는 effective mass, E_g 는 band gap, q 는 electronic charge, h 는 Planck 상수이다. $E_{\perp} = E -$

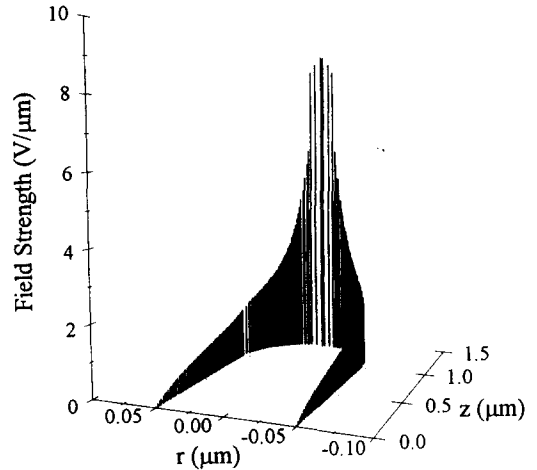


Fig. 3. Electric field strength distribution at pore wall on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $0.1 \mu\text{m}$.

E_x 이며 E_x 는 $\hbar^2 k_x^2 / 2m_x^*$ 이고 \bar{E} 는 $4\sqrt{2} qh |\bar{E}| / 3\pi m^{*1/2} E_g^{1/2}$ 로 전기장 세기의 함수이다. Fig. 4는 Fig. 3의 전기장 세기 분포로부터 전류 밀도를 기공의 벽면을 따라 계산하여 나타낸 것이다. 이 그래프에서 전류의 단위는 임의로 상대적인 크기를 나타내는데 기공 벽에 비하여 기공 끝에서의 전류 밀도가 매우 크다. 일반적으로 실리콘의 용해 반응에 전공의 존재가 필수적이라고 알려져 있다 [3,6]. 따라서 공급되는 전류 밀도가 증가하면 용해 반응 속도가 증가한다고 추정할 수 있으며 이로부터 기공이 기공 벽면보다 기공 끝에서 주로 반응이 일어나 기판에 수직인 방향으로 성장하는 것을 부분적으로 설명할 수 있다.

기공의 크기가 $1.0 \mu\text{m}$ 인 경우에 대해서 전압 분포와 벽면에서의 전기장 세기 및 기공 벽에서의 전류 밀도를 계산하여 그 결과를 Fig. 5, Fig. 6과 Fig. 7에 나타내었는데 기공의 크기가 $0.1 \mu\text{m}$ 인 경우와 거의 흡사하게 나타났으며 등전위선은 기공의 크기가

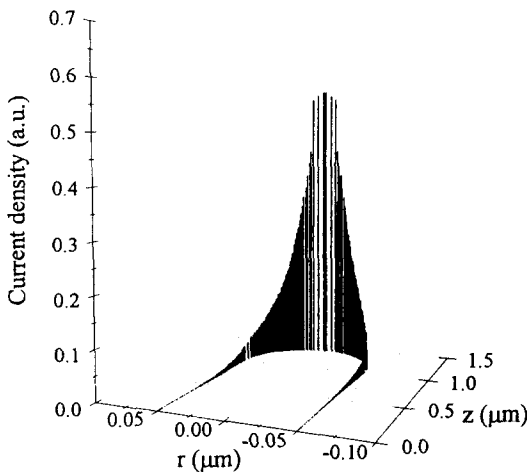


Fig. 4. Current distribution at pore wall on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $0.1 \mu\text{m}$.

작을 때에 비해 고갈층이 약간 더 평평할 뿐 큰 차이를 보이지 않았다. 즉 기공의 크기가 전압 분포의 형태에 큰 영향을 주지 않는다는 것을 알 수 있다. 전기장의 세기는 기공의 크기가 작은 경우에 비해 꽤 작은 값을

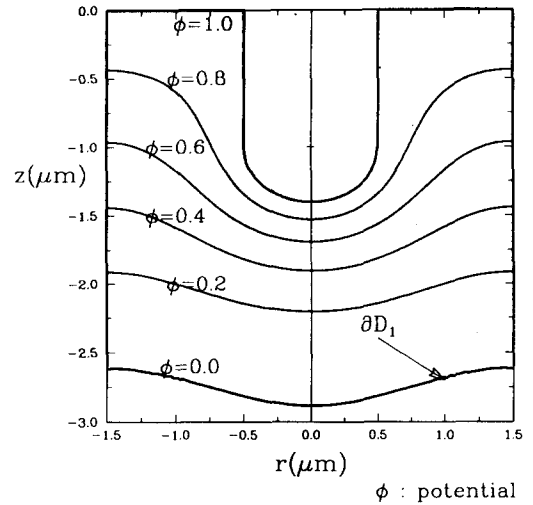


Fig. 5. Potential contour around a pore on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $1 \mu\text{m}$.

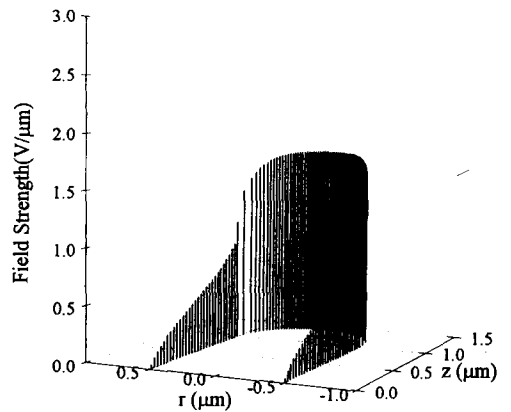


Fig. 6. Electric field strength distribution at pore wall on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $1 \mu\text{m}$.

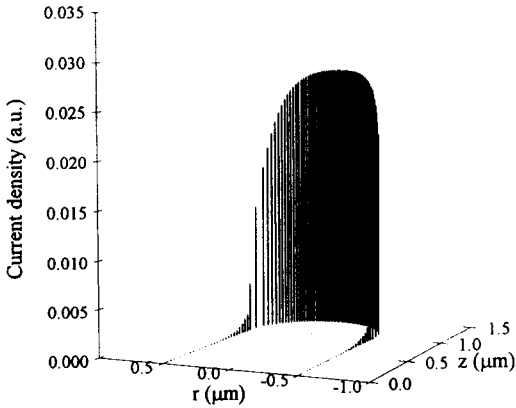


Fig. 7. Current distribution at pore wall on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $1 \mu\text{m}$.

나타내어 기공의 곡률이 큰 곳에서 더 큰 전기장 세기를 가지는 것을 보였다.

기공 간 거리 즉, 남아 있는 실리콘 기둥의 두께는 일반적으로 고갈층 두께의 두배보다 작다고 보고되었다[3,11,12]. 수치 모사를 통한 본 연구의 본 모델링의 결과에서도 Fig. 2에서와 같이 기공 사이의 거리, 남아 있는 실리콘 기둥의 두께($3 \mu\text{m}$)가 고갈층의 두께의 두배인 약 $4 \mu\text{m}$ 보다 작게 나타났다. 이 경우를 도식적으로 보면 기공 사이의 고갈층이 Fig. 8 (a)와 같이 겹쳤다고 생각할 수 있다. 결과적으로 고갈층이 겹친 경우 겹치지 않은 경우(Fig. 8 (b))보다 기공 벽에서의 고갈층의 두께가 상당히 크므로 기공 사이의 전기장의 세기와 전류 밀도는 크게 감소한다. Fig. 9에 기공 간의 거리를 $6 \mu\text{m}$ 로 한 경우에 Poisson식을 풀어서 전압 분포를 계산하였다. 여기에서는 기공 벽이나 평면에서의 고갈층 두께가 약 $1.4 \mu\text{m}$ 이하로 기공 간의 거리가 $3 \mu\text{m}$ 인 경우보다 작다. 이처럼 고갈층이 겹치지 않았을 경우 기공 벽과 표면에서의 고갈층의 두께가 비슷하

L : length from pore wall to depletion layer

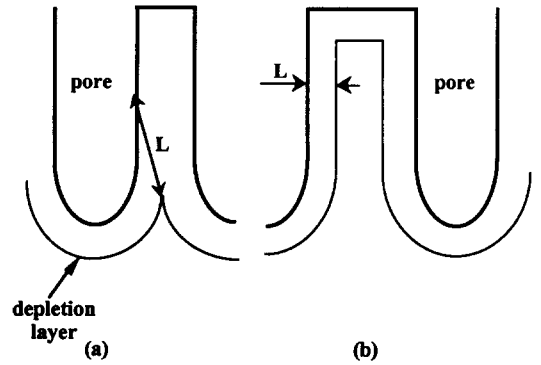


Fig. 8. Thickness of depletion layer (a) when the wall thickness is smaller than twice the depletion layer thickness and (b) when the wall thickness is larger than twice the depletion layer thickness.

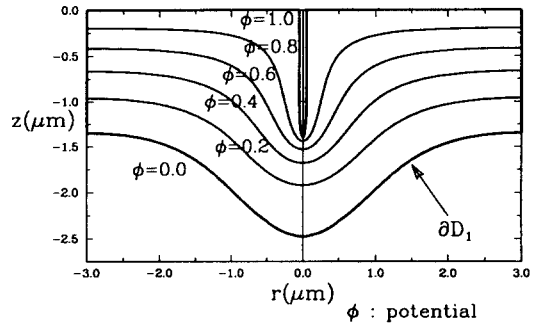


Fig. 9. Potential contour around a pore on n-type silicon wafer of $r_{sp} = 20 \Omega \cdot \text{cm}$ for pore size = $1 \mu\text{m}$ and wall thickness = $4.5 \mu\text{m}$.

여 전기장의 세기가 큰 차이가 없게 되며 새로운 기공이 벽면과 표면에서도 성장하게 될 것이다. 이 과정은 기공 간격이 좁아져 두개의 고갈층이 겹쳐질 때까지 계속될 것이며 따라서 실험에서 나타난 결과[15]에서도 볼 수 있듯이 최대 기공 간격은 고갈층의 두배

보다 작다. 수학적 모델을 통한 수치 모사의 결과로부터 기공 벽에서의 전류 밀도 분포와 고갈층의 두께가 한쪽 방향으로의 기공 성장 및 기공 간의 거리 등 다공성 실리콘층의 형태에 중요한 요소가 되는 것을 알 수 있다.

4. 결 론

본 연구에서는 n형 실리콘을 이용하여 전기화학적 방법으로 다공성 실리콘을 제조할 때 기관에서의 전압 분포, 기공 벽에서의 전기장 세기 분포와 전류 밀도를 계산하여 기공 성장과 기공 형태에 대하여 고찰하였다.

전기장 분포에 관한 모델링을 통하여 n형 실리콘의 경우 기공 벽에서의 전기장 세기와 전류 세기의 분포를 계산하여 기공 끝 부분에서 전기장의 세기와 전류 세기가 기공 벽에 비하여 상당히 큰 것을 알 수 있었다. 이것은 기공이 실리콘 웨이퍼면에 수직으로 성장하는 원인을 부분적으로 설명하며, 기공 간의 거리가 고갈층의 두배보다 작게 나타나는 것을 알 수 있었다.

감사의 글

본 연구는 한국과학재단의 연구비 지원(과제번호 : 941-1100-036-2)에 의한 것으로 이에 감사드립니다.

참 고 문 헌

- [1] Jr. A. Uhlir, The Bell System Technical Journal 35 (1956) 333.
- [2] D.R. Turner, J. Electrochem. Soc. 105 (1958) 402.
- [3] R.L. Smith and S.D. Collins, J. Appl. Phys. 71 (1992) R1.
- [4] P.C. Searson, J.M. Macaulay and S. M. Prokes, J. Electrochem. Soc. 139 (1992) 3373.
- [5] L.T. Canham, Appl. Phys. Lett. 57 (1990) 1046.
- [6] V. Lehmann and U. Gosele, Appl. Phys. Lett. 58 (1991) 586.
- [7] Y. Watanabe, Y. Arito, T. Yokoyama and Y. Igarashi, J. Electrochem. Soc. 122 (1975) 1352.
- [8] P.C. Searson, US Patent No. US005 139 (1992).
- [9] P.C. Searson, Appl. Phys. Lett. 59 (1991) 832.
- [10] F. Gaspard, A. Bsiesy, M. Ligeon, F. Muller and R. Herino, J. Electrochem. Soc. 136 (1989) 3043.
- [11] M.I.J. Beale, N.G. Chew, M.J. Uren, A. G. Cullis and J.D. Benjamin, Appl. Phys. Lett. 46 (1985) 86.
- [12] P.C. Searson, J.M. Macaulay and F.M. Ross, J. Appl. Phys. 72 (1992) 253.
- [13] S.M. Sze, Semiconductor Devices Physics and Technology (John Wiley & Sons, New York, 1985) p. 38.
- [14] S.M. Sze, Physics of Semiconductor Devices (John Wiley & Sons, New York, 1981) p. 525.
- [15] 정원영, 김도현, 화학공학, in press.