

전력 변환 시스템의 고조파 저감에 대한 규격 및 역율개선 기법

김시경
(공주대학교 공과대학 전기공학과 전임강사)

1. 서론

최근 전력변환장치 및 전동기 드라이버에서 전력용 스위칭 소자의 사용 증가와 관련하여 고조파 저감 및 역율개선에 대한 관심이 증가되어지고 있다. 더욱이 유럽 및 미국에서는 전력변환 장치에 대한 고조파 저감 및 역율개선에 대한 규격들(IEC 555-2, IEEE 519)이 정립되어 많은 전기·전자 산업·가전 제품들이 이 규격에 근거한 전고조파 왜형(Total Harmonic Distortion)에 대하여 제한을 받고 있다.

적절히 설계되어진 역율개선 (Power Factor Correction) 회로들은 공급 전원과 동상이며 정현파형상의 전류를 상용 전원에 제공하며 규격에서 제한된 고조파 성분을 제거하는 역할을 한다.

본고에서는 이들 고조파 제한에 관한 규격에 대하여 고찰하고 전력 변환 장치에 대한 입력전원의 고조파 저감 및 역율개선에 대하여 지금까지 개발 및 연구되어진 PFC 회로 및 제어기법에 대하여 고찰하고자 한다.

2. 고조파에 대한 규격

최초의 고조파 규격은 유럽의 전기기술규격협회(CENELEC)와 국제전기기술협회(IEC)에 의하여 제정되었다. 이들 단체는 1969년 가전전자기기의 고조파 발생 및 연구에 관한 조사를 시작으로, 1975년 최초의 고조파규격인 EN50006을 제정하였고 1982년에 이를 수정 개정한 IEC 555를 공표 하였다. 그후 1991년 12월에 IEC 555-2 유럽의 고조파 규격으로 확정되었다. 현재 IEC 555는 좀더 수정 보완되고 있는 중이다[1].

미국에서는 1973년에 IEEE 산업응용분과(Industrial Application)에서 고조파 규격 제정에 관한 프로젝트를 시작하였다. 그 결과 1981년에 IEEE-519 안내(Guide) 가 제정 공포되었다. 그후 이를 수정 보완하여 좀더 합축적인 체계를 갖춘

IEEE 519 규격을 제정하였다. 그 내용과 범위는 좀더 확장되어 1992년 6월에 고조파의 원인, 측정 및 제어에 관해 기술된 IEEE 519 기준(Recommendation) 이 승인 발표되었다[2].

2.1 IEC 555-2

IEC 555-2는 일반 전기 전자기기에 관한 가장 일반적인 고조파 규격을 언급하고 있다. IEEE에서는 이와 상응되는 규격을 가지고 있지 못하기 때문에 이 규격이 미국 및 유럽 등 세계 각국에서 통용되어질 것으로 전망되어진다. IEC 555-2에서는 16(A) 이하의 전기전자 제품에 관한 고조파규격을 규정하였으며 지금 개발 중에 있는 IEC 555-4에서는 16(A) 이상의 제품에 관하여 고조파규격을 부가할 계획이다.

IEC 555-2에서는 전기전자제품을 전류용량별(0-16(A))로 다음과 같이 구분하여 고조파발생에 대한 제한을 부가하고 있다.

- Class A : 평형 3상 부하, Class A,B,C 이외의 모든 장비
- Class B : 운반 가능한 기구들
- Class C : 조명 기구들
- Class D : 그림. 1에 보인 입력전류 파형을 가진 제품들 및 제품 입력 전력이 600(W) 미만인 기구들

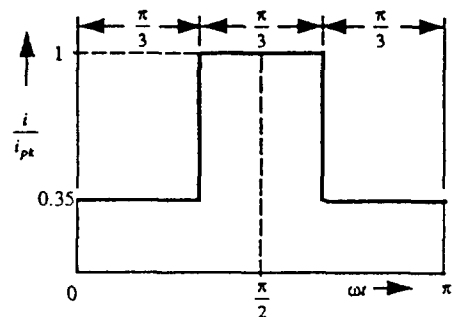


그림 1. Class D 입력 전류 파형

표 1. IEC 555-2 Class D 규격

Harmonic Order	am/W	Maximum permissible
3	3.4	2.30
5	1.9	1.14
7	1.0	0.77
9	0.5	0.40
11	0.35	0.33
13 and on	linear extrapolation 3.85/n	0.15(15/n)

표 2. IEEE 519 전압 왜형 규격

Bus voltage at PCC	Individual voltage distortion (%)	Total voltage distortion (%)
Below 69 kV	3.0	5.0
69 kV to 138 kV	1.5	2.5
138 kV and above	1.0	1.5

표 3. IEEE 519 전류 왜형 규격

Maximum Harmonic Current Distribution in % of Fundamental						
Harmonic Order (Odd Harmonics)						
I_h/I_L	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h$	TDD
< 20	4.0	2.0	1.5	0.6	0.3	5.0
20-50	7.0	3.5	2.5	1.0	0.5	8.0
50-100	10.0	4.5	4.0	1.5	0.7	12.0
100-1000	12.0	5.5	5.0	2.0	1.0	15.0
> 1000	15.0	7.0	6.0	2.5	1.4	20.0

Even harmonics are limited to 25% of the odd harmonic limits above

All power generation equipment is limited to these values of current distortion, regardless of actual I_h/I_L

Where
 I_{sc} = Maximum short circuit current at PCC
 I_L = Average (over 12 months) maximum monthly demand load current at PCC
 TDD = Total Demand Distortion, harmonic current distortion in % of maximum demand load current (15 or 30 minute demand)

대부분의 전기전자 제품이 정류기와 캐퍼시터 필터를 사용하기 때문에 Class D의 규격이 가장 많이 사용되어 지고 있다. 표 1은 1992년 9월에 개정되어진 Class D의 규격을 보이고 있다.

2.2 IEEE 고조파 규격

IEEE 519 고조파의 제한을 전기전자 제품의 각각의 입력 전기 특성에 둔 IEC 555와 달리 고조파제한을 전기 사용자 인입점 또는 공통 접점(Point of Common Coupling)에 두고 있다. 이 규격의 특성은 전압 크기에 따른 유틸리티 전

압 왜형과 부하하의 크기에 따른 전류왜형을 제한하고 있다. 따라서 이 규격은 전기 인입점을 기준으로 고조파를 제한하기 때문에 개별 전기전자제품의 고조파 발생이 이 인입점에(Point of Common Coupling) 얼마만큼 영향을 끼치는가를 제외하고는 개별 전기전자제품 각각에 대하여서는 고조파 제한을 가할 수 없다. 표 2는 전압 레벨의 차이에 따라 다른 인입점에서의 고조파 전압 제한을 보이고 있으며 표 3은 부하 전류 레벨 차이에 따라 다른 인입점에서의 고조파 전류 제한을 보이고 있다.

3. 고조파 저감 및 역율개선회로 (PFC) 토폴로지

IEC 555 규격에 부합되는 전력변환 시스템을 구현하기 위하여 여러 가지의 효율적이고 경제적인 고조파 저감 기법이 연구 개발되었다. 이 절에서는 전력변환기의 전력공급 원으로 널리 사용되어지고 있는 캐퍼시터 필터를 가지는 정류기의 전류, 전압 특성과 수동형 필터 및 전력 스위치를 사용하여 역율 개선 및 고조파 저감을 도모하는 아래의 네 가지의 역율개선회로(PFC)에 대하여 설명하고자 한다.

1. 비아이소레이션 역율개선회로
2. 아이소레이션 역율개선회로
3. 벡/부스트(buck/boost) 역율개선회로
4. 플라이백(Flyback) 역율개선회로

3.1. 캐퍼시터 필터를 가지는 정류기

그림 2(a)는 교류/직류 변환에 대표적으로 사용되는 캐퍼시터 필터를 가지는 정류기 회로를 보여준다. 이 회로에서 정류기는 교류를 직류로 전환하는데 사용되고 직류측의 큰 캐퍼시터는 직류전압을 평활하게 하는데 이용된다. 대표적인 전압 전류 파형은 그림 2(b)에 보여졌다. 전류파형에서 보듯이 입력전류는 교류전압이 직류전압의 피크치보다 클 경우에만 흐름을 알 수 있다. 이것은 교류측에 짧은 구간 동안 큰 피크치를 가지는 전류펄스를 야기시킨다. 또한 이러한 입력전류펄스는 많은 고조파 성분을 함유함을 알 수 있다.

3.2. 비아이소레이션 역율개선회로

부스트 토폴로지는 부스트 인덕터가 상용전단 라인에 연결되어 있기 때문에 역율개선에 적합한 특성을 가진다. 회로가 연속 전류 동작모드에서 동작되어질 때 상용전단 라인에 끼치는 영향은 최소화되어진다. 역율개선회로 제어기법으로는 히스테리시스 제어, 평균전류제어기법 등 있다.

3.2.1. 비아이소레이션 역율개선회로

그림 3(a)은 히스테리시스 제어 법을[3] 이용하여 역율개

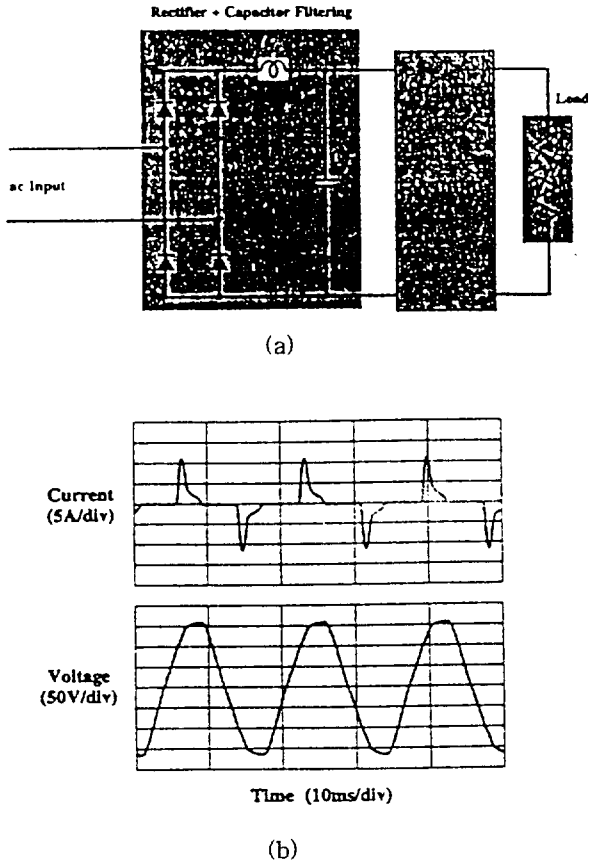


그림 2. (a) 전력변환기 입력 전원으로 사용되어지는 캐퍼시터 필터를 가지는 정류기
(b) 입력 전압/전류 파형

선을 도모하는 회로의 기본 구성을 나타내는 다이어그램이다. 제어회로는 인덕터전류가 정류되어진 상용전원라인 전압을 추종하도록 설계되어졌다. 출력 전압을 레귤레이트하기 위해, 에러 앰프는 출력전압과 고정되어진 직류기준전압 사이의 차이를 출력하고 그 후 이 에러전압은 정류되어진 라인 전압과 곱하여져 인덕터에 흐르는 전류와 비교된다. 그림 3(b)은 대표적인 부스트 인덕터 전류와 히스테리시스 제어원리를 보이고 있다. 히스테리시스 밴드의 상측전류의 기준은 $I_p \sin(\omega t)$ 이고 하측 전류의 기준은 $I_c \sin(\omega t)$ 이며 인덕터에 흐르는 전류는 이 밴드내에서 존재하도록 제어된다. 그림 3(c)은 전류 및 전압의 실험 파형이다.

그림 4은 평균전류제어 기법을 이용하여 역율개선을 도모하는 회로의 기본 구성을 나타내는 다이어그램이다. 이 기법의 주요 특징은 인덕터에 흐르는 전류의 평균을 구할 수 있는 전류증폭기에 있다. 전류증폭기의 에너지전압은 고정된 주파수는 가지는 램프반전기와 비교되어져 스위치에 인가될 스위칭 패턴을 형성한다. 이 평균전류 제어기법의 장점은 선간전압의 제로 크로싱 영역에서 컨버터가 최대 사이클로 동작되어진다는 것이다.

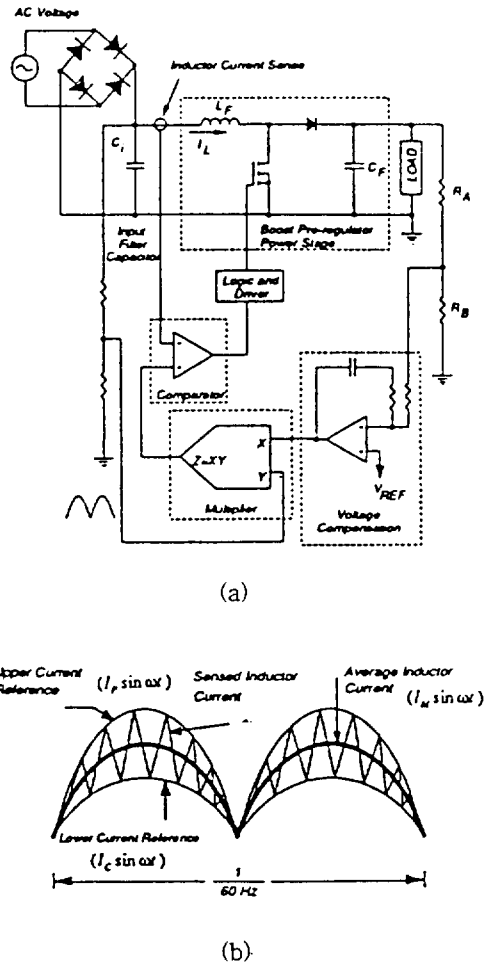
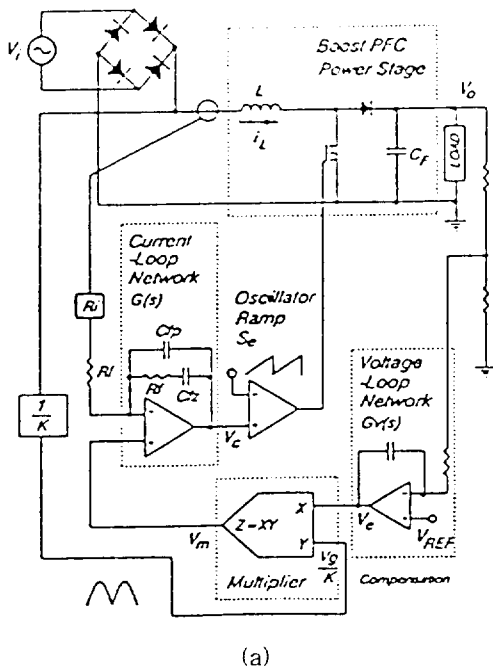


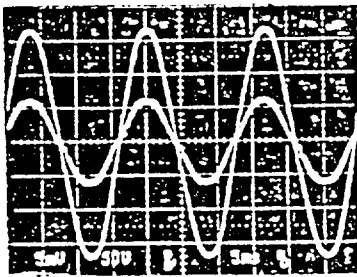
그림 3. (a) 히스테리시스 제어법을 이용한 PFC 회로의 기본구성
(b) 히스테리시스 제어기법을 구현한 입력 전류 파형
(c) 실험 결과(입력전압, 입력전류)

3.2.2. 비아이소레이션 역율개선회로 설계

부스트 PFC 설계시의 다음 파라미터의 주의 깊은 조정 이 요구된다.



(a)



(b)

그림 4. (a) 평균 전류 제어법을 이용한 PFC 회로의 기본 구성
(b) 실험 결과(입력전압, 입력전류)

- 입력캐패시터 \$C_i\$의 설계
- 부스트 인덕터 입력전류(\$I_b\$)의 전류 리플
- 부스트 인덕터(\$L_b\$)의 기생 캐패시턴스와 전류스위치
- 최적 스위칭 선정

3.2.2.1. 캐패시터 \$C_i\$의 선정

입력캐패시터에 나타난 성분은 따라 \$C_i\$의 선정이 변경되어지고 전류리플의 크기는 캐패시터 \$C_i\$의 크기와 반비례 관계를 가진다. 따라서 $3.3 \mu F/kw$ 의 값의 설계상, 가격상 최적적으로 고려된다.

3.2.2.2. 부스트 인덕터의 전류 리플

전류 리플(\$d_i\$)은 입력전압(\$V_i\$), 출력전압(\$V_o\$), 인덕터 값(\$L_b\$)과 스위칭 주파수(\$f_s\$)의 함수로 다음과 같다.

$$d_i = (V_o - V_i) / f_s L_b V_o$$

부스트 인덕터에 흐르는 전류는 연속전류 모드에서 동작되어지도록 요구된다. 그 이유는, 연속전류모드의 인덕턴스에 흐르는 전류크기는 불연속 모드에서 흐르는 전류의 십분의 일에 해당되며 스위칭 소자의 전류 스트레스를 저감시킨다. 또한 연속 전류모드는 인덕터에 기생효과로 나타나는 에디전류손을 저감시키며 또한 표피효과도 저감시키는 역할을 한다. 따라서 부스트 인덕터에 흐르는 전류는 연속전류 모드에서 동작되어지는 것이 바람직하다고 사려된다.

3.2.2.3. 전력 스위치에 적합한 스위치 주파수 선택

높은 스위칭 주파수의 사용은 부스트 인덕터 사이즈를 축소하여 역률개선회로의 가격을 저감시키는 효과를 가진다. 그러나, 스위칭 주파수의 증가는 전력 반도체 스위치에 전력손실을 증가시키는 문제를 야기시킨다. 일반적으로 부스트 역률개선회로에서 전류 스위치에 컨덕션 손실은 스위칭 손실에 비교하여 거의 무시할 정도이다.

결과적으로, 스위칭 주파수는 전력반도체 스위치의 스위칭 손실에 의하여 제한되며 더욱이 부스트 다이오드의 리커버리 극성과 손실에 의하여 제한된다.

한편, 150(KHz) 이상의 스위칭 주파수의 사용은 역률개선회로의 사이즈를 감소시키는 장점을 가지지만, EMI 필터 설계에 좀더 배려가 요구되기 때문에 오히려 가격을 상승시키는 문제를 유발시킨다.

전력용 MOSFET은 주로 출력이 (1Kw)이하인 역률개선회로에 채택되며 스위칭 주파수는 100(kHz)까지 가능하다. 그러나 여러 설계 조건을 감안하여 70(kHz)이하의 스위칭이 적합하다고 고려된다. 출력이 1(Kw)이상의 역률개선회로에서는 IGBT가 가장 적합한 스위칭 소자이다. 그러나 스위칭 주파수는 30(kHz)로 제한되는 단점도 가진다.

3.2.2.4. 필터링과 라디오 주파수간섭(RFI)규정

RFI에 대한 제한은 그림 5에 보여졌다. 스위칭 주파수가 증가됨에 따라 노이즈 제한은 점차로 감소된다. 그림 5의

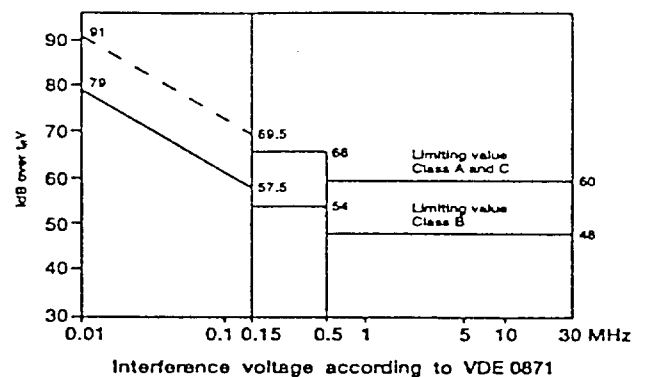


그림 5. RFI 전압에 대한 제한(VDE0871)

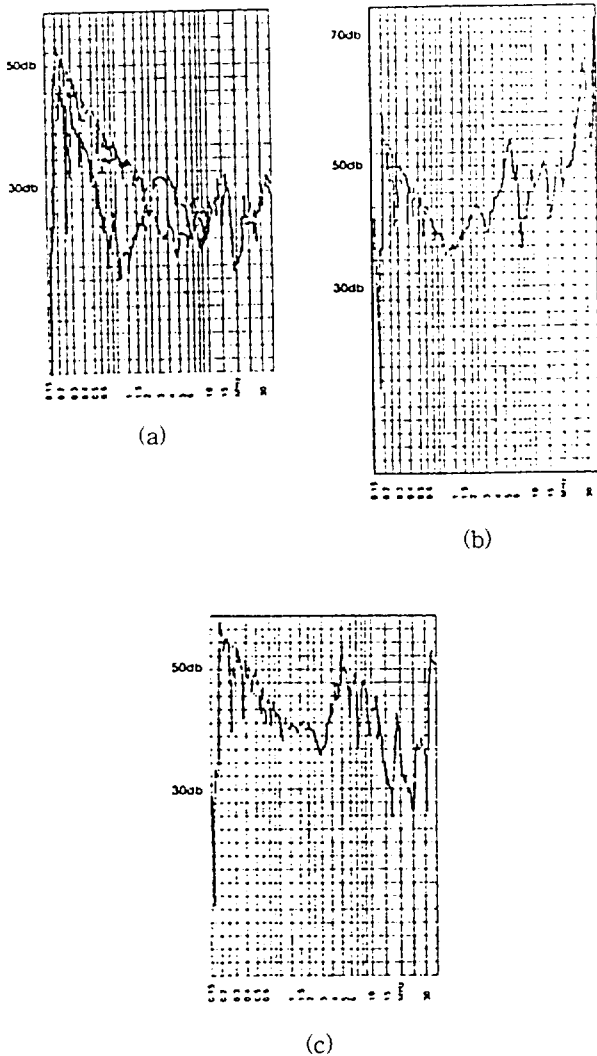


그림 6. (a) 높은 주파수의 스위칭에서 발생하는 노이즈
 (b) 낮은 주파수의 스위칭에서 발생하는 노이즈
 (c) 멀티섹션 인덕터를 가지는 시스템에서 발생되는 노이즈

이해를 돕기 위해 예를 들어 주파수가 10(kHz)에서 100(kHz)로 증가되어지면 필터의 감쇄는 19(dB)정도 증가된다. 그러나, 이에 반하여 스위칭 손실의 증가는 십분의 일정도 밖에 되지 않는다.

3.2.2.5. 최적 필터 설계

앞에서 본바와 같이 스위칭 주파수의 증가 없이 노이즈 저감이 필요하게 된다. 또한 입력 캐패시터에 나타나는 노이즈는 전류리플에 비례하며, 부스트 인덕터에 나타나는 전류를 20분의 1정도로 감소시키면 노이즈는 26(dB)정도 저감시키는 효과를 가진다.

가변 주파수를 가지고 스위칭 주파수를 가지는 스위칭은 노이즈 주파수 스펙트럼을 전주파수대역으로 펼치기 때문

에 좋은 필터링 효과를 가진다. 그 이유는 주파수의 노이즈의 진폭이 감소되어지므로 작은 감쇄를 가지는 필터로서 충분한 노이즈 저감효과를 가지기 때문이다.

1-30(MHz)에서 노이즈는 역율개선회로의 전류 스위치에서 입력캐패시터로 부스트 인덕터의 기생캐패시터를 통하여 전송되어진다. 전류 스위치가 온상태에 있는 동안 기생캐패시터의 방전전류는 1(A)를 넘게 된다. 따라서 부스트 인덕터의 최적 설계는 현저하게 노이즈를 저감시키며 필터 비용을 감소시킨다. 따라서 부스트 인덕터 설계시 기생 캐패시터 저감 와인딩 기법(멀티섹션 인덕터)이 요구되어진다.

또한, 낮은 주파수의 스위칭은 노이즈를 저감시키는 효과를 가진다. 그림 6은 역율개선회로에 대한 여러 스위칭 주파수에 대한 노이즈 스펙트럼을 보이고 있다. 그림 6.(a)은 빠른 스위칭을 가지며 기존의 와인딩 기법을 사용한 부스트 컨버터의 스펙트럼을 보인것이고 그림 6.(b)는, 늦은 스위칭을 가지며 부스트 컨버팅의 스펙트럼을 보인것이고, 그림 6.(c)은 멀티섹션 인덕터를 가지고 구성된 역율개선회로의 노이즈 스펙트럼을 보이고 있다.

3.2.2.6. 입력 캐패시터 C_i 와 전류 리플

가장 적은 노이즈 특성을 가지기 위하여 입력캐패시터의 사이즈는 가능한한 커야한다. 그러나 사이즈가 커지면 가격이 상승되어지는 단점이 있기 때문에, 노이즈와 가격의 양측을 고려하여 3.3($\mu\text{F}/\text{kw}$)를 사용하는게 적절하다.

3.3. 아이솔레이션 부스트 역율개선회로

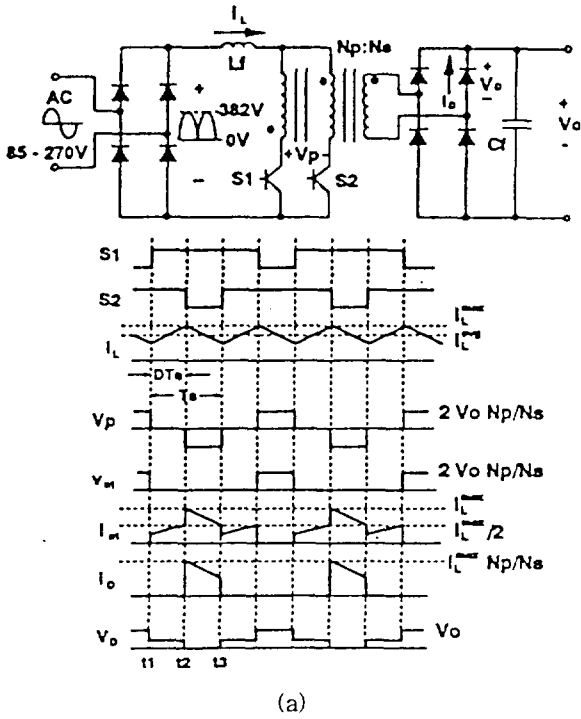
그림 7(a)은 2개의 스위치를 사용한 아이솔레이터 부스트 컨버터를[4] 보이고 이 컨버터의 원리는 기존의 부스트 컨버터와 동일하다. 스위치 S1과 S2가 온-상태이면 전류 I_L 은 변압기의 2개의 1차 권선을 통하여 흐르고 모든 다이오드는 오프 상태에 놓인다. 이 구간 동안에 변압기 권선 인가되어지는 전압은 없고 알짜자속(net flux) 변이도 없다. 이러한 상태는 기존 부스트 컨버터의 온상태와 일치한다.

스위칭중 하나가 오프되어지면 전류 I_L 은 변압기 1차 권선중 하나로 흐르게 되며 2차측의 자기적이며 결합시켜 출력측 정류기를 온-상태에 있게 한다. 이 구간은 기존 부스트 컨버터의 오프구간에 해당되어지게 된다. 이러한 부스트 컨버터는 출력이 400V(DC)로 고정되어지고 입력전압이 85(V) ~ 265(V)정도로 변화되어 진다.

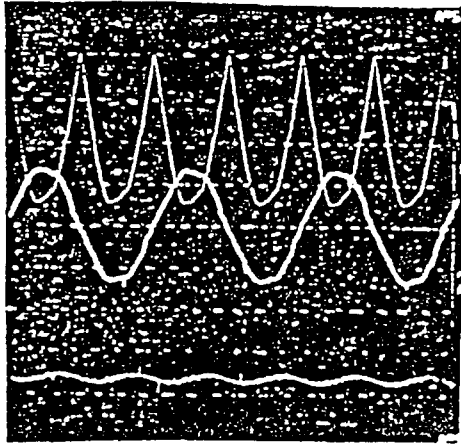
그림 7(b)는 이 역율개선회로를 구현하여 얻은 실험파형을 보이고 있다.

3.4. 벡/부스트(buck/boost) 역율개선회로

만일 전압영역이 넓은 범위의 경우에는 (130(V) ~ 400(V)) 부스트 역율개선회로보다는 그림 8(a)에 보인 것과 같은 벡-부스트 역율개선회로가[5] 적합하다. 높은 전압($V_{in} > V_o$)에서도 회로는 벡모드에서 동작되어진다. 부스트 모드에서



(a)

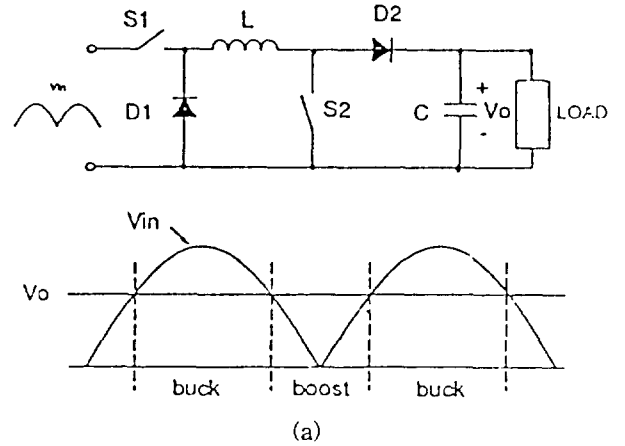


(b)

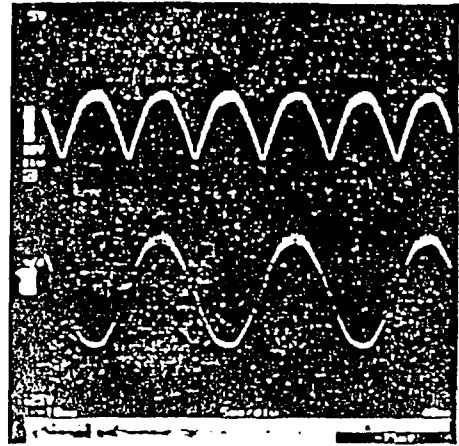
그림 7. (a) 아이솔레이션 부스트 PFC 회로의 기본구성
(b) 실험 결과(입력전압, 입력전류)

는 벡 스위치(S1)이 항상 온-상태에 있게 되어지고, 다이오드 D1은 항상 조종되지 않으며, 회로는 부스트회로와 같이 동작되어진다.

벡 모드 동안에 스위치 S2는 항상 오프상태에 있게 되어지고 다이오드 D2는 온상태에 있어 벡컨버터와 같이 동작되어진다. 제어기법은 기존의 부스트 역율개선회로와 다른 구성을 가지고 있다. 물론 부스트 모드에서 동작되어질때 제어기법은 부스트 역율개선회로와 같다. 그러나 벡모드에



(a)



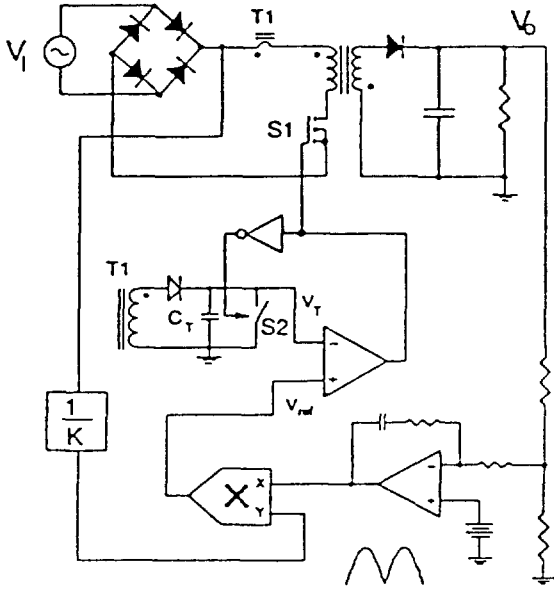
(b)

그림 8. (a) 벡/부스트(buck/boost) PFC회로의 기본구성
(b) 실험 결과(입력전압, 입력전류)

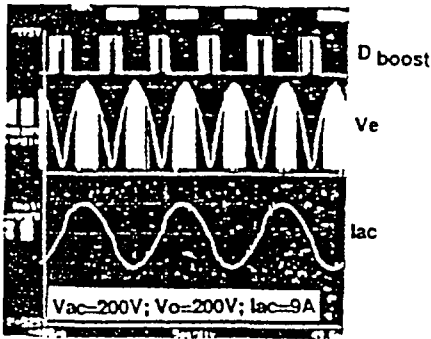
서는 입력전류가 맥동되어지고 이것은 전류 이서의 앞단에 저역필터를 추가하여야 하며 이러한 필터에 문제점을 제어하기 위해 속응성 제어가 요구되어진다. 그림 8(b)는 이 역율개선회로를 구현하여 얻은 실험파형을 보이고 있다.

3.5. 플라이백(Flyback) 역율개선회로

저전력 시스템의 경우에는 앞서 언급한 부스트 역율개선회로보다는 그림 9(a)에 보여진 플라이백 컨버터가[6] 그것의 간결성과 융통성 때문에 좀더 널리 사용되어진다. 플라이백 컨버터는 전기 아이솔레이션과 과전류 보호 문제를 쉽게 해결할 수 있는 장점이 있다. 그에 반하여 플라이백회로는 역율개선회로 제어시 연속전류 동작모드에서 동작되어질때의 전류제어 기법이 문제되어지고 있다. 물론, 불연속 전류 동작모드에서 동작되어질때는 고역율 제어가 용이



(a)



(b)

그림 9. (a) 플라이백(Flyback) PFC 회로의 기본구성
(b) 실험 결과(입력전압, 입력전류)

하다. 그러나, 큰 EMI 필터와 높은 전압 스트레스를 이길 수 있는 기법이 요구되어지고 있다.

기준전압(V_{ref})과 선전압과 피드백되어진 출력전압으로부터 결정되어지고 이 전류는 인덕터(T_1)에 흐르는 전류와 비교되어 스위치(S_1)의 게이칭 신호를 발생시킨다.

그림 9(b)는 이 역율개선회로를 구현하여 얻은 실험파형을 보이고 있다.

4. 결 언

지금까지 전력용 컨버터의 역율개선 및 고조파 저감에

대한 여러 토폴로리 및 제어기법에 대하여 소개하였다. 앞 절에서 보았듯이 서구 선진국들은 점차 전력 변환기에 대한 역율에 대한 규격을 세우고 이 규격에 따라 모든 가전, 산업 기기의 전력 변환장치에 대한 고조파 및 역율에 대한 규제를 가하고있다. 이에 비하여 우리나라에서는 아직 이러한 규격에 맞는 제품 준비가 크게 진행되어지고 있지 않은 실정이다.

본절에서는 여러가지 역율 및 고조파 개선에 대한 규격을 소개하고 개발되어진 여러종류의 역율 개선회로에 대하여 기술하였다. 또한 역율회로 설계시 반드시 고려하여야할 가격과 사이즈의 최적화에 대하여 고찰하였다. 결론적으로 역율개선회로는 일련 기존의 전력변환장치보다 많은 노이즈를 발생시키기 때문에 좀더 엄격한 필터링 기법과 고도의 제어의 기법이 요구되어 진다.

참 고 문 헌

- [1] IEC Subcommittee 77A, "Disturbance in supply systems caused by household appliance and similar electrical equipment, Part2:Harmonics," (Secretariate) 82, Project, Ballot draft of proposed new std., IEC555-2, Sept.,1992
- [2] "IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power Systems," IEEE PES and Static Converter Committee of IAS, Jan. 1993
- [3] C.Zhou et.al. "Design and Analysis of a Hysteretic Boost Power Factor Correction Circuit," IEEE PESC, June, 1990, pp. 800-807
- [4] E.X.Yang et. al., "Isolated Boost Circuit for Power Factor Correction," March,1993, pp.196-203
- [5] Y.M.Jiang et. al., "A New Control Scheme for Buck+Boost Power Factor Correction Circuit," VPES, Sep.,1993, pp.189-193
- [6] W. Tang et.al., "Power Factor Correction with Flyback Converter Employing Charge Control," APEC, March, 1993, pp.293-298

저 자 소 개



김시경(金時慶)

1964년 5월 15일생. 1986년 고려대 공대 전기공학과 졸업. 1988년 동 대학원 전기공학과 졸업(석사). 1994년 텍사스 ANM대학 졸업(공학박). 현재 공주대 공대 전기공학과 전임 강사.